从零开始学电子技术丛书

从零开始学数字电子技术

刘建清 主编
孙保书 周 娟 王 云 编著

随书附光盘一张

国防工业出版社
National Defense Industry Press



责任编辑：杨星豪　xhyang@ndip.cn
文字编辑：贺　穆
责任校对：钱辉玲
封面设计：王晓军　xjwang@ndip.cn

从零开始学电子技术丛书

从零开始学电路仿真Multisim与电路设计Protel技术
从零开始学电气控制与PLC技术
从零开始学电子测量技术
从零开始学CPLD和Verilog HDL编程技术
从零开始学单片机C语言
从零开始学单片机技术
从零开始学电路基础
从零开始学电子元器件识别与检测技术
从零开始学电动机控制与维修技术
从零开始学模拟电子技术
从零开始学数字电子技术

◎ 上架建议：电子技术 ◎
http://www.ndip.cn
ISBN 7-118-04876-3
9 787118 048766 >

ISBN 7-118-04876-3/TN · 593
定价：42.00 元（含光盘）

TN79
138D
2007

从零开始学电子技术丛书

从零开始学数字电子技术

刘建清　主编
孙保书　周　娟　王　云　编著

国防工业出版社
·北京·

内 容 简 介

数字电子技术是学习电子技术必须掌握的一门基础课，本书以全新的角度和写作方法，力图使初学者从零开始，快速掌握数字电子技术知识。与传统教材不同的是，本书摈弃了复杂定量分析的讲法，注重定性和概念，注重基础知识与实践，并配合计算机仿真软件的仿真实验，使基础知识的学习做到不枯燥，不深奥。本书所介绍的主要知识有：数字电路基础、逻辑电路、双稳态触发器、时序逻辑电路、脉冲波形的产生与整形电路、存储器和微控制器、DAC 转换器和 ADC 转换器、数字语音和遥控电路等内容。

本书附赠光盘一张，光盘中包含有最新电路仿真软件 Edison4.0 演示版。

本书可供电子工业领域的技工、工矿企业的技术人员、电气工人、农村电工、家电维修人员以及无线电爱好者阅读，也可作为中专、中技的教材或教学参考书。

图书在版编目(CIP)数据

从零开始学数字电子技术/孙保书，周娟，王云编著.
北京：国防工业出版社，2007.1
(从零开始学电子技术丛书/刘建清主编)
ISBN 7-118-04876-3

Ⅰ.从... Ⅱ.①孙...②周... ③王... Ⅲ.数字电路—电子技术 Ⅳ.TN79

中国版本图书馆 CIP 数据核字(2006)第 142151 号

※

国防工业出版社出版发行
(北京市海淀区紫竹院南路 23 号 邮政编码 100044)
北京奥鑫印刷厂印刷
新华书店经售
*

开本 787×1092 1/16 **印张** 24¼ **字数** 552 千字
2007 年 1 月第 1 版第 1 次印刷 **印数** 1—5000 册 **定价** 42.00 元(含光盘)

(本书如有印装错误，我社负责调换)

国防书店：(010)68428422 发行邮购：(010)68414474
发行传真：(010)68411535 发行业务：(010)68472764

丛书前言

我们所处的时代是一个知识爆炸的新时代。新产品、新技术层出不穷，电子技术的发展更是日新月异。可以毫不夸张地说，电子技术的应用无处不在，电子技术正在不断地改变着我们的生活，改变着我们的世界。

读者朋友：当你对妙趣横生的电子世界发生兴趣时；当你彷徨于就业的关口，想成为电子产业中的一名员工时；当你跃跃欲试，想成为一名工厂的技术革新能手时；当你面对“无所不能”的“单片机”，梦想成为一名自动化高手时；当你的头脑里冒出那么多的奇思妙想，急于把它们应用于或转化为产品时……都是那么急切地想补充自己有关电子技术方面的知识，这时，你首先想到的是找一套适合自己学习的电子技术图书阅读。《从零开始学电子技术丛书》正是为了满足广大读者特别是电子爱好者的实际需要和零起点入门的阅读要求而编著的。

和其他电子技术类图书相比，本丛书具有以下特点：

内容全面，体系完备。本丛书给出了广大电子爱好者学习电子技术的全方位解决方案，既有初学者必须掌握的电路基础、模拟电路和数字电路等基础理论，又有电子元器件检测、电子测量仪器的使用、电路仿真与设计等操作性较强的内容，还有电气控制与PLC、单片机、CPLD等综合应用方面的知识，因此，本丛书内容翔实，覆盖面广。

通俗易懂，重点突出。传统的电子技术图书和教材在介绍电路基础和模拟电子技术等内容时，大都借助高等数学这一工具进行分析，这就给电子爱好者自学电子技术设置了一道门槛，使大多数电子爱好者失去了学习的热情和兴趣。本丛书在编写时，完全考虑到了初学者的需要，不涉及高等数学方面的公式，尽可能地把复杂的理论通俗化和实用化，将烦琐的公式简易化，再辅以简明的分析及典型的实例，从而形成了本丛书通俗易懂的特点。为了满足不同层次读者的需求，本丛书对难点和扩展知识用“*”进行了标注，初学者可跳过此内容。

实例典型，实践性强。本丛书最大程度地强调了实践性，书中给出的例子大都经过了验证，可以实现，并且具有代表性；本丛书中每本书都配有光盘，光盘中收录了书中的实例、常用软件、实验程序和大量珍贵资料，以方便读者学习和使用。

内容新颖，风格活泼。本丛书所介绍的都是电子爱好者最为关心并且在业界获得普遍认同的内容，本丛书的每一分册都各有侧重，又互相补充，论述时疏密结合，重点突出。对于重点、难点和容易混淆的知识，书中还特别进行了标注和提示。

把握新知，结合实际。电子技术发展日新月异，为适应时代的发展，本丛书还对电子技术的新知识做了详细的介绍；本丛书中涉及的应用实例都是编著者开发经验的提炼和总结，相信一定会给读者带来很大的帮助。在讲述电路基础、模拟和数字电子技术时，还

专门安排了计算机辅助软件的仿真实验，实验过程非常接近实际操作的效果，使电子技术的学习变得更为直观，使学习变得更加生动有趣，这可以加深读者对电路理论知识的认识。

总之，对于需要学习电子技术的电子爱好者而言，选择《从零开始学电子技术丛书》不失为一个好的选择。本丛书一定能给你耳目一新的感觉，当你认真阅读之后将会发现，无论是你所读的书，还是读完书的你，都有所不同。

感谢本丛书的策划者——电子科普领域中的知名专家、中国电子学会高级会员刘午平先生，他与我们共同交流，共同探讨，达成了共识，确立了写作方向，并为本丛书的编排、修改和出版做了大量卓有成效的工作，他以丰富的专业知识和认真、敬业的态度为我们所敬佩；感谢山东持恒开关厂总经理陈培军先生和山东金曼克电气集团设计处总工程师高广海先生，他们对本丛书的编写提出了很多建设性的意见和建议，为本丛书的许多实验提供了强有力的支持与帮助，并参与了部分图书的编写工作；感谢网络，本丛书的许多新知识、新内容都是我们通过网络而获得的，我们在写作过程中遇到的许多疑难问题也大都通过网络得以顺利解决，对于这么多乐于助人、无私奉献的站主和作者们，无法在此一一列举，只能道一声“谢谢了！”感谢众多电子报刊、杂志的编辑和作者，他们为本丛书提供了许多有新意、有实用价值的参考文献，使得这套丛书能够别出心裁、与时俱进；感谢国防工业出版社，能与国内一流的出版社合作，我们感到万分的荣幸；感谢其他对本丛书的出版付出过辛勤工作的人士，没有他们的热心与支持，本丛书不知何时才能与读者见面！

最后，祝愿本丛书的每一位读者在学习电子技术的过程中，扬起风帆，乘风破浪！

丛书编者

前　言

随着微电子技术的飞跃发展，我们已经进入了一个以数字化电子产品为特征的数字化时代，电子计算机、数字化通信产品、数字化音响、数字化电视以及其他形形色色的数字化产品开始进入我们的日常生活之中。因此，掌握数字电路的基础知识、了解数字集成电路的应用，对于电子技术的爱好者是十分必要的，本书正是为了适应这种需要而编写的。

本书写作的出发点是不讲过深的理论知识，力求做到理论和应用相结合，循序渐进、由浅入深、通俗实用，以指导初学者快速入门。

按照结构清晰、层次分明的原则，本书可分为以下几部分：

第一部分为数字电路基础篇。主要包括第一章。重点介绍了数字电路的一些基础知识，如数字电路与模拟电路的比较、数字电路的分类、数制与编码等，它们是分析和理解数字电路的基础。

第二部分为逻辑门和组合逻辑电路篇。主要包括第二章、第三章。重点介绍了两个方面的内容：一是基本门电路，如分立元件门电路、集成门电路等，它们是组成组合逻辑电路的基本逻辑单元；二是组合逻辑电路，如编码器、译码器、显示译码器、数据选择器、加法器和数值比较器等，常见的组合电路目前已经制作成集成电路，应用十分广泛。

第三部分为双稳态触发器和时序逻辑电路篇。主要包括第四章、第五章。重点介绍了两个方面的内容：一是双稳态触发器电路，如基本 RS 触发器、同步触发器、主从 JK 触发器、边沿触发器、T 型和 T'型触发器等；二是时序逻辑电路，简要分析了时序电路的特点及分类，并对几种典型的寄存器和计数器作了介绍。

第四部分为脉冲波形的产生与整形电路篇。主要包括第六章。重点讨论了脉冲的产生和整形。在脉冲振荡器中，主要介绍在数字系统中最常使用的多谐振荡器；在整形电路中，主要介绍施密特触发器和单稳态触发器。并对一种在脉冲波形的产生和整形电路中应用十分广泛的多功能集成电路 555 定时器进行详细分析。

第五部分是存储器和微控制器篇。主要包括第七章。重点介绍了只读存储器、随机存储器的结构和原理，并对微处理器的基本结构、工作过程和应用作了简要分析。

第六部分为 DAC 转换器和 ADC 转换器篇。主要包括第八章。DAC 转换器和 ADC 转换器，也就是通常所说的数/模转换和模/数转换电路，它们是数字系统不可缺少的组成部分，如用微控制器对生产过程进行控制，就必须首先将被控制的模拟量转换为数字量，才能送到微控制器系统中去进行运算和处理，然后又需将运算得到的数字量转换为模拟量，才能实现对被控参数的控制。

第七部分是数字语音和遥控电路篇。随着数字技术的不断发展和数字集成电路的日益成熟，数字电路在语音电路和遥控电路的应用也越来越普遍，这使得各种语音和遥控电

路的使用越来越普遍，功能和性能也得到了飞跃性的提高。该部分内容是以实例的方式，简要介绍语音和遥控电路的基本原理及应用。

在讲述本书内容时，还专门安排了 Edison4.0 仿真实验，实验过程非常接近实际操作的效果。仿真软件不但提供了各种丰富的分立元件和集成电路等元器件，还提供了各种丰富的调试测量工具：各种电压表、电流表、示波器、指示器、分析仪等，是一个全开放性的仿真实验平台，给我们提供了一个完备的综合性实验室，可以在任意组合的实验环境下搭建实验。电子爱好者通过实验，将使学习变得生动有趣，从而加深对电路理论知识的认识。

本书附赠光盘一张，光盘中包含有最新电路仿真软件 Edison4.0 演示版。

由于时间仓促，书中错漏之处在所难免，敬请广大读者批评指正。

作 者

目　　录

第一章　数字电路入门 …… 1

第一节　从模拟电路到数字电路 …… 1

一、模拟信号和模拟电路 …… 1

二、数字信号和数字电路 …… 2

三、数字电路的分类 …… 5

四、数字系统 …… 6

五、模拟信号的数字化 …… 6

第二节　数制的转换及运算 …… 8

一、常用数制 …… 8

二、数制的转换 …… 9

三、二进制的算术运算 …… 12

第三节　编码的传输与存取 …… 13

一、编码 …… 13

二、二进制码的传输 …… 15

三、二进制码的存取 …… 17

第四节　逻辑代数简介 …… 17

一、逻辑代数基本概念 …… 17

二、3 种基本逻辑运算 …… 18

三、复合逻辑运算 …… 20

四、逻辑运算定理 …… 22

第二章　晶体管开关与逻辑门电路 …… 25

第一节　晶体管开关电路 …… 25

一、二极管开关电路 …… 25

二、三极管开关电路 …… 27

三、MOS 场效应管开关电路 …… 32

第二节　分立元件门电路 …… 35

一、门电路的基本概念 …… 35

二、二极管门电路 …… 35

三、三极管门电路 …… 37

四、MOS 场效应管门电路 …… 38

第三节　TTL 集成门和 CMOS 集成门 …… 39

一、TTL 集成门电路 …… 39
二、CMOS 集成门电路 …… 47
三、典型逻辑集成门介绍 …… 52
第四节　数字集成电路的正确使用 …… 57
一、TTL 集成电路的使用 …… 57
二、CMOS 集成电路的使用 …… 57
三、TTL 电路和 CMOS 电路的混合使用 …… 58
四、门电路带负载时的接口电路 …… 60
第三章　组合逻辑电路 …… 62
第一节　组合逻辑电路的分析和设计 …… 62
一、组合逻辑电路的分析方法 …… 62
二、组合逻辑电路的基本设计方法 …… 63
第二节　编码器 …… 65
一、二进制编码器 …… 65
二、二—十进制编码器 …… 67
三、优先编码器 …… 68
四、实用编码集成电路 …… 70
第三节　译码器 …… 72
一、二—八进制译码器 …… 72
二、二—十进制译码器 …… 75
三、二—十六进制译码器 …… 78
四、显示译码器 …… 79
第四节　数据选择器、分配器和模拟开关 …… 97
一、数据选择器 …… 97
二、数据分配器 …… 99
三、模拟开关 …… 99
第五节　基本算术运算电路和数值比较器 …… 101
一、基本算术运算电路 …… 101
二、数值比较器 …… 104
第四章　双稳态触发器 …… 107
第一节　双稳态触发器的特点及分类 …… 107
一、双稳态触发器的特点 …… 107
二、双稳态触发器的分类 …… 108
第二节　基本 RS 触发器 …… 108
一、与非门基本 RS 触发器 …… 108
二、由或非门构成的基本 RS 触发器 …… 110
三、分立元件组成的双稳态电路 …… 111

四、基本 RS 触发器的应用 …… 112
第三节　同步触发器 …… 113
一、同步 RS 触发器 …… 114
二、同步 D 触发器 …… 115
第四节　主从 JK 触发器 …… 118
一、电路结构 …… 118
二、工作原理 …… 119
三、特性表和特性方程 …… 120
四、具有直接复位和直接置位功能的主从 JK 触发器 …… 121
五、集成主从 JK 触发器 …… 122
六、主要特点 …… 122
第五节　边沿触发器 …… 123
一、边沿 JK 触发器 …… 123
二、边沿 D 触发器 …… 126
第六节　T 型和 T′型触发器 …… 128
一、T 型触发器 …… 128
二、T′型触发器 …… 128
第七节　触发器的转换 …… 129
一、JK 触发器转换为 D、T 和 T′触发器 …… 129
二、D 触发器转换为 JK、T 和 T′触发器 …… 130
第五章　时序逻辑电路 …… 132
第一节　时序逻辑电路的特点及分类 …… 132
一、时序电路的特点 …… 132
二、时序电路的分类 …… 132
第二节　寄存器 …… 133
一、寄存器的特点和分类 …… 133
二、基本寄存器 …… 134
三、移位寄存器 …… 140
第三节　计数器 …… 144
一、计数器的分类 …… 144
二、二进制计数器 …… 145
三、十进制计数器 …… 154
四、*N* 进制计数器 …… 158
第六章　脉冲波形的产生与整形 …… 167
第一节　多谐振荡器 …… 167
一、由分立元件组成的多谐振荡器 …… 167
二、由 RC 和门电路组成的多谐振荡器 …… 168

三、由石英晶体和门电路组成的多谐振荡器 …… 169
第二节　单稳态触发器 …… 170
一、由分立元件组成的单稳态触发器 …… 170
二、由门电路组成的单稳态电路 …… 172
三、集成单稳态电路 …… 174
四、单稳态触发器的应用 …… 178
第三节　施密特触发器 …… 180
一、由 TTL 门组成的施密特触发器 …… 181
二、集成施密特触发器 …… 181
三、施密特触发器的应用 …… 183
第四节　555 定时器及其应用 …… 186
一、555 定时器工作原理 …… 186
二、双定时器 556 …… 187
三、555 定时器的应用 …… 188
四、555 时基电路设计软件介绍 …… 193
第七章　存储器和微控制器 …… 197
第一节　存储器概述 …… 197
一、存储器的原理 …… 197
二、存储器的容量 …… 198
三、存储器的分类 …… 198
第二节　只读存储器 …… 199
一、只读存储器的分类 …… 199
二、典型的 EPROM 芯片介绍 …… 201
三、典型 E^2PROM 芯片介绍 …… 203
四、典型 Flash ROM 快闪存储器芯片介绍 …… 205
第三节　随机存储器 …… 207
一、随机存储器的结构 …… 207
二、静态和动态随机存储器 …… 208
三、RAM 容量的扩展 …… 208
四、随机存取存储器芯片介绍 …… 210
第四节　微控制器简介 …… 210
一、微控制器的分类 …… 211
二、微控制器硬件基本结构 …… 211
三、微控制器的软件系统 …… 215
四、微控制器工作过程 …… 216
五、微控制器的应用 …… 217
第八章　DAC 转换器和 ADC 转换器 …… 219

第一节　DAC 转换器 …… 219
一、DAC 转换器的工作原理 …… 220
二、DAC 转换器的主要技术指标 …… 221
三、集成 DAC 转换器介绍 …… 222
第二节　ADC 转换器 …… 224
一、A/D 转换的过程 …… 224
二、A/D 转换器的种类 …… 227
三、集成 A/D 转换器介绍 …… 229
四、A/D 转换器的技术指标 …… 232
第九章　数字语音和遥控电路 …… 235
第一节　数字语音电路 …… 235
一、什么是数字语音电路 …… 235
二、语音的数字化处理 …… 235
三、常用语音集成电路的种类 …… 237
四、语音集成电路及其应用 …… 239
五、音乐集成电路及其应用 …… 248
第二节　数字遥控电路 …… 253
一、遥控电路的种类 …… 253
二、遥控电路概述 …… 255
三、遥控专用编码和解码电路 …… 257
四、编码/解码电路与系统安全 …… 266
五、遥控电路应用举例 …… 268
六、遥控彩电发射和接收电路 …… 274
第十章　可编程逻辑器件简介 …… 279
第一节　概述 …… 279
第二节　低密度可编程逻辑器件简介 …… 280
一、PLD 电路的基本结构 …… 280
二、低密度可编程逻辑器件简介 …… 281
第三节　高密度可编程逻辑器件简介 …… 282
一、阵列型高密度可编程逻辑器件 …… 282
二、现场可编程门阵列 …… 283
第四节　可编程逻辑器件的开发 …… 283
一、可编程逻辑器件的设计过程 …… 284
二、在系统可编程技术和边界扫描技术 …… 285
第五节　集成 GAL 可编程逻辑器件的应用 …… 286
一、GAL 逻辑器件的分类 …… 286
二、GAL 逻辑器件的结构 …… 288

三、GAL 逻辑器件的编程 …… 288
四、GAL 逻辑器件设计举例 …… 291
第十一章 数字电路应用举例 …… 298
第一节 计数/分频、脉冲发生器及定时电路 …… 298
一、计数/分频电路 …… 298
二、脉冲发生器 …… 299
三、定时电路 …… 302
第二节 家用电器控制电路 …… 307
一、灯光控制电路 …… 307
二、电风扇控制电路 …… 311
三、电冰箱温度控制器 …… 313
四、豆浆机控制电路 …… 314
第三节 报警和密码锁电路 …… 317
一、报警电路 …… 317
二、密码锁电路 …… 318
第四节 仪器仪表电路 …… 319
一、摩托车速度表 …… 319
二、逻辑电平测试电路 …… 322
三、电容质量判别器 …… 322
四、显示器维修信号源 …… 323
五、电视方格信号发生器 …… 325
第五节 其他应用电路 …… 325
一、简易电子琴 …… 325
二、超声波驱虫器 …… 326
三、汉语报时电路 …… 326
四、叮咚门铃电路 …… 327
五、8 路数显抢答器 …… 328
第十二章 数字电子技术仿真实验 …… 331
第一节 Edison 仿真软件的基本使用方法 …… 331
一、Edison 简介 …… 331
二、Edison4.0 的立体声光实验室 …… 333
三、电路图分析器 …… 342
四、Edison4.0 的控制面板 …… 342
五、Edison4.0 的基本操作 …… 344
六、电路图编辑器 …… 346
第二节 用 Edison 仿真软件做数字电子技术实验 …… 354
一、三极管开关电路实验 …… 354

二、逻辑门电路实验 …… 355
三、译码电路实验 …… 356
四、加法器实验 …… 357
五、触发器电路实验 …… 360
六、计数器实验 …… 365
七、多谐振荡器实验 …… 368
八、555 电路实验 …… 370
参考文献 …… 373



第一章　数字电路入门

数字电路包括数字信号的传送、控制、记忆、计数、产生和整形等内容。数字电路在结构、分析方法、功能、特点等方面均不同于模拟电路。数字电路的基本单元是逻辑门电路，分析工具是逻辑代数，在功能上则着重强调电路输入与输出间的因果关系。数字电路比较简单、抗干扰性强、精度高、便于集成，因而在无线电通信、自动控制系统、测量设备、电子计算机等领域获得了日益广泛的应用。本章主要讲述的内容是数字电路的一些基础知识，如数字电路与模拟电路的比较、数字电路的分类、数制与编码等，它们是分析和理解数字电路的基础。

第一节　从模拟电路到数字电路

电子技术中的信号可分为模拟信号和数字信号两大类。模拟信号是指随时间连续变化的信号，例如正弦波电压信号。数字信号是指在时间上和数量上都不连续变化的信号，即离散的信号，例如矩形电压信号。由于这两类信号的处理方法各不相同，因此电子电路也相应地分为两类：一是处理模拟信号的电路，即模拟电路，如交流、直流放大电路；二是处理数字信号的电路，即数字电路。对于前者本书不作具体论述，后者将是本书讨论的内容。

一、模拟信号和模拟电路

1. 模拟信号

在自然界存在着许多物理量，它们在时间上和数值上是连续的，这类物理量称为模拟量。用来表示模拟量的信号称为模拟信号。常见的正弦波、三角波、调幅波、阻尼振荡波等都是模拟信号。图 1－1 给出了几种常见的模拟信号。其中图(a)为正弦波，图(b)为三角波，图(c)为调幅波，图(d)为阻尼振荡波，图(e)为指数衰减波。由图可见，虽然几种模拟信号的形状各不相同，但它们的共同特点是：信号的幅值大小随时间作连续变化。

实际上，自然界的许多物理量均为模拟量，例如速度、压力、温度、声音、质量、位置等。在工程上，为便于分析，常用传感器将模拟量转换为电流、电压等电学量。我们在这里所讲的模拟信号一般指模拟电信号。

模拟信号的基本参数包括幅度、频率、周期等。模拟信号按信号的频率可分为低频信号、高频信号、微波信号等；按信号的周期性可分为周期性信号和非周期性信号等；按用途可分为工频信号、射频信号、视频信号等。

2. 模拟电路

用以传递、加工和处理模拟信号的电路称为模拟电路。模拟电路必须满足以下要求：

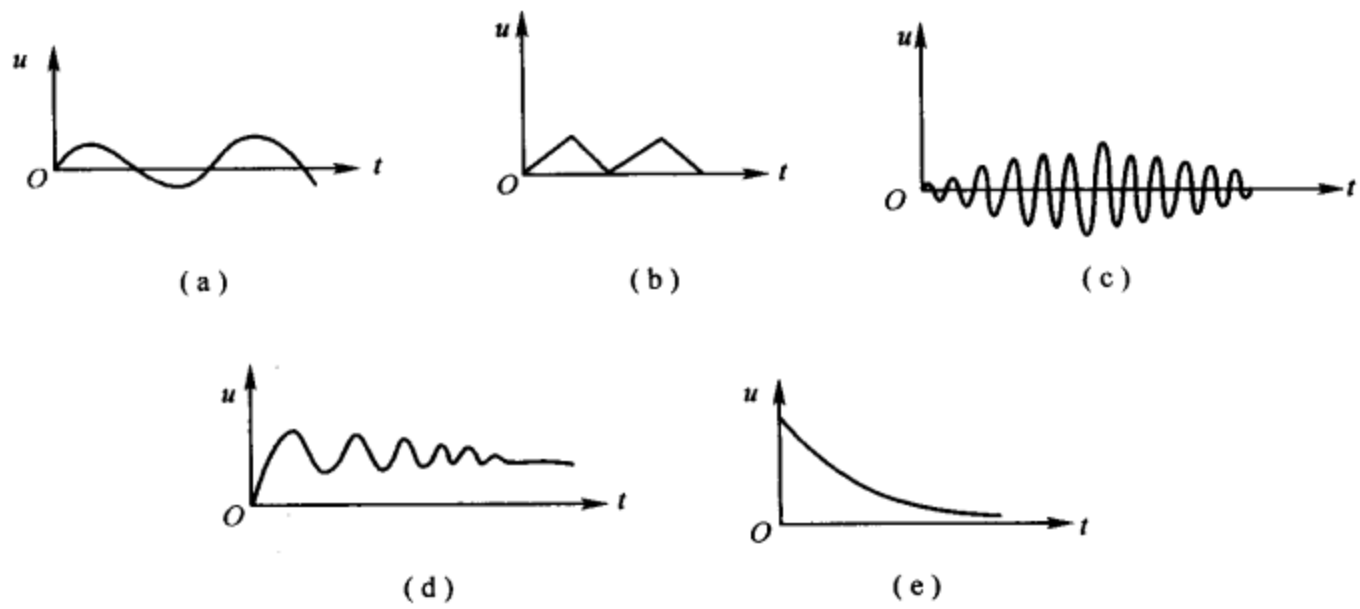


图 1－1　模拟信号

(a)正弦波；(b)三角波；(c)调幅波；(d)阻尼振荡波；(e)指数衰减波。

(1)由于模拟信号的幅度大小直接代表着信号本身的特性，所以在对模拟信号进行放大的过程中要进行线性放大，也就是要求模拟电路中的放大器工作在线性状态。如果输入放大器的信号动态范围较大，那么就必须要有足够大的动态范围的放大器来放大这一大幅度信号，这就对模拟放大器电路硬件提出了很高的要求。

(2)电路中的干扰信号绝大多数也是模拟信号，干扰信号与模拟信号有着相似的特性，这就使得模拟信号在放大、处理过程中更容易受它干扰，而且一旦受其干扰，就很难再将它们分开，这就对模拟电路抗干扰技术提出了很高的要求，使模拟电路的制作难度增大，电路成本增加。

(3)由于模拟信号的连续特性，在对这种信号进行比较复杂的处理时，就不能破坏模拟信号的特性，因此使得模拟电路变得十分复杂。

(4)对不同的模拟信号进行不同目的的处理时，就必须有一套与之对应的模拟电路与之配套，这使得模拟电路变得庞大而复杂。所以说，模拟电路不便对信号进行“深层次”的复杂处理。

二、数字信号和数字电路

1. 数字信号

1)数字信号的概念

在自然界中存在许多物理量，它们在时间和数值上均是离散的，也就是说，它们的变化在时间上是不连续的，总是发生在一系列离散的瞬间，这类物理量称为数字量。用来表示数字量的信号称为数字信号。

数字信号通常用数字波形表示，数字波形表示的是逻辑电平与时间的关系。当某波形仅有两个离散值时，可以称为脉冲波形。此时，数字波形与脉冲波形的关系是统一的，区别是表达方式不同，前者用逻辑电平表示，后者用电压值表示。数字信号分为周期性和非周期性两种，图 1－2 表示这两类数字波形，其中图(a)为周期性数字波形，图(b)为非周期性数字波形。

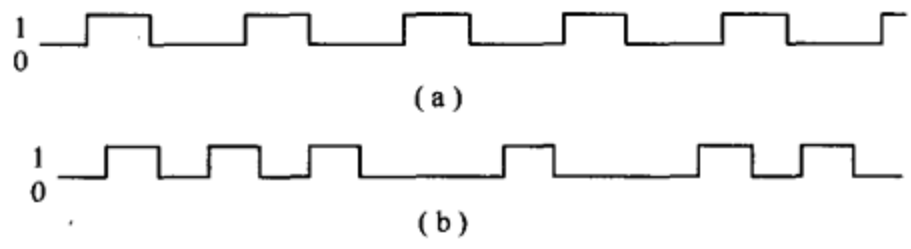


图 1－2　周期性和非周期性数字波形

(a)周期性数字波形；(b)非周期性数字波形。

2)非理想数字波形

在实际的系统中，数字波形不能立即上升或下降，要经历一段时间，如图 1－3 所示。

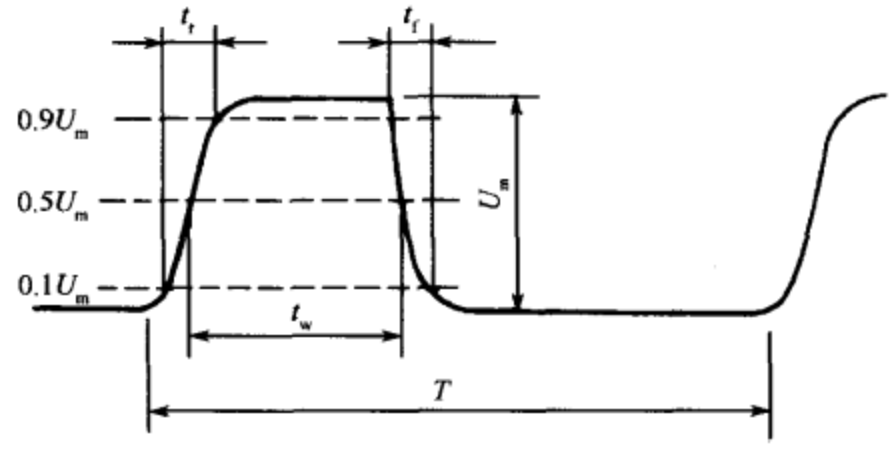


图 1－3　非理想数字波形

对于非理想数字波形(矩形脉冲)，常用以下指标来定量描述其特性：

(1)脉冲周期 T，周期性重复的脉冲序列中，两个相邻脉冲间的时间间隔。有时也用频率 $f(f=1/T)$表示单位时间内脉冲重复的次数。

(2)脉冲幅度 U_m，脉冲电压的最大变化幅度。

(3)脉冲宽度 t_w，从脉冲前沿上升到 $0.5U_m$ 处开始，到脉冲后沿下降到 $0.5U_m$ 为止的一段时间。

(4)上升时间 t_r，脉冲前沿从 $0.1U_m$ 上升到 $0.9U_m$ 所需要的时间。

(5)下降时间 t_f，脉冲后沿从 $0.9U_m$ 下降到 $0.1U_m$ 所需要的时间。

重点提示：数字信号上升时间和下降时间的典型值约为几纳秒，视不同类型的器件和电路而异。

(6)占空比 q，脉冲宽度 t_w 占整个周期 T 的百分数，也称为脉冲占空比。其表达式为

$$q=\frac{t_w}{T}\times 100\%$$

利用这些指标，就可以把一个非理想数字波形的基本特性大体上表示清楚。对于理想数字波形，其上升时间 t_r 和下降时间 t_f 均为零。

3)二值数字逻辑和逻辑电平

数字信号在时间上和数值上均是离散的，常用数字 0 和 1 表示，这里 0 和 1 不是十进制中的数字，而是逻辑 0 和逻辑 1，因而称之为二值数字逻辑，简称数字逻辑。

二值数字逻辑的产生，是基于客观世界的许多事物可以用彼此相关又互相对立的两种状态来描述，例如，是与非、真与假、开与关、低与高等；而且在电路上，可用电子器件的开关特性来实现，由此形成离散信号电压或数字电压。这些数字电压通常用逻辑电平来

表示。应当注意:逻辑电平不是物理量。逻辑电平与电压值的关系见表 1－1。

表 1－1　逻辑电平与电压值的关系

电压	二值逻辑	逻辑电平
+5V	1	H(高电平)
0V	0	L(低电平)

4)时序图

表明相互时间关系的多重数字波形图称为时序图,时序图中的每一波形通常称为时序信号。图 1－4 所示为一典型的时序图。 图中 CP 为时钟脉冲信号,它是数字系统中的时间参考信号,一般是由石英晶体振荡器来产生,波形为对称波形。地址线、片选信号和信号写入信号等都是计算机原理中常见的时序信号。在数字集成电路中,常见的存储器以及微处理器等均须附有时序图,以便于数字系统的分析、应用和设计。

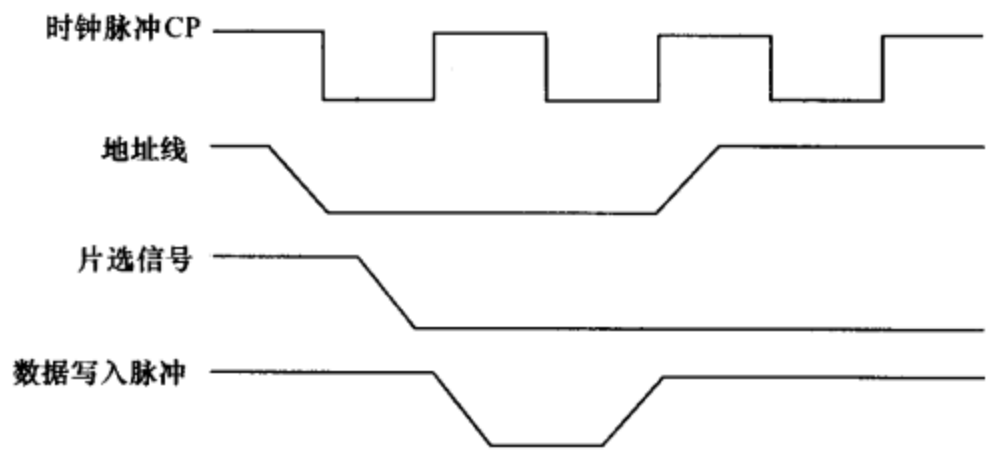


图 1－4　时序图

2. 数字电路

数字电路就是用于传递、加工和处理数字信号的电路。电路中的电子器件,如二极管、三极管、场效应管等处于开关状态,时而导通,时而截止。广义地说,数字电路也是一种脉冲电路,如果数字信号幅度在“有”和“无”两种状态间快速转换时,电路将输出一系列矩形脉冲。

与模拟电路一样,数字电路经历了由分立器件到集成电路的过程。但数字集成电路比模拟集成电路的发展更快,使数字集成电路的性能产生了质的飞跃。数字电路与模拟电路相比有很大的不同,数字电路主要是对数字信号进行逻辑运算和数字处理,这些运算和处理有时是相当复杂的,主要通过软件来处理(进行各种逻辑处理和数字运算)。数字电路具有以下特点:

(1)数字信号采用二值信息——高电平和低电平,只有两种取值,所以数字电路在结构、工作状态、研究内容、分析方法等各方面都与模拟电路完全不同。

(2)数字电路中的晶体管只工作在饱和与截止两种状态(放大区只是过渡状态),即工作于“开关”状态。这些状态的外部表现是电流的有、无,电压的高、低,因此,有和无、高和低的两种对立状态可以与电路中的二值信息分别对应,这二值信息通常记为“1”和“0”。

(3)数字电路是由几种最基本的单元电路组成的,这些基本单元电路对元件的精度要求不高,允许有较大的误差范围。因为数字信号只需要 1 和 0 两种状态表达就可以了,因而组成数字电路的单元结构比较简单,具有便于集成化和系列化生产、工作准确可靠、成

本低廉、使用方便等优点。

(4)对于数字电路,人们研究的主要问题是输入信号的状态(0 或 1)和输出信号的状态(0 或 1)之间的逻辑关系,以反映电路的逻辑功能。因而在数字电路中,就不能采用模拟电路的分析方法,例如,微变等效电路法等就不适用了。数字电路的主要分析工具是逻辑代数,表达电路的功能主要用真值表、逻辑表达式及波形图等。

一般来说,数字电路的研究内容一般可以归为两类:一类是分析已有电路的逻辑功能,称为逻辑分析;另一类是根据逻辑功能的要求设计出满足该逻辑功能的电路,称为逻辑设计。

(5)数字电路能够对数字信号进行各种逻辑运算和算术运算。所谓逻辑运算,就是按照逻辑规则进行逻辑推理和逻辑判断。正因为数字电路不仅具有运算能力,还具有逻辑思维与判断能力,人们才能制造出各种数控装置、智能仪表以及电子计算机等现代化的科技产品,并使它们得到十分广泛的应用。

数字电路与模拟电路的比较见表 1-2。

表 1-2　模拟电路与数字电路的比较

比较内容	模拟电路	数字电路
工作信号	模拟信号	数字信号
管子工作状态	放大	饱和导通或截止
研究对象	放大性能	逻辑功能
基本单元电路	放大器	逻辑门、触发器
分析工具	图解法、微变等效电路法	真值表、卡诺图、逻辑表达式、状态转换图、布尔代数

三、数字电路的分类

1. 按电路类型分类

数字电路按照电路类型可分为组合逻辑电路和时序逻辑电路两大类。组合逻辑电路,输出只与当时的输出有关,例如编码器、加减法器、比较器、数据选择器等。时序逻辑电路,输出不仅与当时的输入有关,还与电路的原来状态有关,例如触发器、计数器、寄存器等。

2. 按集成度分类

数字电路按集成度来分,可分为小规模(SSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)等 4 类。所谓集成度是指每一芯片所包含的晶体管的个数。表 1-3 列出了几类数字集成电路的分类依据。

表 1-3　数字集成电路按集成度分类

分类	集 成 度	典型集成电路
小规模(SSI)	1 门/片～10 门/片 或 10 元件/片～100 元件/片	逻辑门电路
中规模(MSI)	10 门/片～100 门/片 或 100 元件/片～1000 元件/片	译码器、编码器、选择器、计数器、寄存器、转换电路、算术运算部件等
大规模(LSI)	大于 100 门/片 或 1000 元件/片	微控制器、存储器、门阵列
超大规模(VLSI)	1000 门/片 或大于 10 万元件/片	大型存储器、微处理器、可编程逻辑器件、多功能集成电路

3. 按电路所用器件的不同分类

数字电路按照电路所用器件的不同可分为双极型(晶体三极管型)和单极型(场效应管型)两大类。其中,双极型电路常用的类型又有标准型 TTL、高速型 TTL(H-TTL)、低功耗型 TTL(L-TTL)、肖特基型 TTL(S-TTL)、低功耗肖特基型 TTL(LS-TTL)等;单极型电路又有 JFET、NMOS、PMOS、CMOS 等。

四、数字系统

数字系统的构成如图 1－5 所示。

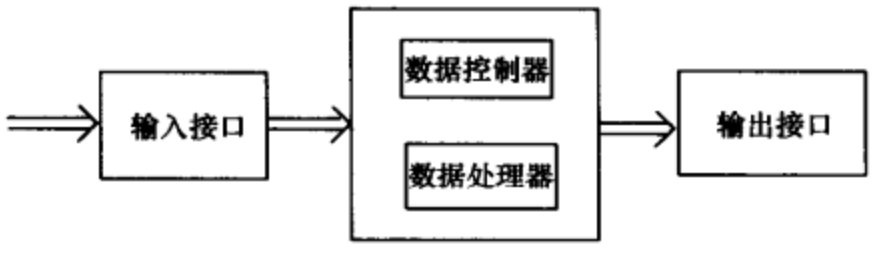


图 1－5　数字系统

数字系统通常由输入接口、输出接口、数据处理器和控制器构成。输入接口的主要任务是将模拟量转换为数字量;输出接口的主要任务是将数字量转换为模拟量;处理器和控制器的主要作用是控制系统内部各部件的工作,使它们按照一定的程序操作。一个数字系统通常由多片数字集成电路和多个分立元件构成。

五、模拟信号的数字化

1. 模拟信号的数字化表示

将时间上连续变化的模拟量变换为脉冲有无的数字量,这一操作过程就叫做数字化。通俗地讲,数字化就是将模拟信号变换成数字信号。

图 1－6(a)表示一模拟信号用数字表示的示意图,图中 A、B、C 为模拟信号的 3 个取样点,其值分别用 8 位数字串表示。在 B 点处,模拟电压值为 3V,可用相应的数字串 00000011 来表示,这个数字串由模数转换器得来,如图 1－6(b)所示。其余两个取样点 A 和 C 的电压值分别为 2V 和 4V,相应的数字串为 00000010 和 00000100。如果取样点足够多,那么模拟信号便可较真实地被复制下来。必要时也可用数模转换器将数字信号还原为模拟信号。

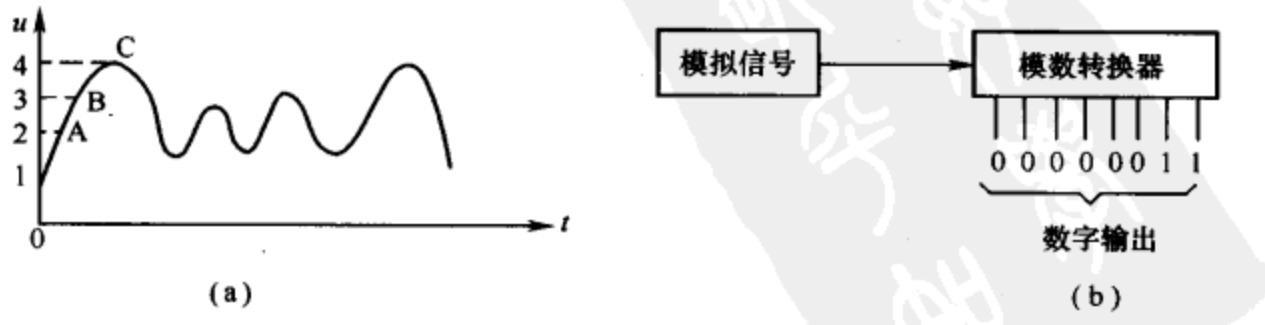


图 1－6　模拟信号的数字表示法

(a)模拟信号用数字表示;(b)模数转换示意图。

2. 模拟系统的缺点

无论是数字音响设备还是数字视频设备,其信号都存在着记录、编辑、传送和重放等

过程。在信号的上述处理过程中，由于模拟系统自身的缺点，会使模拟信号受到各种破坏，主要表现在下列几个方面：

(1)模拟信号在记录、编辑、传送和重放过程中，不可避免地会混进杂音、各种干扰成分，而这些有害的成分往往不能与有用信号分开，从而损害了原信号。

(2)在信号存储过程(如磁带录音过程)中，记录媒体(如磁带)的信噪比代替了原信号的信噪比，也就是不管原信号的动态范围有多大，一旦记录以后，再还原信号的动态范围就再也超不过记录媒体本身的动态范围，这就使得在模拟系统中对记录媒体材料的有关性能要求很高。

(3)记录过程中的换能器(如磁性记录中的录音磁头、放音磁头)如果存在非线性，会使记录在媒体上的原信号出现非线性失真，且这种失真无法通过电路来解决。

(4)模拟系统对重放过程中的机械系统要求也很高，例如，旋转系统、驱动系统等机构的工作不稳定，会使原信号产生抖晃失真，磁性记录系统中的抖晃失真就是一个比较常见的问题。

3. 数字系统的优点

模拟信号的数字化可以解决上述模拟系统中存在的问题，同时还可带来其他好处，数字系统的主要优点是：

(1)在数字记录系统中，由于信号的记录形式是二进制数码，数字电路的任务只是判断出 0 和 1 两种状态，与记录媒体的信噪比和重放信号的信噪比没有直接关系，这样与模拟记录系统相比对记录媒体的要求可以宽松得多，即数字系统可以用廉价的材料作为记录媒体。

(2)数字系统中只有 0 和 1 两种电平状态的信号，在记录和重放过程中只要保持 0、1 信号之间足够的电平差，数字电路就能方便地将它们识别和分离。换句话讲，即使在一组代表低电平的 0 信号电平其幅度大小有所不同，相对于代表高电平的一组 1 信号电平存在参差不齐情况下，只要 0、1 信号之间的电平差足够大，数字电路通过处理都可以正确地分辨出 0 和 1 信号，这就说明数字电路的抗干扰能力很强。

(3)数字系统中，如果采样频率、量化位数确定了，电路的性能极限也就确定了，且不容易被改变，这说明数字记录系统性能的重现性是很可靠的。但是在模拟记录系统中，由于许多不稳定因素的存在，其重现性能是不稳定、不可靠的。所以，数字系统的技术性能指标要比模拟系统的技术性能指标高出许多。

(4)由于数字系统中的数字信号要进行各种形式的编码处理，因编码后的信号和信号在处理过程中电路本身或外界混进来的干扰信号性质的不同，二者可以方便地被分离，因而可以轻松地去除干扰信号，而不致损害信号数码。

(5)在一些数字记录系统中，由于重放系统设有时基校正电路，其机械旋转系统、驱动系统的不稳定现象不会引起抖晃失真的问题，因而不必要求有像模拟记录系统中那样的精密机械系统，这使机械系统的加工精度要求降低，从而降低了生产成本。

(6)由于数字系统中的数字信号只在低电平和高电平两种状态之间交替变化，所以不必要求记录系统和重放系统中的换能器具有良好的线性。

(7)由于数字信号适合于用计算机进行处理和运算，这使得对数字信号的各种编码、解码处理变成了软件操作，大大方便了对电信号的各种处理，使得数字式电器具有更强的

功能。同时，在实现同样功能时，数字电路结构远远没有模拟电路那么复杂。

第二节　数制的转换及运算

一、常用数制

数制就是记数法、进位制。目前人们通用的数制是十进制，但使用十进制并非是天经地义的，它只不过是来源于远古时代用十指记数的一种约定俗成的习惯。事实上，在我们的生活中，也有使用非十进制的实例，比如日期、时间的表示和进位以及英制度量衡等。下面就几种常用的数制分别进行介绍。

1. 十进制(D)

数制所使用的数码的个数称为基，数制的每一位所具有的值称为权。十进制是以 10 为基数的计数体制，即它所使用的代码为 0,1,2,3,4,5,6,7,8,9 共有 10 个。十进制的权是以 10 为底的幂，如 $10=1\cdot10^1+0\cdot10^0$。每个十进制数都可以用位权值表示，其中，个位的位权为 10^0，十位的位权为 10^1，百位的位权为 10^2，依此类推。例如：

$$402.8=4\times10^2+0\times10^1+2\times10^0+8\times10^{-1}$$

从数字电路的角度来看，采用十进制是不方便的，因为构成数字电路的基本思路是把电路的状态与数码对应起来，而十进制的十个数码，必须有十个不同的而且能严格区分的电路状态与之对应起来，这样将在技术上带来许多困难，而且不经济，因而，在数字电路中一般不直接采用十进制，而采用二进制。

2. 二进制(B)

二进制是用两个数码 0 和 1 表示，而且是“逢二进一”，即 1＋1＝10(读为“壹零”)。注意：这里的“10”与十进制数的“10”是完全不同的，它不代表“十”，右边的“0”表示 0 个 2^0，左边的“1”表示 1 个 2^1，即 $10=1\times2^1+0\times2^0$，可见，二进制的权是以 2 为底的幂。

使用二进制具有以下优点：

(1)二进制只需用两种状态表示数字，容易实现。计算机是由电子元器件构成的，二进制在电气、电子元器件中最易实现。它只有两个数字，用两种稳定的物理状态即可表达，而且稳定可靠。例如磁化与未磁化、晶体管的载止与导通(表现为电平的高与低)等。而若采用十进制，则需用十种稳定的物理状态分别表示十个数字，不易找到具有这种性能的元器件，即使有，其运算与控制的实现也极复杂。

(2)二进制的运算规则简单。加法是最基本的运算。乘法是连加，减法是加法的逆运算(利用补码原理，还可以转化为加法运算，类似钟表拨针时的计算)，除法是乘法的逆运算。其余任何复杂的数值计算也都可以分解为基本算术运算复合进行。为提高运算效率，在计算机中除采用加法器外，也直接采用乘法器。

众所周知，十进制的加法、乘法运算规则的口诀各有 100 条，根据交换率，去掉重复项，也各有 55 条。用计算机的电路实现这么多运算规则是很复杂的。相比之下，二进制的算术运算规则非常简单，加法、乘法各仅四条，运算操作也比较方便。

(3)用二进制容易实现逻辑运算。数字电路不仅需要算术功能，还应具备逻辑运算功能，二进制的 0、1 分别可用来表示假(False)和真(True)，用布尔代数的运算法则很容易

实现逻辑运算。

但是，二进制也有一些缺点，例如，用二进制表示一个数时，位数多，使用起来不方便，也不符合日常习惯。因此在运算时，原始数据多用人们习惯的十进制，在送入计算机时，就必须将十进制数据转换成数字系统能接受的二进制数，而运算结束后，再将二进制数转换为十进制数，表示出最终结果。

3. 八进制(O)和十六进制(H)

由于使用二进制数的位数很多，不便于书写和记忆，因此在数字计算机的资料中常采用十六进制数或八进制数来表示二进制数。上述十进制数和二进制数的表示法可以推广到十六进制和八进制。例如，八进制数采用八个数码，而且“逢八进一”。这种数制中有 8 个不同的数字，即 0，1，2，3，4，5，6，7，它是以 8 为基数的计数体制。十六进制数采用 16 个数码，而且“逢十六进一”。这种数制中有十六个不同的数字，即 0，1，2，3，4，5，6，7，8，9，A(对应于十进制数中的 10)，B(11)，C(12)，D(13)，E(14)，F(15)，它是以 16 为基数的计数体制。

为便于记忆和理解，表 1－4 对二进制、八进制、十进制和十六进制进行了对照和比较。

表 1-4　二进制、八进制、十进制和十六进制对照表

常用进制	英文表示符号	数码符号	进位规律	进位基数
二进制	B	0、1	逢二进一	2
八进制	O	0、1、2、3、4、5、6、7	逢八进一	8
十进制	D	0、1、2、3、4、5、6、7、8、9	逢十进一	10
十六进制	H	0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F	逢十六进一	16

二、数制的转换

1. 其他进制转换为十进制

其他进制转换为十进制方法是，将其他进制按权位展开，然后各项相加，就得到相应的十进制数。

例 1　将二进制数$(11011.101)_2$转换成十进制数。

解　$(11011.101)_2=1\times2^4+1\times2^3+0\times2^2+1\times2^1+1\times2^0+1\times2^{-1}+0\times2^{-2}+1\times2^{-3}=16+8+0+2+1+0.5+0+0.125=(27.625)_{10}$

例 2　将八进制数$(136.524)_8$转换成十进制数。

解　$(136.524)_8=1\times8^2+3\times8^1+6\times8^0+5\times8^{-1}+2\times8^{-2}+4\times8^{-3}=64+24+6+0.625+0.03125+0.0078125=(94.6640625)_{10}$

例 3　将十六进制$(FF)_{16}$转换为十进制。

解　$(FF)_{16}=15\times16^1+15\times16^0=240+15=(255)_{10}$

例 4　将十六进制数$(13DF.B8)_{16}$(也可写作$(13DF.B8)_H$)转换成十进制数。

解　$(13DF.B8)_{16}=1\times16^3+3\times16^2+13\times16^1+15\times16^0+11\times16^{-1}+8\times16^{-2}=$

$4096+768+208+15+0.6875+0.03125=$

$(5087.71875)_{10}$

2. 将十进制转换成其他进制

十进制转换成其他进制时，需分两部分进行，即整数部分和小数部分。

(1)整数部分的转换步骤：(基数除法)①把要转换的十进制数除以新的进制的基数，把余数作为新的进制的最低位；②把步骤①中得的商再除以新的进制基数，把余数作为新的进制的次低位；③继续步骤②，直到最后的商为零，这时的余数就是新进制的最高位。

(2)小数部分的转换步骤：(基数乘法)①把要转换数的小数部分乘以新的进制的基数，把得到的整数部分作为新的进制小数部分的最高位；②把步骤①中得的小数部分再乘以新进制的基数，把整数部分作为新进制小数部分的次高位；③继续步骤②，直到小数部分变成零为止，或者达到预定的要求也可以。

例 5 把十进制数$(25)_{10}$转换成二进制数。

解 由于二进制基数为 2，所以逐次除以 2 取其余数(0 或 1)，方法如下：

2 | 25

2 | 12 ……余 1

2 | 6 ……余 0

2 | 3 ……余 0

2 | 1 ……余 1

0 ……余 1

所以，$(25)_{10}=(11001)_2$，即 25D=11001B

例 6 把十进制数$(173)_{10}$转换成二进制数。

解 由于二进制基数为 2，所以逐次除以 2 取其余数(0 或 1)，方法如下：

2 | 173

2 | 86 ……余 1

2 | 43 ……余 0

2 | 21 ……余 1

2 | 10 ……余 1

2 | 5 ……余 0

2 | 2 ……余 1

2 | 1 ……余 0

0 ……余 1

所以，$(173)_{10}=(10101101)_2$。

例 7 将十进制数$(25)_{10}$转换成八进制数。

解　由于基数为 8，逐次除以 8 取余数，方法如下：

$$
\begin{array}{r|l}
8 & 25 \\
\hline
8 & 3 \quad \cdots\cdots 余\ 1 \\
\hline
 & 0 \quad \cdots\cdots 余\ 3
\end{array}
$$

所以，$(25)_{10}=(31)_8$。

例 8　将十进制$(255)_{10}$转换为十六进制数。

解　由于基数为 16，逐次除以 16 取余数，方法如下：

$$
\begin{array}{r|l}
16 & 255 \\
\hline
16 & 15 \quad \cdots\cdots 余\ 15(F) \\
\hline
 & 0 \quad \cdots\cdots 余\ 15(F)
\end{array}
$$

所以，$(255)_{10}=(FF)_{16}$。

例 9　将十进制小数$(0.375)_{10}$转换成二进制数。

解

$$
\begin{array}{r}
0.375 \\
\times \quad 2 \\
\hline
[0].750 \\
\quad\ 2 \\
\hline
[1].500 \\
\quad\ 2 \\
\hline
[1].000
\end{array}
$$

所以，$(0.375)_{10}=(0.011)_2$。

3. 二进制与八进制、十六进制的相互转换

八进制数和十六进制数的基数分别为 $8=2^3$，$16=2^4$，所以 3 位二进制数相当 1 位八进制数，4 位二进制数相当于 1 位十六进制数，它们之间的相互转换是很方便的。

二进制数转换成八进制数的方法是：从小数点开始，分别向左、向右，将二进制数按每 3 位一组分组（不足 3 位的补 0），然后写出每 1 组等值的八进制数。

例 10　求$(01101111010.1011)_2$的等值八进制数。

解

二进制	001	101	111	010.	101	100
八进制	1	5	7	2.	5	4

所以$(01101111010.1011)_2=(1572.54)_8$。

二进制数与十六进制数的转换方法和二进制数与八进制数的转换相似，即从小数点开始分别向左、向右将二进制数按每 4 位 1 组分组（不足 4 位的补 0），然后写出每 1 组等值的十六进制数。

例 11　将$(1101101011.101)_2$转换为十六进制数。

解

二进制	0011	0110	1011.	1010
十六进制	3	6	B.	A

所以$(1101101011.101)_2=(36B.A)_{16}$。

八进制数、十六进制数转换为二进制数的方法可以采用与前面相反的步骤，即只要按原来顺序将每1位八进制数(或十六进制数)用相应的3位(或4位)二进制数代替即可。

例12 将$(678.A5)_{16}$转换为二进制数。

解 十六进制 6 7 8. A 5

二进制 0110 0111 1000. 1010 0101

所以，$(678.A5)_{16}=(0110\ 0111\ 1000.1010\ 0101)_2$。

三、二进制的算术运算

二进制数的加、减、乘、除四则运算，在数字系统中是经常遇到的，它们的运算规则与十进制数很相似。加法运算是最基本的一种运算，利用它的运算规则可以实现其他3种运算。例如，减法运算可以借助改变减数的符号再与被减数相加，乘法运算可视为被乘数的连加，而除法运算则可视为被除数重复地减去除数。

1. 二进制加法

加法运算的规则是逢二进一，见表1-5所列。

表1-5 加法运算规则

进位					1
被加数	0	0	1	1	1
加数	0	1	0	1	1
和	0	1	1	10	11

2. 二进制减法

这里先介绍无符号数的减法，其规则是向高位借1当2，见表1-6所列。

表1-6 无符号数的减法运算规则

项目	无借位	无借位	无借位	有借位
被减数	0	1	1	10
减数	0	0	1	1
差	0	1	0	1

3. 二进制乘法与除法

二进制乘法、除法与十进制乘法、除法相同，下面列出了4条乘法规则：

(1)$0\times0=0$　　(2)$0\times1=0$

(3)$1\times0=0$　　(4)$1\times1=1$

例13 求$(1101)_2$与$(0101)_2$的乘积。

解

$$
\begin{array}{r}
1101 \\
\times\ 0101 \\
\hline
1101 \\
0000 \\
1101 \\
0000 \\
\hline
1000001
\end{array}
$$

第三节　编码的传输与存取

一、编码

数字系统中的信息可分为两类，一类是数值信息，另一类是文字符号信息（包括控制符）。为了表示文字符号信息，往往也采用一定位数的二进制码表示，这个特定的二进制码称为代码。建立代码与十进制数、字母、符号的一一对应关系的方法称为编码。

1. 码的基本概念

1）数位与比特

码的位叫做数位，对于十进制码叫做十进制数位，对于二进制码叫做二进制数位。二进制数位一般简称为 bit，中文读做比特。例如，某一个二进制码是 100101，该码共有 6 数位，所以称为 6bit（比特）。

2）字

用二进制数表示某一个数值或字符时，该二进制数称为字，英文是 Word。在数字系统电路中，所有的信息，包括数据、字母、符号、代表机器操作的指令或数据以及指令在存储器中的存放地址等，都是以二进制代码表示的，作为一个整体来处理或运算的一组二进制数码，称为 1 个字。字是二进制数的基本单位，是数据总线宽度。

3）字长

在微控制器中，一个字的二进制位数称为字长。微控制器的字长有 1 位、4 位、8 位和 16 位等。

4）字节

字节是由一组二进制位形成的计算机的一种存储单位，它可以表示 1 个字符，通常 1 个字节为 8 个二进制位。

5）字内位的名称

字内各个位的名称是有规定的，具体规定如下：最高一位叫做 MSB，次高位叫做 2SB，第三位叫做 3SB……以此类推，最后一位叫做 LSB。

2. 二进制—十进制编码（BCD 码）

二进制—十进制（也可写作二—十进制）编码也称 BCD 码，它是一个用 4 比特二进制码来表示十进制数的二进制码，即用 4 位数的二进制码来表示十进制数中的 0～9。表 1-7 列出了几种常用 BCD 码编码方式。

表 1-7　几种常用的 BCD 码

十进制数	8421 码	5421 码	2421 码	余 3 码
0	0000	0000	0000	0011
1	0001	0001	0001	0100
2	0010	0010	0010	0101
3	0011	0011	0011	0110
4	0100	0100	0100	0111

（续）

十进制数	8421 码	5421 码	2421 码	余 3 码
5	0101	1000	1011	1000
6	0110	1001	1100	1001
7	0111	1010	1101	1010
8	1000	1011	1110	1011
9	1001	1100	1111	1100

1)8421 BCD 码

8421 BCD 码是最基本和最常用的 BCD 码，从表 1-7 中可看出，十进制数中的 0～9 十个数的每个数都用一个 4bit 的二进制码表示，而十进制数中的两位及两位以上的数，则采用每一位都用一个 4bit 的二进制码来表示。例如：123 用 8421 BCD 码表示就是 0001 0010 0011，其中 0001 是表示百位数的 1，0010 表示的是十位数的 2，0011 表示的是个位数 3。

8421 BCD 码的权自左至右为 8、4、2、1。具体地讲，8 是最高位（第四位）的权，4 是次高位（第三位）的权，2 是第二位的权，1 是最低位的权。根据每一位的权，可以方便地计算出十进制数，例如某一个二进制数码是 0111，则该数码就是十进制数中的 7（0×8＋1×4＋1×2＋1×1＝7）。

2)其他 BCD 码

在 5421 码中，5、4、2、1 是这种编码的权，即最高一位的权是 5，次高位的权是 4，第三位的权是 2，最低一位的权是 1。

在 2421 码中，2、4、2、1 是这种编码的权，即最高一位的权是 2，次高位的权是 4，第三位的权是 2，最低一位的权是 1。

在余 3 码中，同一个十进制数所对应的余 3 码等于所对应的 8421 码加上 3（0011），具体对应关系已经在表 1-7 中给出。余 3 码这种编码是无权的。

3. ASCII 码

在数字系统中，除数字需要编码成为二进制码外，各种字母和符号也必须用某种特定规则的二进制编码来表示。目前国际上普遍采用的是 ASCII 码，其英文全称为 American Standard Code for Information Interchange（美国标准信息交换码）。ASCII 码用 7 位二进制数码来表示，故可表示 $2^7=128$ 种不同的字符，这其中包括了 26 个大、小写英文字母、10 个十进制数字符号（0～9）、7 个标点符号、9 个运算符号以及 50 个其他符号等。

4. 原码、反码和补码

1)原码

在生活中，表示数的时候一般都是把正数前面加一个“＋”，负数前面加一个“－”。但是在数字设备中，机器是不认识这些的，一般规定，用二进制的最高位“0”表示“＋”，用二进制的最高位“1”表示“－”。其余数位表示数的大小。例如：$[+105]_{原}=01101001$，$[-105]_{原}=11101001$，$[+0]_{原}=00000000$，$[-0]_{原}=10000000$。有符号的 8 位（1 个字节）二进制数表示的范围为－127～＋127。

2)反码

正数的反码与其原码相同，而负数的反码等于其绝对值各位求反。例如：$[+105]_{反}$=01101001，$[-105]_{反}$=10010110，$[+0]_{反}$=00000000，$[-0]_{反}$=11111111。

3）补码

在介绍补码概念之前，有必要先介绍补数的概念。以天天见到的时钟为例，设当前的准确时间是下午 2:00，可时钟却停在 10:00 位置上，将时钟修正到下午 2:00 位置有两种方法：一是将时钟顺时针方向拨 4h，二是将时钟逆时针方向拨 8h，其结果是一样的。上述两种拨钟方法可用下式表示：

①10+4=14；

②10−8=2。

14:00 就是 2:00，这是因为时钟按 12h 为一个周期计数。12 称为模，即时钟系统的模是 12，14 和 2 是以 12 为模的同余数，在以 12 为模的系统中，4 和 8 互为补数，此外，3 和 9、2 和 10 等都是互为补数，它们的共同特点是两数相加等于 12。因此，要求某个数的补数，用模减去这个数就可以了。

有了上述补数的概念之后，就容易理解补码的概念了，在数字系统电路中，补数就是补码。

一般来说，正数的补码与其原码相同；负数的补码是把其原码除符号位外的各位先求其反码，然后在最低位加 1。例如：$[+105]_{补}$=01101001，$[-105]_{补}$=10010111，$[0]_{补}$=00000000，$[-1]_{补}$=11111111。

5. 奇偶校验码

在数据的存取、运算和传送过程中，难免会发生错误，把“1”错成“0”或把“0”错成“1”。奇偶校验码是一种能检验这种错误的代码，它分为两部分：信息位和奇偶校验位。有奇数个“1”称为奇校验，有偶数个“1”则称为偶校验。

二、二进制码的传输

人们的日常生活每时每刻都离不开信息，信息的传播是人类社会交流的基础。信息传播有各种途径，例如人们讲话可以靠空气、固体电缆等传播，广播、电视是通过无线电波传播等，那么计算机的信息又靠什么来传播呢？它有三种途径：网络电缆、固体磁盘、无线电波，但无论是哪种途径，都必须经过编码，即用固定的代码代表特定的信息。因为，计算机能够识别的只有二值的 0 和 1，这样的例子有很多，比如键盘上的每个英文字符都可以用特定的 ASC II 码表示，每个汉字都可以用国际码表示，这些都是固定的；但是，对模拟信号而言，由于信号的连续性，它无法直接用代码表示，必须经模/数转换，用一组代码表示固定信息。信息用代码表示后就可以进行传输，而在传输过程中的信息识别要求有统一的协议，如图 1-7 所示。

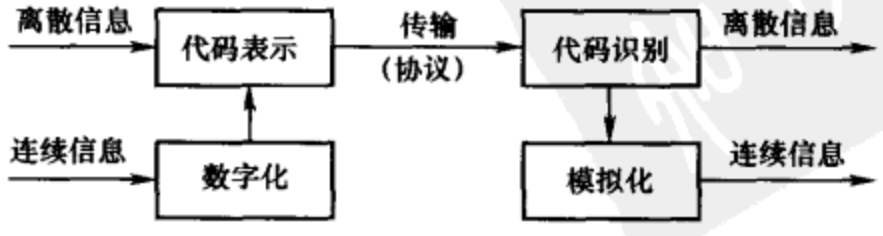


图 1-7　信息代码的传输

1. 数据的传输方式

二进制数据从一处传输到另一处，可以采用串行方式或并行方式。

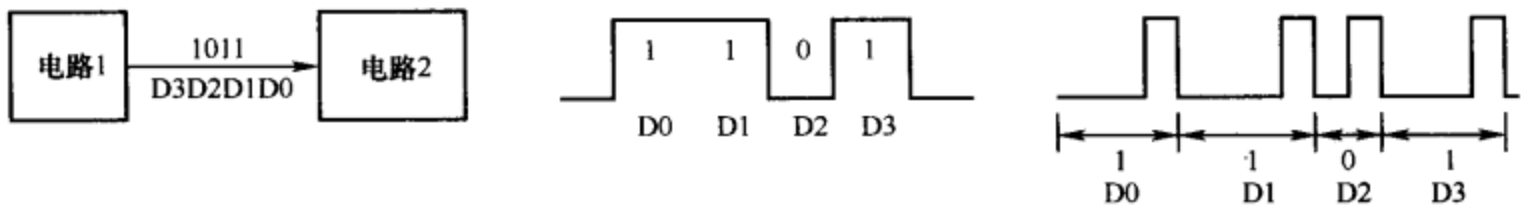
1)串行方式

对于串行方式，所需设备简单，只需 1 根导线和 1 个共同接地端即可，每传送 1 位数据需要 1 个时钟周期，可以通过电话线或两台计算机之间进行二进制数据串行传输。如图 1-8(a)所示。

由图 1-8(a)可见，电路 1 输出了一个 4 位的二进制码，即 D0＝1，Dl＝1，D2＝0，D3＝1，该 4 位数码加到电路 2 中，从电路 1 到电路 2 就采用了串行传输方式，此时传输这 4 位二进制数码就只用了 1 根导线。

在串行传输时，先传输第一位数码 D0＝1，再传输第二位数码 D1＝1，然后依次传输 D2＝0 和 D3＝1，当采用电平调制串行传输时，信号为高电平时为 1，信号为低电平时为 0，其信号传输波形如图 1-8(b)所示。

如果采用脉冲位置调制(PPM)串行传输方式，脉冲间隔宽者为高电平 1，脉冲宽度窄者为低电平 0。如图 1-8(c)所示，D0、D1 和 D3 脉冲宽，表示为高电平 1；D2 脉冲窄，表示为低电平 0。



(a)　　(b)　　(c)

图 1-8　串行传输方式

2)并行方式

并行传输是二进制数码的各位同时传输，这样要求传输导线的数目与二进制数码的位数相同，例如传输一个 4 位二进制数码时要使用 4 条导线。在并行传输方式中，各位的数值用该位电位的“高”或“低”来表示。高电平为 1，低电平为 0，图 1-9 是 4 位二进制数码并行传输示意图。

从图 1-9 中可以看出，电路中共有 4 位二进制数码，在传输时它们同时传输，不像串行传输那样要一位一位传输。

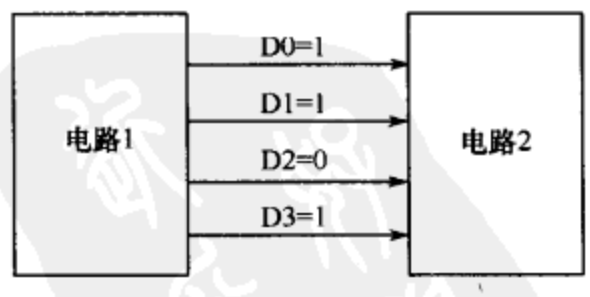


图 1-9　并行传输方式

2. 码的传输速率

码的传输速率也称波特率，是指每秒所传输数据的位数，它的单位是位/秒(bit/s)。例如，某通信系统每秒传输 120 个字符，而每个字符格式包含 10 个代码位(1 个起始位、1 个终止位、8 个数据位)，这时，传输的波特率为

$$10\times 120\text{bit/s}=1200\text{bit/s}$$

第一位代码传输的时间 t_d 为波特率的倒数，即

$$t_d=\frac{1}{1200}=0.883(\text{ms})$$

波特率是衡量传输通道频宽的指标，它和传输数据的速率并不一致，如上述例子，因

为除掉起始位和终止位，每 1 位数据实际上只有 8 位，所以，数据的传输速率为

$$8\times120\text{bit/s}=960\text{bit/s}$$

三、二进制码的存取

数字电路与模拟电路还有一个不同之处，就是数字电路中有许多存储器电路，在工作过程中时常需要从存储器里取出有关信息，或送入有关信息，这在模拟电路中是不可能实现的，因为模拟电路中不能设计出具有记忆功能的存储器电路。

1. 信息存放电路

数字电路中有关信息的存放有专门的记忆功能电路，如寄存器、存储器，这两种存放信息的电路用来存放各种功能的二进制码。寄存器电路和存储器电路将在后面章节中详细介绍。

2. 读、写操作

在数字系统电路中，将信息（二进制码）从存储器电路中取出称为读操作，将信息存入存储器电路称为写操作，对存储器的读、写操作称为访问存储器。

对存储器进行存取时，至少需要两条控制线：一条是区分读操作与写操作的读/写控制线（R/W），这根线要连接到 CPU 的 R/W 引出端，由 CPU 决定读出或写入（即确定数据流向）；另一条线是片选控制线（CS），有时也称片启动控制线 CE，当片选信号到来时（这里为高电平），存储器才工作；否则，由于三状态驱动器的控制，存储器对数据总线呈高阻状态。

在数字系统中的微控制器使用了能够存储大量信息的存储器，为了识别各个存储单元，以便存取信息，给这些存储单元进行了编号，这个编号就是各个存储单元的地址，即用二进制代码表示的地址码。通常是根据地址总线上的地址来查找存储器中的存储单元，将数据写入或读出。

第四节　逻辑代数简介

逻辑代数是讨论逻辑关系的一门学科，它是分析和设计逻辑电路的数学基础。逻辑代数是由英国科学家乔治·布尔（George Boole）创立的，故又称布尔代数。

逻辑代数也是用字母表示变量，但是逻辑代数和普通代数有着根本的区别。逻辑代数中的逻辑变量只有两种可能取值：0 和 1；而且这里的 0 和 1 不同于普通代数中的 0 和 1，它只表示两种对立的逻辑状态，并不表示数量的大小。

一、逻辑代数基本概念

1. 逻辑状态表示方法

按双值逻辑规定，“条件”和“结果”只有两种对立状态，如电位的高、低，灯泡的亮、灭等。若一种状态用“1”表示，与之对应的状态就用“0”表示。这里的 1 和 0 并不表示数量大小，为了与数制中的 1 和 0 相区别，一般称它们为逻辑 1 和逻辑 0。

2. 正逻辑和负逻辑

根据 1、0 代表逻辑状态的含义不同，有正、负逻辑之分。比如，假定 1 表示事件发生，

0 表示事件不发生，则形成正逻辑系统；反之则形成负逻辑系统。

同一逻辑电路，既可用正逻辑表示，也可用负逻辑表示。在本书中，只要未做特别声明，均采用正逻辑。

3. 逻辑函数表示法

若输入逻辑变量 A、B、C…取值确定后，输出逻辑变量 Y 的值也随之确定，则称 Y 是 A、B、C…的逻辑函数，记为

$$Y=F(A、B、C、\cdots)$$

逻辑函数有多种表示形式，常见的有逻辑表达式、真值表、逻辑图及时序图。

(1)逻辑表达式。把输出逻辑变量表示成输入逻辑变量运算组合的函数式，称为逻辑函数表达式，简称逻辑表达式。

(2)真值表。把输入逻辑变量的各种取值和相应函数值列在一起而组成的表格，称为真值表。

(3)逻辑图。在逻辑电路中，并不要求画出具体电路，而是采用一个特定的符号表示基本单元电路，这种用来表示基本单元电路的符号，称为逻辑符号。用逻辑符号表示的逻辑电路的电原理图，称为逻辑图。

(4)时序图。把一个逻辑电路的输入变量的波形和输出变量的波形依时间顺序画出来的图，称为时序图，又称波形图。

二、3 种基本逻辑运算

1. 与运算

1)电路图

图 1-10 表示一个简单与逻辑的电路，电源电压通过开关 A、B 向灯 Y 供电，只有开关 A、B 同时接通时，灯 Y 才亮；A 和 B 中只要有一个不接通，则灯 Y 不亮。其功能表见表 1-8。

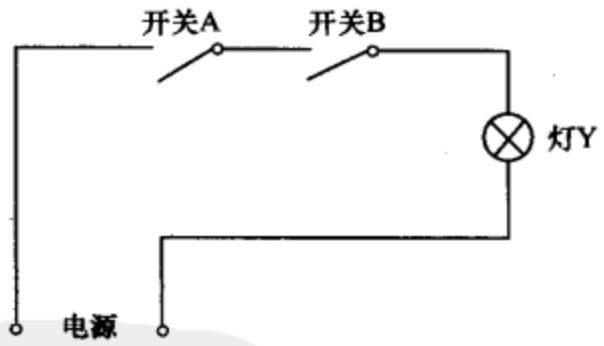


图 1-10　与逻辑电路

从这个电路可总结出与运算逻辑关系：只有当一件事情(灯 Y 亮)的几个条件(开关 A、B 都接通)全部具备之后，这件事情才会发生，这种关系称为与运算。

2)真值表

在与逻辑电路图中，若对变量和状态进行赋值，便可得到反映开关状态与电灯亮、灭之间因果关系的数学表达式，也称为逻辑真值表，简称真值表。

(1)设定变量。用英文字母表示开关和灯的过程，叫做设定变量。现用 A、B、Y 分别表示开关 A、B 和灯 Y。

(2)状态赋值。用 0 和 1 分别表示开关和灯有关状态的过程，称为状态赋值。如果开关不通和灯不亮均用 0 表示，而开关接通和灯亮均用 1 表示，则可得到表 1-9 所列的真值表。

表 1-8　与逻辑电路功能表

开关 A	开关 B	灯 Y
不通	不通	不亮
不通	通	不亮
通	不通	不亮
通	通	亮

表 1-9　与逻辑运算真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

真值表的左边两列为所有变量的全部取值组合，最右边一列是对应于 A、B 变量的每种取值组合的输出。因为输入变量有两个，所以取值组合有 $2^2=4$ 种。同理，对于 N 个变量，应该有 2^n 种取值组合。

3)逻辑表达式

图 1-10 所示的电路中，对于灯 Y 来说，只有当变量 A、B 均为 1 时，Y 才为 1，这显然是一种与的逻辑关系，其逻辑表达式为

$$Y=A\cdot B$$

式中：小圆点“×”表示 A、B 的与运算，又称逻辑乘。在不会引起混淆的前提下，乘号“×”常常省略。

2. 或运算

1)电路图

图 1-11 所示为一简单的或逻辑电路，电源电压通过开关 A 或 B 向灯 Y 供电。只要开关 A 或 B 有一个接通，那么灯 Y 就会亮；而只有当 A 和 B 均不通时，灯 Y 不亮。其功能表见表 1-10。

从这个电路可总结或运算逻辑关系：当一件事情(灯 Y 亮)的几个条件(开关 A、B 接通)中只要有一个条件得到满足，这件事就会发生，这种关系称为或运算。

2)真值表

其得出方法同与运算一样。用 0、1 表示的或逻辑运算真值表见表 1-11。

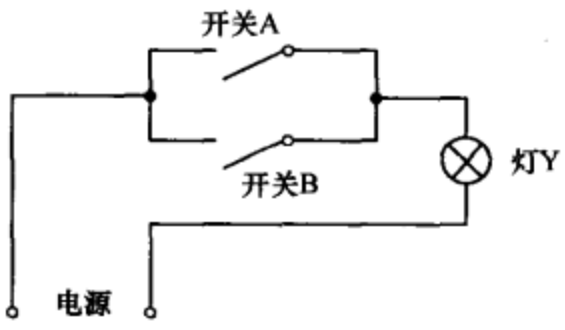


图 1-11　或逻辑电路

表 1-10　或逻辑电路功能表

开关 A	开关 B	灯 Y
不通	不通	不亮
不通	通	亮
通	不通	亮
通	通	亮

表 1-11　或逻辑运算真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

3)逻辑表达式

或逻辑的逻辑表达式为

$$Y=A+B$$

式中：符号“+”表示 A、B 的或运算，又称逻辑加。

3. 非运算

1)电路图

图 1-12 所示为一简单的非逻辑电路，当开关 A 断开时，电源电压通过限流电阻 R 向

灯 Y 供电，灯 Y 亮；而当开关 A 闭合时，灯 Y 被短接，不亮。其功能表见表 1-12。

从这个电路可总结出非运算的逻辑关系：一件事情(灯 Y 亮)的发生是以其相反的条件为依据，这种逻辑关系称为非运算。

2)真值表

其得出方法同与运算一样，用 0、1 表示的非逻辑真值表见表 1-13。

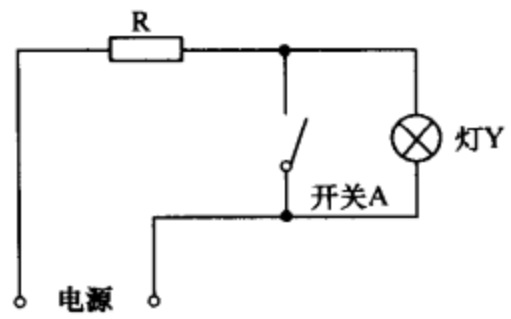


图 1-12　非逻辑电路

表 1-12　或逻辑电路功能表

开关 A	灯 Y
断开	亮
闭合	不亮

表 1-13　非逻辑运算真值表

A	Y
0	1
1	0

3)逻辑表达式

非逻辑的逻辑表达式为

$$Y=\overline{A}$$

式中：变量 A 上方的短线“—”表示非运算。

三、复合逻辑运算

复合逻辑运算由基本逻辑运算组合而成，如与非、或非、与或非、同或和异或等。

1. 与非逻辑

与非逻辑是与逻辑运算和非逻辑运算的复合，将输入变量先进行与运算，然后再进行非运算。其逻辑表达式为

$$Y=\overline{A\cdot B}$$

与非逻辑真值表见表 1-14。

表 1-14　与非逻辑真值表

A	B	Y	A	B	Y
0	0	1	1	0	1
0	1	1	1	1	0

从表 1-14 中可以看出，只要输入变量中有一个为 0，输出就为 1；只有输入变量全部为 1 时，输出才为 0，这种运算关系称为与非运算。

2. 或非逻辑

或非逻辑是或逻辑运算和非逻辑运算的复合，将输入变量先进行或运算，然后再进行非运算。其逻辑表达式为

$$Y=\overline{A+B}$$

或非运算的真值表如表 1-15 所示。

表 1-15　或非逻辑真值表

A	B	Y	A	B	Y
0	0	1	1	0	0
0	1	0	1	1	0

从表 1-15 中可以看出，只要输入变量中有一个为 1，输出就为 0；只有输入变量全部为 0 时，输出才为 1，这种运算关系称为或非运算。

3. 与或非逻辑

与或非逻辑是与逻辑运算和或非逻辑运算的复合。它是先将输入变量 A、B 及 C、D 分别进行与运算，然后再进行或非运算。其逻辑表达式为

$$Y=\overline{A \cdot B+C \cdot D}$$

与或非运算的真值表如表 1-16 所示。

表 1-16　与或非运算的真值表

A	B	C	D	Y	A	B	C	D	Y
0	0	0	0	1	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	1
0	0	1	1	0	1	0	1	1	0
0	1	0	0	1	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	0	1	1	1	1	0

4. 同或运算

当两个输入变量 A 和 B 值取值相同时，输出 Y 才为 1，否则 Y 为 0，这种逻辑关系称为同或运算。其逻辑表达式为

$$Y=A \cdot B=\overline{A}\overline{B}+AB$$

式中："⊙"符号是同或运算符号。

同或运算真值表见表 1-17。

表 1-17　同或运算真值表

A	B	Y	A	B	Y
0	0	1	1	0	0
0	1	0	1	1	1

5. 异或运算

只要当两个输入变量 A 和 B 的取值不同时，输出 Y 才为 1，否则 Y 为 0，这种逻辑关系称为异或运算。其逻辑表达式为

$$Y=A \oplus B=A\overline{B}+\overline{A}B$$

式中："⊕"是异或运算符号。

异或运算真值表见表 1-18。

表 1-18　异或运算真值表

A	B	Y	A	B	Y
0	0	0	1	0	1
0	1	1	1	1	0

由上分析可见，同或与异或逻辑正好相反，有时又将同或逻辑称为异或非逻辑。因此

$$A \odot B = \overline{A \oplus B}$$

$$A \oplus B = \overline{A \odot B}$$

阅读材料：逻辑运算符号

在数字电路中，基本和常用逻辑运算应用十分广泛，是构成各种复杂逻辑运算的基础。因此，都有实现这些运算的称之为门电路的逻辑电路存在，门电路也是组成各种数字电路的基本单元。图 1-13 所示是实现基本和常用逻辑运算的逻辑符号。

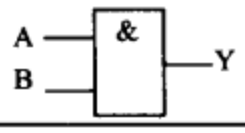
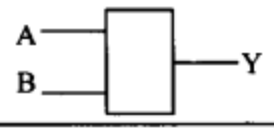
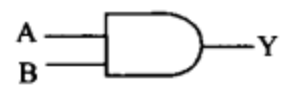
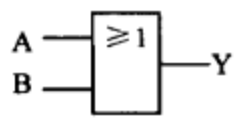
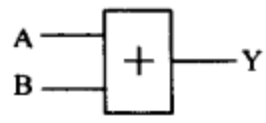
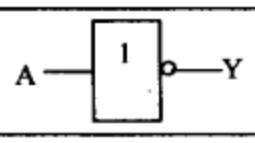
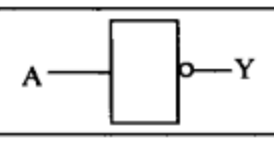
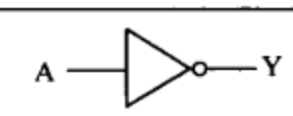
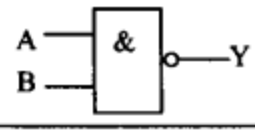
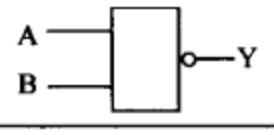
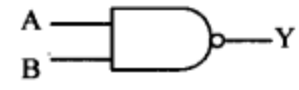
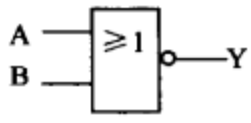
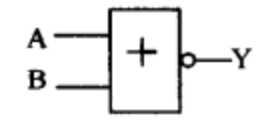
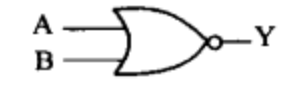
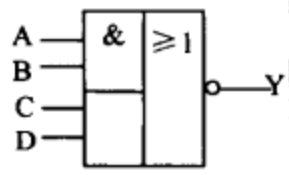
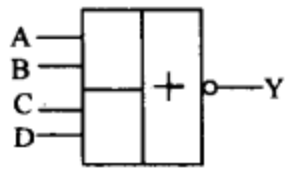
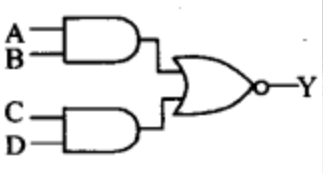
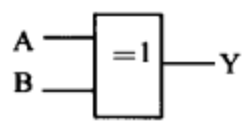
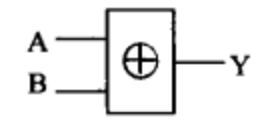
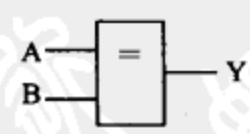
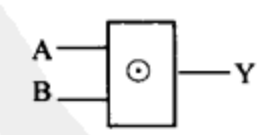
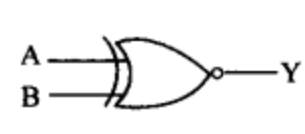
名称	国标符号	曾用符号	国外流行符号
与			
或			
非			
与非			
或非			
与或非			
异或			
同或			

图 1-13　几种逻辑运算的逻辑符号

需要特别说明的是：逻辑符号不能主观臆造。图中给出的符号，都有具体的逻辑电路器件存在，在市场上是可以买到的。

四、逻辑运算定理

1. 常量之间的关系

因为二值逻辑中只有 1、0 两个常量，逻辑变量的取值不是 1 就是 0；而最基本的逻辑运算又只有与、或、非三种。所以，常量之间的关系有以下几种：

$0\cdot0=0$、$1+1=1$、$0\cdot1=1\cdot0=0$、$1+0=0+1=1$、$1\cdot1=1$、$0+0=0$、$0=1$、$1=0$。

2. 常量和变量之间的关系

设 A 为变量(取值为 0 或 1),则常量和变量之间的关系如下:

$A\cdot1=A$　　$A+0=A$

$A\cdot0=0$　　$A+1=1$

$A\cdot\overline{A}=0$　　$A+\overline{A}=1$

$A\cdot A=A$　　$A+A=A$

3. 常用逻辑运算定理

常用的逻辑运算定理如下。

(1)交换律:

$A\cdot B=B\cdot A$　　$A+B=B+A$

(2)结合律:

$A(BC)=(AB)C$　　$A+(B+C)=(A+B)+C$

(3)分配律:

$A(B+C)=AB+AC$　　$A+BC=(A+B)(A+C)$

(4)吸收律:

$A+AB=A$　　$A(A+B)=A$

(5)非非律(还原律):

$\overline{\overline{A}}=A$

(6)反演律(摩根定律):

$\overline{A\cdot B}=\overline{A}+\overline{B}$

$\overline{A+B}=\overline{A}\cdot\overline{B}$

方法技巧:以上定理可以用真值表证明,也可以用公式证明,例如,证明 $A+BC=(A+B)(A+C)$。

证:$(A+B)(A+C)=$

$AA+AC+AB+BC=$

$A+AC+AB+BC=$

$A(1+C+B)+BC=$

$A+BC$

因此,$A+BC=(A+B)(A+C)$。

4. 逻辑代数的三个基本规则

1)代入规则

任何一个逻辑等式,如果将等式两边所出现的某一变量都代之以同一逻辑函数,则等式仍然成立,这个规则称为代入规则。例如,已知$\overline{A+B}=\overline{A}\cdot\overline{B}$,若用 $F=B+C$ 代替等式中的 B,则可得到多变量的关系式为$\overline{A+B+C}=\overline{A}\cdot\overline{B+C}=\overline{A}\cdot\overline{B}\cdot\overline{C}$。

2)反演规则

设 Y 是一个逻辑函数表达式,如果将 Y 中所有的“·”(注意,在逻辑表达式中不致混淆的地方,“·”常被忽略)换为“+”,所有的“+”换为“·”;所有的常量 0 换为常量 1,所

有的常量 1 换为常量 0；所有的原变量换为反变量，所有的反变量换为原变量。这样，将得到一个新的逻辑函数，这个新的逻辑函数就是原函数 F 的反函数，或称为补函数，记为 $\overline{Y}$。这个规则称为反演规则，反演规则又称为互补规则。运用反演规则可以方便地求出反函数，例如，对于 $Y=\overline{A}\cdot\overline{B}+C\cdot D$，求 $\overline{Y}$ 时，可写成 $\overline{Y}=(A+B)\cdot(\overline{C}+\overline{D})$。

3）对偶规则

设 Y 是一个逻辑表达式，如果将 Y 中的“·”、“+”互换，所有的 0、1 互换，那么就得到一个新的逻辑函数式，称为 Y 的对偶式，记为 Y’。这个规则称为对偶规则。例如，$Y=A\cdot(B+C)$，则 $Y'=A+B\cdot C$。利用对偶规则，可从已知公式中得到更多的运算公式，例如，已知分配律 $A(B+C)=AB+AC$，则根据对偶规则有 $A+BC=(A+B)(A+C)$。

需要说明的是：Y 的对偶式 Y’与 Y 的反演式是不同的，在求 Y’时不能将原变量和反变量互换，变换时仍要保持原式中运算的先后顺序。

第二章　晶体管开关与逻辑门电路

逻辑门电路是一种能控制信号通过或通不过的控制电路，它好像一个门，在满足了它的一定条件后，门便会自动打开。门电路的输入端有单个的和多个的，在满足了它的某种特定条件后，门电路就会打开，输出信号。它在自动程序控制和自动检测电路中有着重要的作用。门电路也是组成数字电路的基本逻辑单元，数字电路中的触发器、计数器、寄存器、运算器等，都是由门电路组成的。本章着重介绍三个方面的内容：一是半导体二极管、三极管和 MOS 管的开关特性，它们是构成各种门电路的基本开关元件；二是分立元件门电路；三是 CMOS 集成门和 TTL 集成门电路。

第一节　晶体管开关电路

用来接通或断开电路的开关器件应具有两种工作状态：一种是接通，要求其阻抗很小，相当于短路；另一种是断开，要求其阻抗很大，相当于开路。在数字电路中，二极管、三极管和场效应管工作在开关状态，它们在脉冲信号的作用下，时而导通，时而截止，相当于开关的“接通”和“关断”。当脉冲信号频率很高时，开关状态变化的速率非常快，每秒可达百万次数量级，这就要求器件的导通与截止两种状态的转换要在微秒甚至纳秒数量级的时间内完成。

一、二极管开关电路

晶体二极管是一种具有单方向导电特性的半导体器件。当给二极管外加一定的正向电压时. 它处于导通状态，呈现很小的正向电阻；外加反向电压时，二极管处于截止状态，呈现很大的反向电阻。正是由于二极管具有“导通”与“截止”两个工作状态，因而可以用它作为开关元件。

1. 二极管的伏安特性

反映加在二极管两端的电压 U_D 和流过其中的电流 I_D 两者之间关系的曲线，叫做伏安特性曲线，简称为伏安特性。图 2-1 所示是硅半导体二极管的伏安特性。

从图 2-1 中可以看出，当外加正向电压 U_D 小于 0.5V 时，二极管工作在死区，仍处在截止状态。只有在 U_D 大于 0.5V 以后，二极管才导通，而且当 U_D 达到 0.7V 后，即使 I_D 在很大范围内变化，U_D 也基本不变；当外加反向电压时，二极管工作在反向截止区，但当 U_D 达到 U_{BR}（反向击穿电压）时，二极管便进入反向击穿区，反向电流 I_R 会急剧增加，若不限制 I_R 的数值，二极管就会因过热而损坏。

2. 二极管的开关作用

图 2-2(a)所示是最简单的硅二极管开关电路。输入电压为 u_i，其低电平 $U_{IL}=-2V$，

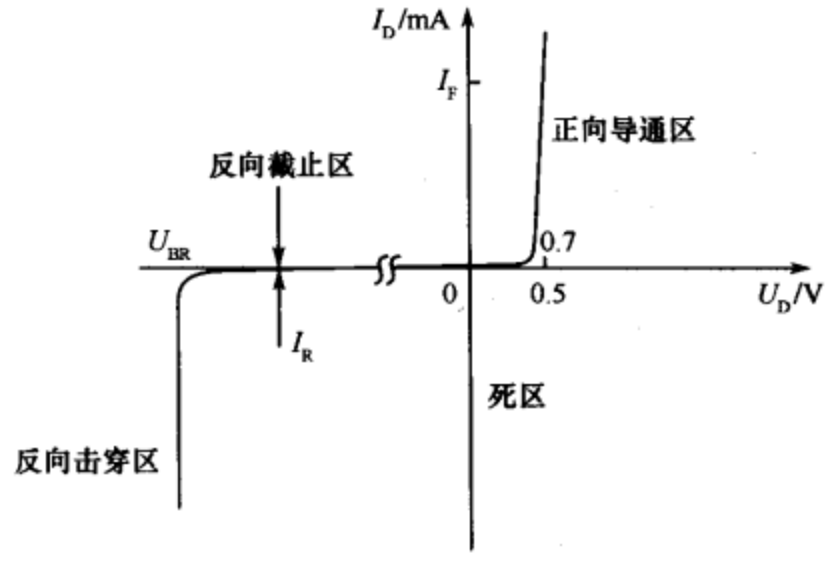


图 2-1　硅半导体二极管的伏安特性

高电平 $U_{IH}=3V$。

当输入低电平 U_{IL} 时，半导体二极管 VD 反偏，VD 处在反向截止区，如同一个断开了的开关，直流等效电路如图 2-2(b)所示，显然，输出电压 $u_o=0$。

当输入高电平 U_{IH} 时，半导体二极管 VD 正向偏置，VD 工作在正向导通区，其导通压降 $U_D\approx0.7V$，如同一个具有 0.7V 压降、闭合了的开关，直流等效电路如图 2-2(c)所示，显然输出电压等于 U_{IH} 减去 U_D，即

$$u_o=U_{IH}-U_D=(3-0.7)V=2.3V$$

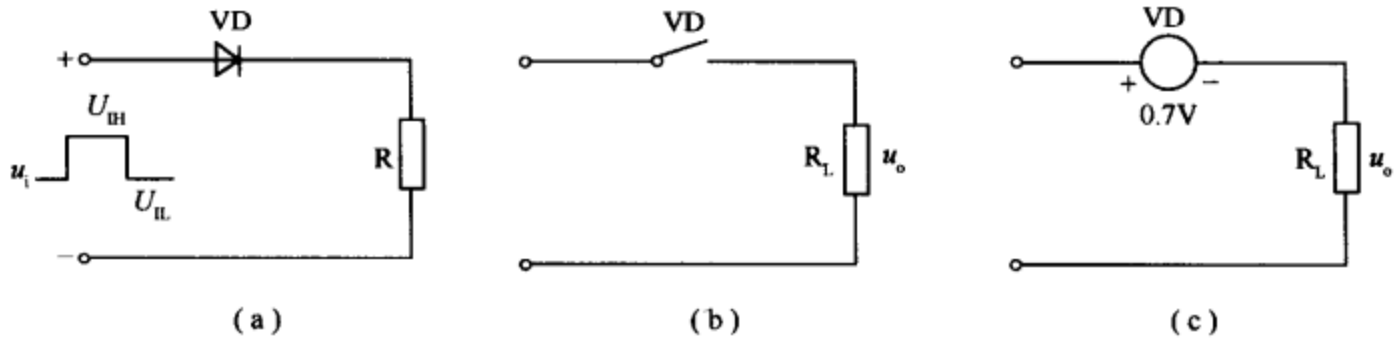


图 2-2　硅二极管开关电路及其直流等效电路

(a)开关电路；(b)$U_{IL}=-2V$；(c)$U_{IH}=3V$。

重点提示：通过对二极管开关电路的分析可知，硅半导体二极管具有以下开关特性：

当外加正向电压 $U_D>0.7V$ 时，二极管导通，而且一旦导通之后，就可近似地认为 $U_D\approx0.7V$ 不变，如同一个具有 0.7V 压降的闭合了的开关。当 $u_i=U_{IH}$ 很大时，便可近似地认为 $u_o\approx U_{IH}$，即忽略二极管导通压降。

当外加电压 $U_D<0.5V$ 时，二极管截止，而且一旦截止之后，就近似地认为 $I_D\approx0$，如同一个断开了的开关。

3. 二极管的开关时间

图 2-3 所示是一个最简单的二极管开关电路及相应的 u_i 和 i_D 的波形。

1)开通时间 t_{on}

当输入电压 u_i 由 U_{IL} 变到 U_{IH} 时，二极管 VD 要经过导通延迟时间 t_d、上升时间 t_r 之后，才能由截止状态转换到导通状态。其原因在于，当 u_i 正跳变时，只有当 PN 结中电荷量减少，PN 结由反偏转换到正偏后，二极管 VD 才会导通，此后流过二极管中的电流 i_D

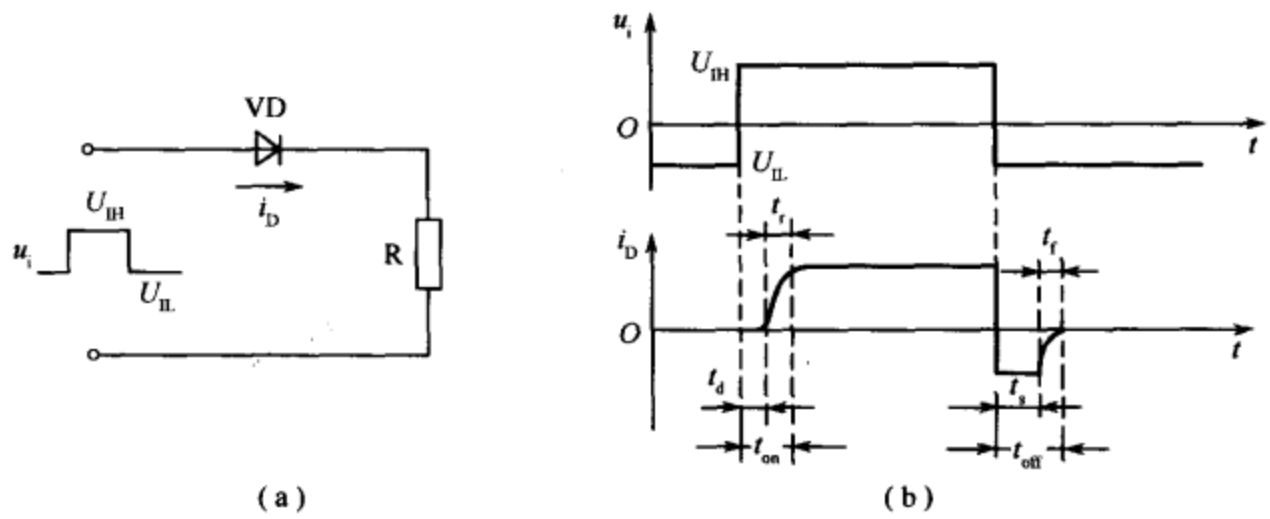


图 2-3　二极管的开关电路及其波形图

(a)开关电路；(b)u_i、i_D 的波形图。

也只能随着扩散存储电荷的增加而增加，并逐步达到稳态值 I_D，$I_D=\dfrac{U_H-U_D}{R}$。所以，半导体二极管的开通时间为 $t_{on}=t_d+t_r$

2)关断时间 t_{off}

当输入电压 u_i 由 U_{IH}跳变到 U_{IL}时，二极管 VD 经过存储时间 t_s、下降时间 t_f之后，才会由导通状态转换到截止状态。t_s是存储电荷消散时间，t_f是 PN 结由正偏到反偏，PN 结中电荷量逐渐增加到截止状态下稳态值的时间。关断时间 t_{off}也叫做反向恢复时间，也常用 t_{rr}表示。

由于半导体二极管的开通时间 t_{on}比关断时间 t_{off}短得多，所以一般情况下可以忽略不计，而只考虑关断时间，也即反向恢复时间。一般开关二极管的反向恢复时间也只有几纳秒。

二、三极管开关电路

三极管不仅有放大作用，而且还有开关作用。在脉冲数字电路中就要利用三极管的开关作用。

1. 三极管的输入特性

输入特性曲线是指当集-射电压 U_{CE}为常数时，基极电流 I_B与基射极电压 U_{BE}之间的关系曲线。因为三极管的发射结是一个 PN 结，且正向连接，所以晶体三极管的输入特性曲线与二极管的正向特性曲线是一样的，图 2-4 所示是硅三极管的输入特性曲线。

从输入特性可以看出，当 U_{BE}大于死区电压 0.5V 时，发射结开始导通，当 $U_{BE}=0.7V$ 时，即使 I_B在很大荡围内变化，U_{BE}也基本维持不变。

需要特别指出的是，半导体三极管发射结承受反向电压的能力是很差的，集电极开路时射—基极间的反向击穿电压 U_{EBO}，一般合金管较高，平面管尤其是高频管只有几伏，有的甚至不到 1V。

2. 三极管的输出特性

三极管的输出特性曲线是指当基极电流 I_B为常数时，输出电路(集电极电路)中的集电极电流 I_C与集—射极电压 U_{CE}之间的关系曲线。在不同的 I_B下，可得到不同的曲线，所以，三极管的输出特性曲线是一组曲线，如图 2-5 所示。

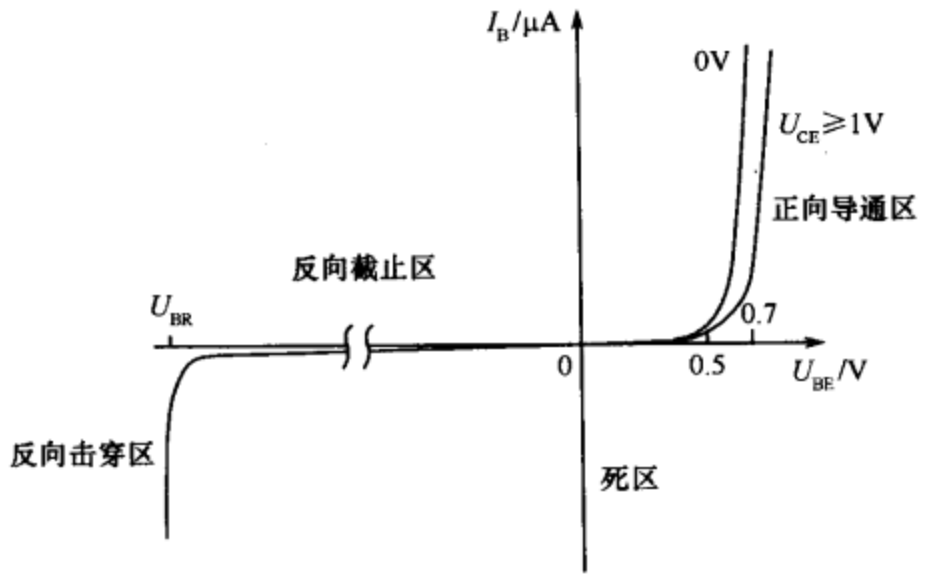


图 2-4　硅三极管输入特性曲线

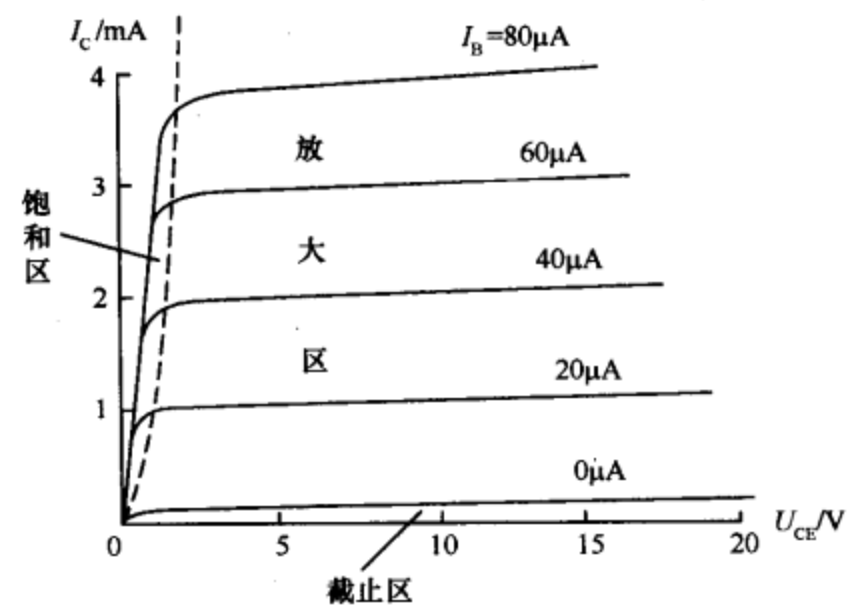


图 2-5　三极管的输出特性曲线

分析三极管的输出特性曲线，可以将它分为三个区：截止区、放大区和饱和区。

1）放大区

在放大区内，各条输出特性曲线比较平坦，近似为水平直线，表示当 I_B 一定时，I_C 的值基本上不随 U_{CE} 而变化。而当基极电流有一个微小的变化量 ΔI_B 时，相应的集电极电流将产生较大的变化量 ΔI_C，是 ΔI_B 的 β 倍，即

$$\Delta I_C = \beta \Delta I_B$$

这个表达式体现了三极管的电流放大作用。

在放大区，三极管的发射结正向偏置，集电结反向偏置。对于 NPN 三极管来说，$U_{BE}>0$，而 $U_{BC}<0$。

2）截止区

一般将输出特性曲线中 $I_B \leqslant 0$ 的区称为截止区，在图 2-5 中为 $I_B=0\mu A$ 曲线以下的部分，此时 I_C 也近似为 0。由于管子的各极电流都基本上等于 0，所以三极管处于截止状态，没有放大作用。

其实，当 $I_B=0$ 时，集电极回路的电流并不真正为 0，而是有一个较小的穿透电流 I_{CEO}。一般硅三极管的穿透电流较小，通常小于 1μA，所以在输出特性曲线上无法表示出

来。在截止区，三极管的发射结和集电结都处于反向偏置状态，对于 NPN 三极管来说，此时 $U_{BE}<0$，$U_{BC}<0$。

3）饱和区

图 2-5 中纵坐标附近虚线以左的部分属于三极管的饱和区，在这个区域，不同 I_B 值的各条特性曲线几乎重叠在一起，十分密集。也就是说，当 U_{CE} 较小时，管子的集电极电流 I_C 基本上不随基极电流 I_B 而变化，这种现象称为饱和。

饱和区是一个非线性区。所谓非线性是指给三极管输入一个标准的正弦信号时，输出的信号已不是一个标准的正弦信号。输出信号与输入信号不同就是失真，产生这一失真的原因是管子的非线性，由于管子的非线性而产生的失真称为非线性失真。所以，放大信号时三极管不能进入饱和区。在饱和区，三极管失去了放大作用，此时不能用放大区中的 β 来描述 I_C 和 I_B 的关系。

一般认为，当 $U_{CE}=U_{BE}$，即 $U_{CB}=0$ 时，三极管达到临界饱和状态。当 $U_{CE}<U_{BE}$ 时，称为过饱和。三极管饱和时的管压降用 U_{CES} 表示，一般小功率硅三极管的饱和管压降 $U_{CES}<0.3V$。

三极管工作在饱和区时，发射结和集电结都处于正向偏置状态。对于 NPN 三极管来说，$U_{BE}>0$，$U_{BC}>0$。

3. 三极管的开关作用

三极管工作在截止区时的状态为截止状态，对硅管而言，$U_{BE}<0.5V$ 时已开始截止。为了保证可靠截止，常使 $U_{BE}=0$ 或加反向偏压。在晶体管开关电路中，截止状态是三极管的开关状态之一。晶体管截止时，集电结处于反向偏置，此时 I_B、I_C、I_E 均为 0。对 NPN 三极管，集电极电压 U_C 等于电源电压 V_{cc}，对 PNP 三极管，集电极电压 $U_C=-V_{cc}$。

三极管工作在饱和区时的状态为饱和状态，它是晶体管开关电路的另一个工作状态。饱和状态下，发射结处于正向偏置，集电结也处于正向偏置。由于 I_B 很大，所以 I_C 和 I_E 也很大，结果集电极电压 U_C 很小。对于 NPN 三极管，$U_B>U_C$、$U_B>U_E$；另外，集电极与发射极之间的电压 $U_{CE}=0.2V$ 左右。对 PNP 三极管，$U_B<U_C$、$U_B<U_E$；集电极与发射极之间的电压 $U_{CE}=-0.2V$ 左右。

为便于记忆，表 2-1 列出了 NPN 硅三极管和 PNP 锗三极管结电压典型数据。

表 2-1　三极管结电压典型数据　（单位：V）

管型	工作状态				
	饱和		放大	截止	
	U_{BE}	U_{CE}	U_{BE}	U_{BE}	
				开始截止	可靠截止
NPN 硅管	0.7	0.2	0.6～0.7	0.5	≤0
PNP 锗管	−0.3	−0.1	−0.2～−0.3	−0.1	0.1

由上可知，当三极管饱和时，$U_{CE}\approx 0$，发射极与集电极之间如同一个接通的开关，其间电阻很小；当晶体管截止时，$I_C\approx 0$，发射极与集电极之间如同一个断开的开关，其间电阻很大。这就是晶体管的开关作用。

在脉冲数字电路中，常利用晶体管的开关作用进行工作。晶体管时而从截止跃变到

饱和，时而从饱和跃变到截止。晶体管不是工作在饱和状态，就是工作在截止状态，只是在饱和和截止两种工作状态转换瞬间经过放大状态。

例 1　在图 2-6 所示电路中，设 $\beta=100$，当输入电压为 u_i 分别为低电平 $U_L=-2V$、高电平为 $U_H=3V$ 时，试问晶体管处于何种工作状态。

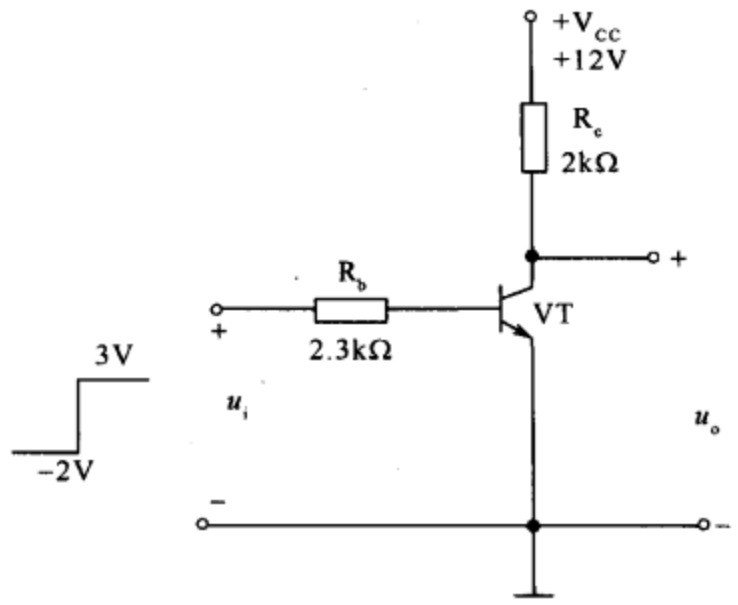


图 2-6　三极管电路

解　当输入电压为 $U_L=-2V$ 时，三极管 VT 发射结处于反向偏置，VT 为截止状态，$I_b\approx0$、$I_C\approx0$、$u_o\approx V_{CC}=12V$。

当输入电压为 $U_H=3V$ 时，三极管 VT 是导通的，基极电流

$$I_B=\frac{U_H-U_{BE}}{R_b}=\frac{3-0.7}{2.3}=1(mA)$$

三极管临界饱和时的基极电流

$$I_{BS}=\frac{I_{CS}}{\beta}=\frac{V_{CC}-U_{CES}}{\beta R_c}\approx\frac{V_{CC}}{\beta R_c}=\frac{12}{100\times2}=0.06(mA)$$

式中：I_{CS}是三极管 VT 饱和导通时的集电极电流；U_{CES}是 VT 饱和导通时集电极到发射极的电压降，对于开关管，$U_{CES}\leqslant0.3V$。

由估算结果知，I_B远大于 I_{BS}，所以 VT 深度饱和，此时 $u_o=U_{CES}\leqslant0.3V$。

4. 三极管的开关时间

在图 2-6 所示电路中，当输入的 u_i 为矩形脉冲时，相应的集电极电流 i_C和输出电压波形如图 2-7 所示。

1)开通时间 t_{on}

当 u_i 由 $U_{IL}=-2V$ 跳变到 $U_{IH}=3V$ 时，三极管需要经过导通延迟时间 t_d 和上升时间 t_r 之后，才能由截止状态转换到饱和导通状态。开通时间为 t_{on}为

$$t_{on}=t_d+t_r$$

2)关断时间 t_{off}

当 u_i 由 $U_{IH}=3V$ 跳变到 $U_{IL}=-2V$ 时，三极管需要经过存储时间 t_s、下降时间 t_f 之后，才能由饱和导通状态转换到截止状态。关断时间 t_{off}为

$$t_{off}=t_s+t_f$$

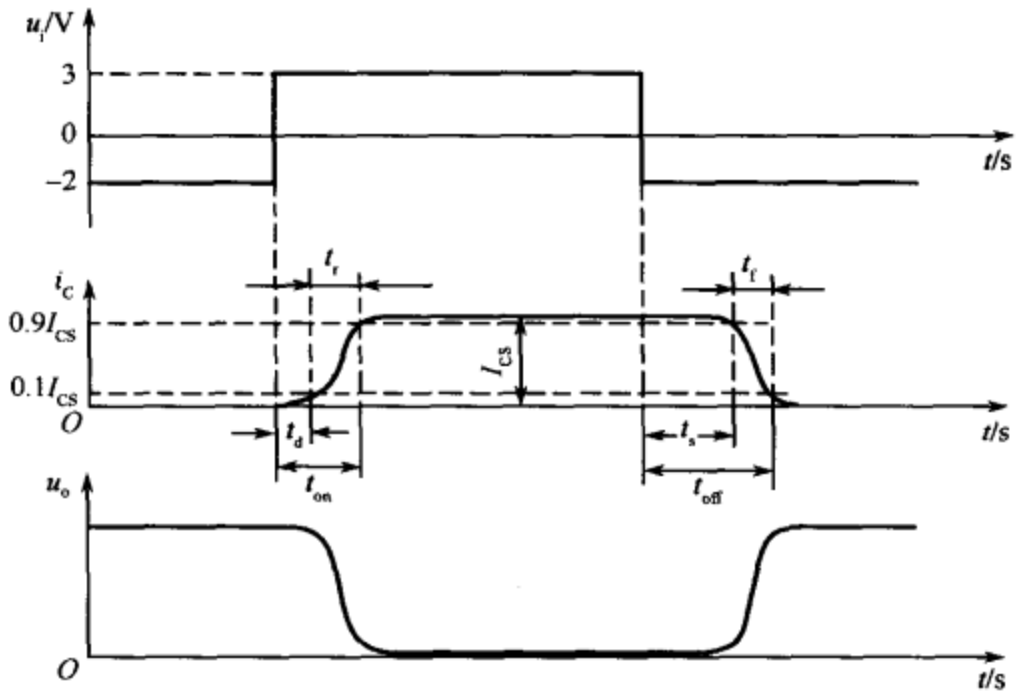


图 2-7　开关电路中的 μ_i、i_C 和 μ_o 波形

应当特别说明的是：在数字电路中，半导体三极管饱和导通时，其饱和深度均较深，基区存储电荷很多，因此在状态转换时，其消散时间（即存储时间）t_s 较长。

半导体三极管开、关时间的存在，影响了开、关电路的工作速率。一般情况下，由于 $t_{off} > t_{on}$，所以，减少饱和导通时基区存储电荷的数量，尽可能地加速其消散过程，也即缩短存储时间 t_s，是提高半导体三极管开关速率的关键。

对于开关三极管，其开、关时间 t_{on}、t_{off} 都为几十纳秒。

重点提示：当三极管工作在截止状态时，虽然集—射极间电压很高（接近供电电压），但因集电极电流很小（接近零），所以消耗的功率很小；当三极管工作在饱和状态时，虽然集电极电流很大，但因集—射极间电压很小（接近零），所以消耗的功率也很小；相反，当三极管工作在放大区时，消耗的功率要比工作在开关状态时大得多。

维修过彩电的人员都知道，彩电的行输出管是工作在开关状态的，其基极输入的是矩形脉冲，若行输出管的质量不良（例如，其上升时间 t_r 和下降时间 t_f 较长）或输入的矩形脉冲不好，将使行输出管进入放大区的时间过长，导致行输出管因功耗过大而发热损坏。

5. 三极管开关电路的改进

由前面的分析可知，晶体管作为开关使用时，由于其自身的原因会使电路的开、关产生延迟现象。虽然采用某些改进措施可使 t_{on} 和 t_{off} 减小，但往往是在减小 t_{on} 的同时，使 t_{off} 增大；当减小 t_{off} 时，又会使 t_{on} 增大。为了克服上述缺点，人们改变了电路的结构，利用电容器自身的充电特性，将其并联于基极电阻 R_b 上，如图 2-8 所示。

图 2-8 中，电容 C 称为加速电容。其作用如下：

(1)当 u_i 由 $U_{IL} = -2V$ 突然升至 $U_{IH} = 3V$ 时，由于电容 C 两端的电压不能突变，将产生很大的冲击电流，电容 C 如同短路，从而可以提供很大的正向基流 I_b，使晶体管迅速导通。之后电容继续充电，直至两端电压达到约 2.3V($U_{IH} - U_{BE} = 3 - 0.7$)后充电结束，进入稳态。这时电容 C 失去作用，基极电流 I_b 仍由 R_b 来决定。因此，加速电容 C 起到加速晶体管导通的作用，但不会引起晶体管饱和，当然也不会延长它的关闭时间 t_{off}。

(2)当 u_i 由 $U_{IH} = 3V$ 突变为 $U_{IL} = -2V$ 时，电容两端储存的电荷立即加到管子的基

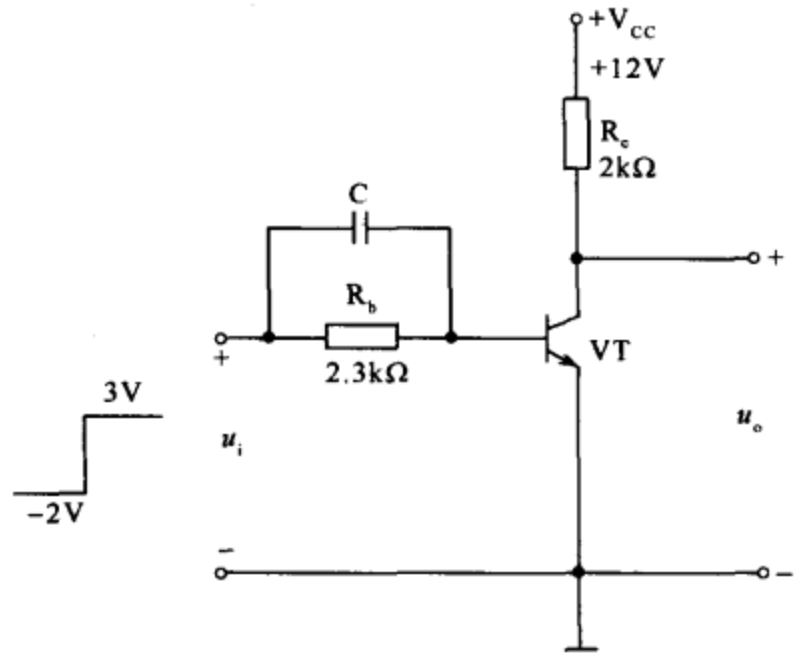


图 2-8　晶体管开关特性改进电路

极，形成很大的反向基流，使管子迅速截止。之后，电路进入稳态。

方法技巧：加速电容 C 在不影响电路稳态的情况下，可以在瞬间提供很大的正向和反向基极电流，它既加速了导通，又加速了截止，大大促进了饱和与截止的相互转化，所以称为加速电容。

加速电容的容量应恰当选择，太小，起不到应有的作用；太大，则由于充放电时间较长又会影响电路的稳态。一般应按充放电时间常数 $\tau \leqslant \frac{T}{3\sim5}$ 来选取，式中，T 为输入脉冲电压 u_i 的脉宽。

三、MOS 场效应管开关电路

MOS 场效应管是由金属—氧化物—半导体构成的，其最显著的特点也是具有放大能力，不过它是通过栅极电压 U_{GS} 控制其工作状态的，是一种具有放大特性的由电压 U_{GS} 控制的开关元件。

1. MOS 场效应管的特性曲线

1）N 沟道增强型 MOS 场效应管的特性曲线

N 沟道增强型 MOS 场效应管的符号及其特性曲线如图 2-9 所示。

（1）漏极特性。反映漏极电源 I_D 和漏极—源极之间的电压 U_{DS} 之间关系的曲线，叫做漏极特性曲线，简称漏极特性。如图 2-9(b)所示。

①当 U_{GS} 为 0 或很小时，由于漏极 D 和源极 S 之间是两个背靠背的 PN 结，即使在漏极加上正电压($U_{DS}>0V$)，MOS 管中也不会有电流，即管子处在截止状态。

②当 U_{GS} 大于开启电压 U_T 时，MOS 管就导通了。

③$U_{GS}>U_T$ 后，在 U_{DS} 比较小时，I_D 与 U_{DS} 成近似线性关系，因此可把漏级和源极之间看成是一个可由 U_{GS} 进行控制的电阻，U_{GS} 越大，曲线越陡，等效电阻越小。

④当 $U_{GS}>U_T$ 后，在 U_{DS} 比较大时，I_D 仅决定于 U_{GS}，而与 U_{DS} 几乎无关，特性曲线近似水平线，D、S 之间可以看成为一个受 U_{GS} 控制的电流源。

在数字电路中，MOS 管不是工作在截止区，就是工作在可变电阻区，恒流区只是一种

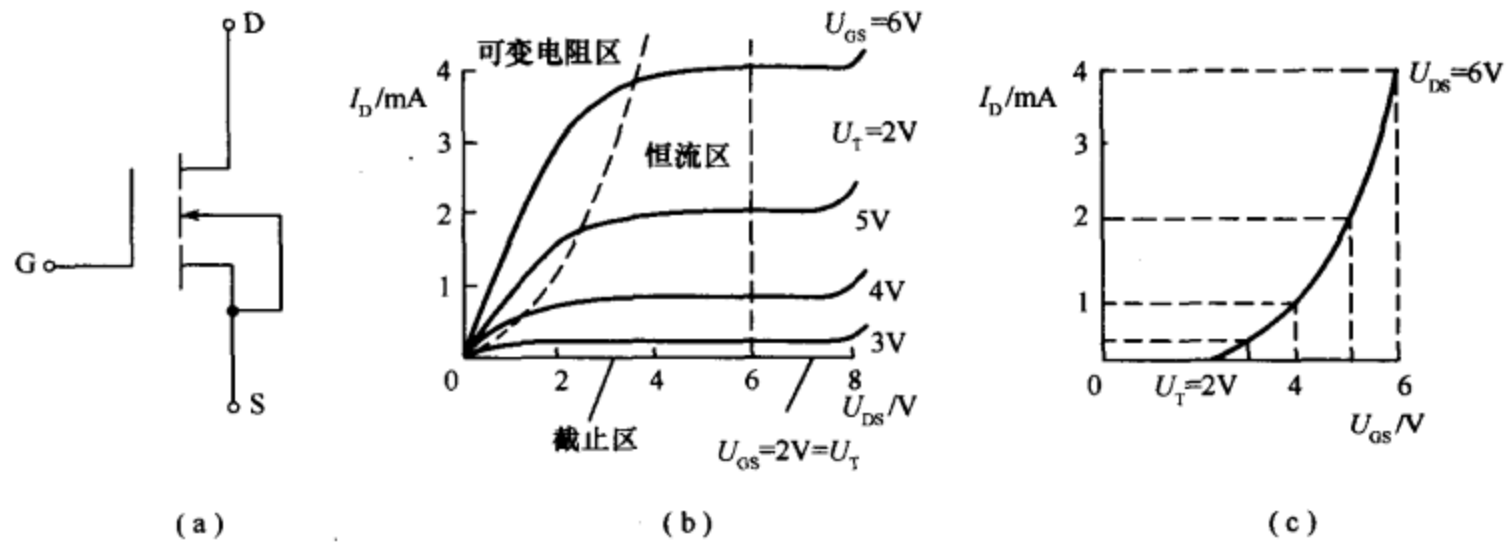


图 2-9　N 沟道增强型 MOS 场效应管的特性曲线

(a)符号；(b)漏极特性；(c)转移特性。

瞬间即逝的过渡状态。

⑤图 2-9(b)所示漏极特性中最右侧以外的部分，表示当 U_{DS} 升高到一定程度时，I_D 将突然增大，这个区域称为击穿区。如果电流过大，管子将被损坏。为了保证器件的安全，场效应管的工作点不应进入击穿区内。

(2)转移特性。反映漏极电流 I_D 和栅源电压 U_{GS} 关系的曲线叫做转移特性曲线，简称为转移特性。如图 2-9(c)所示。

①当 $U_{GS}>U_T$ 时，MOS 管是截止的。

②当 $U_{GS}>U_T$ 之后，只要在恒流区，转移特性曲线基本上是重合在一起的。曲线越陡，表示 U_{GS} 对 I_D 的控制作用越强，即放大作用越强。

2)P 沟道增强型 MOS 场效应管的特性曲线

对于 P 沟道增强型 MOS 场效应管，其特性曲线与 N 沟道增强型 MOS 场效应管都有着明显的对偶关系。P 沟道的 U_{GS}、U_{DS} 极性都是负的，开启电压 U_T 也是负值。P 沟道增强型 MOS 场效应管的漏极特性和转移特性如图 2-10 所示。

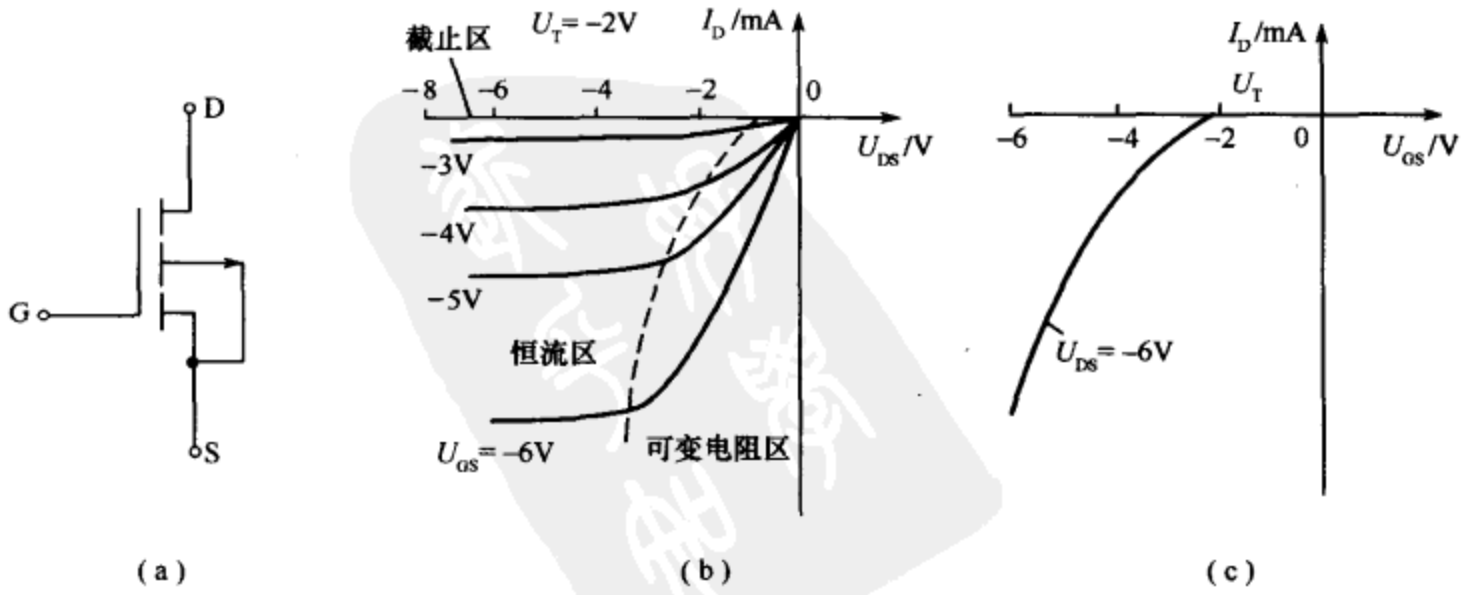


图 2-10　P 沟道增强型 MOS 场效应管的特性曲线

(a)符号；(b)漏极特性；(c)转移特性。

2. MOS 场效应管的开关作用

图 2-11 所示是一个最简单的 MOS 场效应管开关电路，输入电压是 u_i，输出电压是 u_o。当 u_i 较小时，MOS 场效应管是截止的，输出电压为高电平，即 $u_o \approx V_{DD}$；当 u_i 较大时，MOS 场效应管是导通的，输出电压 $u_o = \dfrac{R_{on}}{R_D + R_{on}} V_{DD}$，由于场效应管的导通电阻 $R_{on} \ll R_D$，所以 $u_o \approx 0$，即输出低电平。

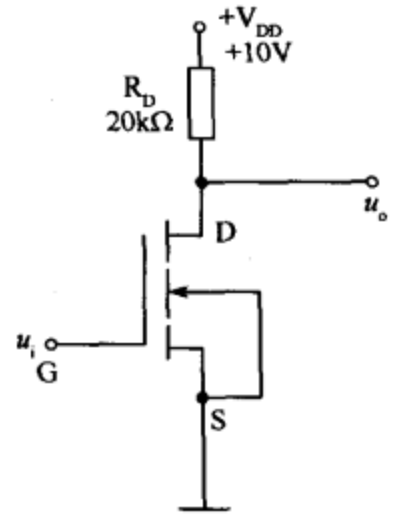


图 2-11　MOS 场效应管开关电路

重点提示：当 MOS 管栅源电压 U_{GS} 小于其开启电压 U_T 时，将处于截止状态。此时，$I_D = 0$，MOS 管如同一个断开的开关。当 U_{GS} 大于 U_T 时，MOS 管将工作在导通状态。在数字电路中，MOS 管导通时，一般都工作在可变电阻区，其导通电阻 R_{on} 只有几百欧，较小。MOS 管导通之后，如同一个具有一定导通电阻 R_{on} 的闭合的开关。

3. MOS 场效应管的开、关时间

MOS 管三个电极之间，均有电容存在，在数字电路中，MOS 管的开关时间是受这些电容充、放电过程制约的。

在图 2-11 所示 MOS 管开关电路中，当 u_i 为矩形波时，相应 I_D 的波形如图 2-12 所示。

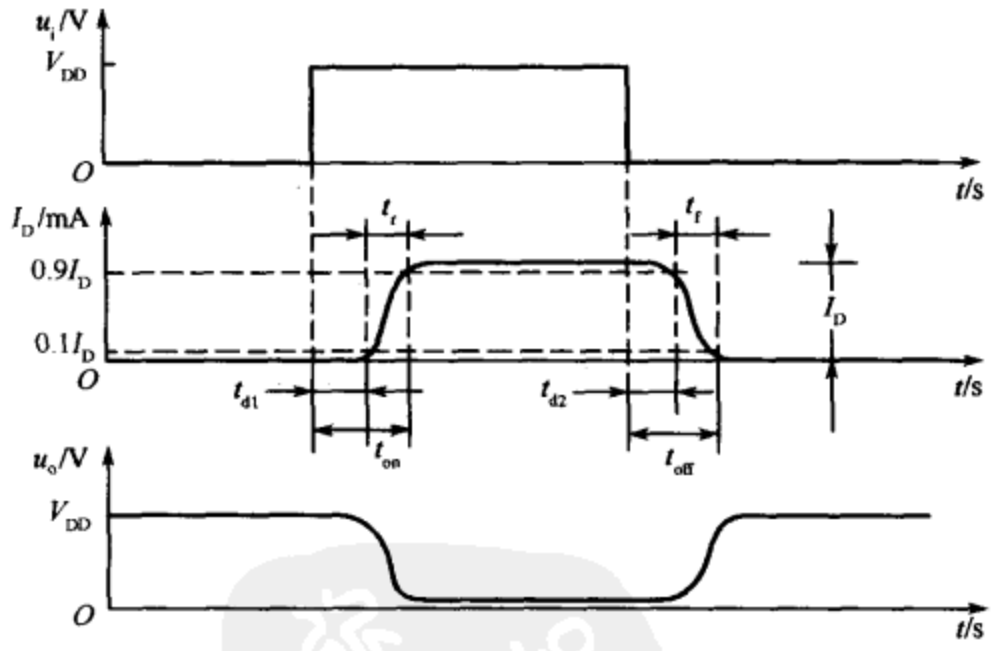


图 2-12　u_i、I_D、u_o 波形

1）开通时间 t_{on}

当 u_i 由 $U_{IL} = 0V$ 跳变到 $U_{IH} = V_{DD}$ 时，MOS 管需要经过导通延迟时 t_{d1} 和上升时间 t_r 之后，才能由截止状态转换到导通状态。开通时间公式为

$$t_{on} = t_{d1} + t_r$$

2）关断时间 t_{off}

当 u_i 由 $U_{IH} = V_{DD}$ 跳变到 $U_{IL} = 0V$ 时，MOS 管经过关断延迟时间 t_{d2} 和下降时间 t_f 之后，才由导通状态转换到截止状态。关断时间公式为

$$t_{off} = t_{d2} + t_f$$

需要特别说明：MOS管电容上电压不能突变，是造成 $I_D(u_o)$ 滞后 u_i 变化的主要原因。而且，由于MOS管的导通电阻比半导体三极管的饱和导通电阻要大得多，R_D 也比 R_C 大，所以，它的开通时间和关断时间，也比晶体管长。

第二节　分立元件门电路

一、门电路的基本概念

1. 门电路

实现基本和常用逻辑运算的电子电路，叫做逻辑门电路，简称为门电路。例如，实现与运算的叫与门，实现或运算的叫或门，实现非运算的叫非门（也叫做反相器）。类似地，实现与非、或非、与或非、异或等运算的，分别叫做与非门、或非门、与或非门、异或门。

2. 逻辑变量与电子开关

在二值逻辑中，逻辑变量的取值不是0就是1，是一种二值量。在数字电路中，与之对应的是电子开关的开与关两种状态。二值量与数字电路的结合点，就是这种两状态的电子开关。而半导体二极管、三极管和MOS场效应管，则是构成这种电子开关的基本开关元件。

3. 高、低电平

高电平和低电平是两种状态，是两个不同的、可以截然区别开来的电压范围。一般将2.4V～5V范围内的电压，都叫做高电平，用 U_H 表示；而0V～0.8V范围内的电压，都称为低电平，用 U_L 表示。当然，这样规定并不是绝对的。

二、二极管门电路

下面简要介绍二极管的与门电路和或门电路。

1. 二极管与门电路

二极管与门电路及其符号如图2-13所示。U_A、U_B 是输入信号，它们的高电平是3V、低电平是0V。U_Y 是输出信号。

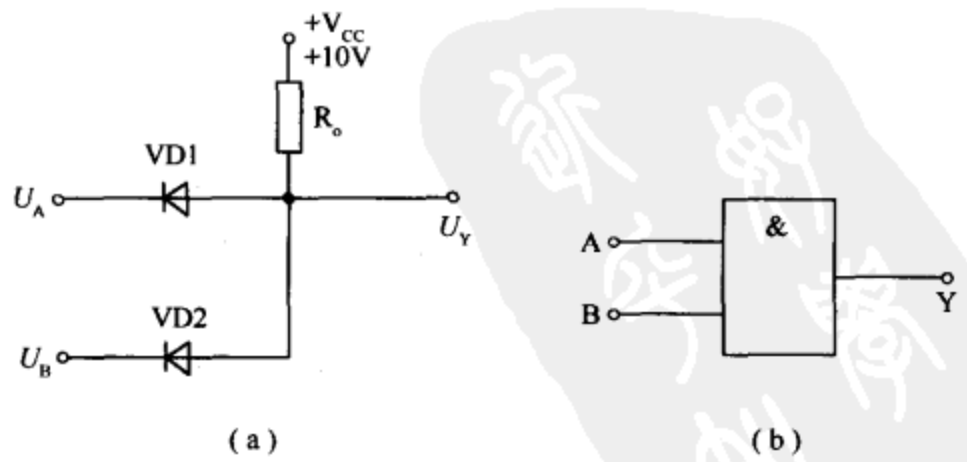


图2-13　二极管与门电路和符号

(a)二极管与门电路；(b)与门符号。

输入、输出电压关系有以下四种情况：

(1)当 $U_A=U_B=0V$（低电平）时，由于VD 1、VD 2阳极均通过电阻 R_o 接电源 V_{CC}，

V_{CC}=10V，都被正偏，故必然都导通，所以 $U_Y=U_A+U_{D1}=U_B+U_{D2}=0+0.7=0.7$(V)。

(2)当 U_A=0V(低电平)、U_B=3V(高电平)，即一低一高时，粗看起来，两个二极管都应导通，因为它们的阳极都通过 R_o 接电源 V_{CC}，V_{CC}=10V；但是，由于 U_A、U_B 电平不同，当 VD1 导通后，使得 $U_Y=U_A+U_{D1}=0+0.7=0.7$(V)，导致 $U_{D2}=U_Y-U_B=0.7-3=-2.3$(V)。

二极管 VD2 承受的是反向电压，故截止。通常二极管导通之后，如果其阴极电位是不变的，那么就把它的阳极电位固定在比阴极高 0.7V 的电位上，如果其阳极电位是不变的，那么就把它的阴极电位固定在比阳极低 0.7V 的电位上，人们把导通后二极管的这种作用叫做钳位。

(3)当 U_A=3V(高电平)、U_B=0V(低电平)，即一高一低时，VD1 截止，VD2 导通，VD2 导通后，将 U_Y 钳位在 0.7V，即 $U_Y=U_B+U_{D2}=0+0.7=0.7$(V)。

(4)当 $U_A=U_B$=3V(高电平)时，VD1、VD2 都正偏导通，U_Y 被钳位在 3.7V。

根据以上分析，可得输入、输出电压之间的关系，见表 2-2。

若用 A、B、Y 分别表示 U_A、U_B、U_Y，用 0 表示低电平(0V、0.7V)，用 1 表示高电平(3V、3.7V)，则可列出表 2-3 所列的真值表。

表 2-2　输入、输出电压之间的关系

U_A/V	U_B/V	U_Y/V
0	0	0.7
0	3	0.7
3	0	0.7
3	3	3.7

表 2-3　与门的逻辑真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

由真值表可知，只有 A、B 同为 1 时输出才为 1；否则，Y 总为 0。由此可见，图 2-13 所示的电路能够实现逻辑与的功能，因此是一个二极管与门。

2. 二极管或门

二极管或门电路和符号如图 2-14 所示，U_A、U_B 是输入信号，它们的高电平是 3V、低电平是 0V。U_Y 是输出信号。

输入、输出电压关系有以下 4 种情况：

(1)当 $U_A=U_B$=0V(低电平)时，VD1、VD2 都导通，所以 $U_Y=0-0.7=-0.7$(V)。

(2)当 U_A=0V(低电平)、U_B=3V(高电平)，即一低一高时，VD1 截止，VD2 导通，所以 $U_Y=U_B-U_{D2}=3-0.7=2.3$(V)。

(3)当 U_A=3V(高电平)，U_B=0V(低电平)，即一高一低时，VD1 导通，VD2 截止，所以 $U_Y=U_A-U_{D1}=3-0.7=2.3$(V)。

(4)当 $U_A=U_B$=3V(高电平)时，VD1、VD2 都正偏导通，$U_Y=3-0.7=2.3$(V)。

根据以上分析，可得输入、输出电压之间的关系，见表 2-4。

若用 A、B、Y 分别表示 U_A、U_B、U_Y，用 0 表示低电平(0V、−0.7V)，用 1 表示高电平(3V、2.3V)，则可列出表 2-5 所列的真值表。

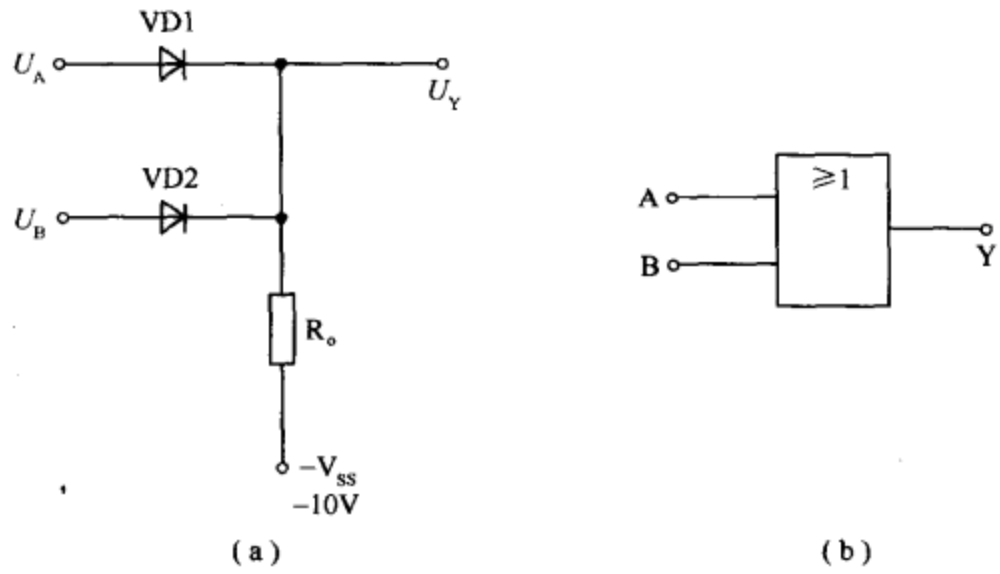


图 2-14　二极管或门电路和符号

(a)二极管或门电路；(b)或门符号。

表 2-4　输入、输出电压之间的关系

U_A/V	U_B/V	U_Y/V
0	0	−0.7
0	3	2.3
3	0	2.3
3	3	2.3

表 2-5　与门的逻辑真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

由真值表可知，只有 A、B 同为 0 时输出才为 0；否则，Y 总为 1。由此可见，图 2-14 所示的电路能够实现逻辑或的功能，因此是一个二极管或门。

三、三极管门电路

由三极管组成的非门电路及逻辑符号如图 2-15 所示。u_i 是输入信号，它们的高电平是 5V、低电平是 0V。u_o 是输出信号。

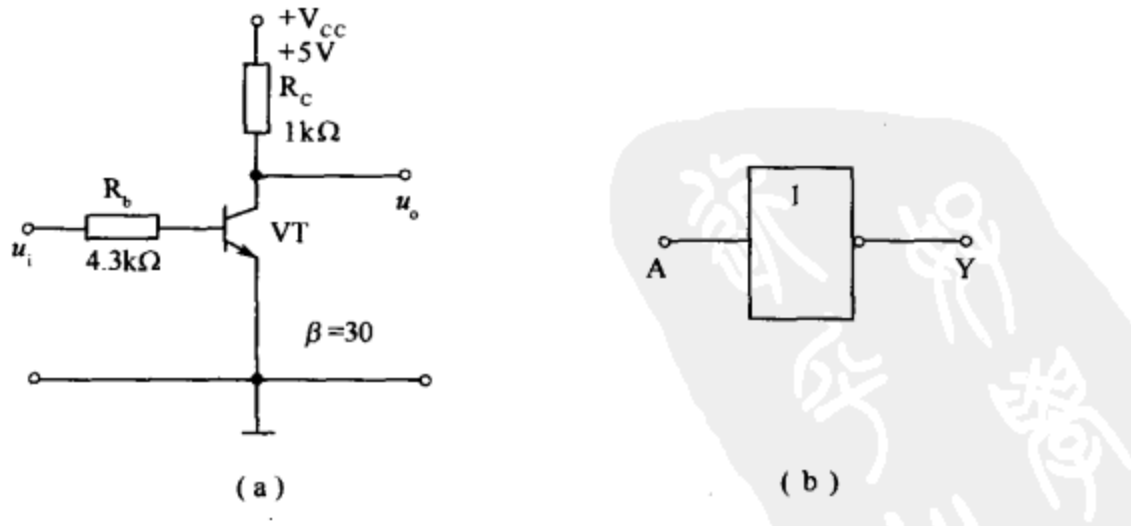


图 2-15　三极管非门电路和逻辑符号

(a)三极管非门电路；(b)非门符号。

(1)当输入信号 u_i 为低电平 0V 时，三极管 VT 截止，因此，$I_B=0$，$I_C=0$，$u_o=V_{CC}$，即输出信号为高电平 5V。

(2)当输入信号 u_i 为高电平 5V 时，$I_B=\frac{U_{IH}-U_{BE}}{R_b}=\frac{5-0.7}{4.3}=1(mA)$，由于 $I_{BS}=\frac{I_{CS}}{\beta}=\frac{V_{CC}-U_{CES}}{\beta R_c}\approx\frac{V_{CC}}{\beta R_c}=\frac{5}{30\times1}=0.17(mA)$，可见 $I_B>I_{BS}$，三极管 VT 饱和导通，此时，输出电压 $u_o=U_{CES}\leqslant0.3V$，即输出信号为低电平。

根据以上分析可得电路的输入、输出电压关系表，见表 2-6。

若用 A、Y 分别表示 u_i、u_o，用 0 表示低电平，用 1 表示高电平，则可得出表 2-7 所列的真值表。

表 2-6　输入、输出电压关系表

输入电压 u_i/V	输出电压 u_o/V
0	5
5	0.3

表 2-7　非门电路的逻辑真值表

A	Y
0	1
1	0

由表 2-7 可知，图 2-15 所示电路实现了非逻辑运算，是一个由半导体三极管组成的非门。

半导体三极管饱和导通以后也有钳位作用。如果其发射极电位是不变的，那么它的集电极电位就被固定在比发射极高 0.3V 的电位上；反之，若其集电极电位是不变的，则它的发射极电位就被固定在比集电极低 0.3V 的电位上。

注意事项：图 2-15 所示电路一般也称为反相器，这是因为三极管的输入信号 u_i 与输出信号 u_o 的相位正好相反，如果提高三极管的供电电压 V_{CC}，则输出信号 u_o 不但与输入信号反相，而且 u_o 的信号幅度将比 u_i 的幅度大很多，即脉冲信号获得了“放大”。需要指出，这种放大作用不同于一般放大器，晶体管反相器的输出脉冲幅度不随输入而变化，它受供电电压的控制，总是保持一定的数值。

四、MOS 场效应管门电路

图 2-16 所示是 N 沟道增强型 MOS 三极管非门的电路图和符号。u_i 是输入电压，其低电平为 0V、高电平为 10V，u_o 是输出电压，V_{DD} 是电源电压。

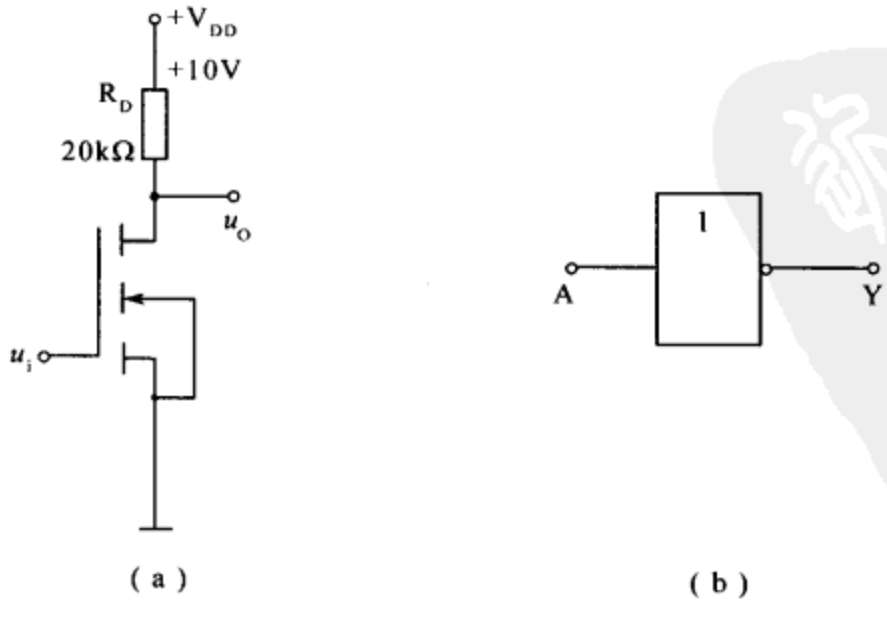


图 2-16　N 沟道增强型 MOS 三极管非门的电路图和符号

(a)MOS 三极管非门电路；(b)非门符号。

(1)当输入信号 u_i 为低电平 0V 时，由于 $U_{GSL}=0V$，小于开启电压 $U_T=2V$，所以 MOS 管是截止的，故 $u_o=V_{DD}=10V$。

(2)当输入信号 u_i 为高电平 10V 时，由于 $U_{GS}=10V$，大于开启电压 $U_T=2V$，MOS 管导通且工作在可变电阻区，导通电阻很小，只有几百欧，所以 $u_O=\frac{V_{DD}}{R_{on}+R_D}R_{on}\approx 0V$。

根据以上分析，可得电路的输入、输出电压关系表，见表 2-8。

若用 A、Y 分别表示 u_i、u_o，用 0 表示低电平、用 1 表示高电平，则可得表 2-9 所列的真值表。

表 2-8　输入、输出电压关系表

输入电压 u_i/V	输出电压 u_o/V
0	10
10	0

表 2-9　非逻辑的真值表

A	Y
0	1
1	0

由真值表可以看出，图 2-16 所示电路是一个 MOS 管非门电路。

第三节　TTL 集成门和CMOS 集成门

在数字电路中，应用最为广泛的是 TTL 集成门电路和 CMOS 集成门电路，下面分别进行介绍。

一、TTL 集成门电路

TTL 是英文 Transistor-Transistor-Logic 的缩写，意为晶体管—晶体管—逻辑电路。当逻辑门电路的输入级和输出级都是采用三极管时，将这种逻辑门电路称为 TTL 逻辑门电路。

1. TTL 门电路内部电路简介

1)TTL 逻辑集成非门电路

图 2-17(a)是一个 TTL 集成非门的内部电路示意图，图 2-17(b)为非门的逻辑符号示意图。假设电路中各个三极管的电流放大系数 β 均为 20，饱和压降 U_{CES} 均为 0.2V，TTL 集成电路工艺极易做到这一点。

从图 2-17 中可以看出，TTL 非门由以下 3 部分组成。

(1)输入级，由 T1、R1、D1 组成。D1 是保护二极管，是为防止输入端电压过低而设置的。

(2)中间级，由 T2、R2、R3 组成。T2 集电极输出驱动 T3，发射极输出驱动 T4。

(3)输出级，由 T3、T4、D 和 R4 组成。T3、T4 组成推拉式输出级，其中 T4 组成电压跟随器，T3 为共射极电路，作为 T4 的射极负载。这种输出级的优点是，既能提高开关速度，又能提高带负载能力。

①当输入为高电平 3.6V 时，电源 V_{CC} 通过 R1 和 T1 的集电结向 T2、T3 提供基极电流，使 T2、T3 饱和，输出为低电平，$u_o=0.2V$。此时 $U_{B1}=U_{BC1}+U_{BE2}+U_{BE3}=0.7+0.7+0.7=2.1(V)$。显然，这时 T1 的发射结处于反向偏置，而集电结处于正向偏置，所以 T1 处于发射结和集电结“倒置”使用的放大状态。由于 T2 和 T3 饱和，输出 $u_o=0.2V$，

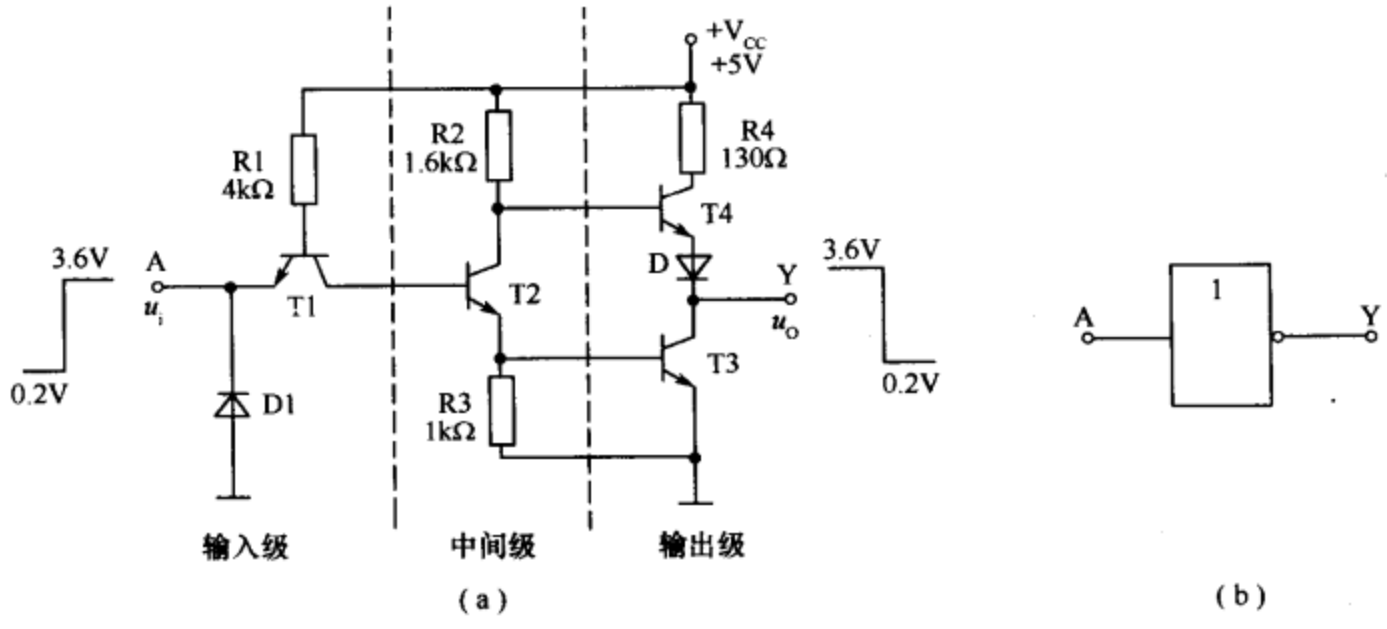


图 2-17　TTL 逻辑非门电路及符号

(a)TTL 反相器电路图；(b)符号。

同时可估算出 U_{C2} 的值，即 $U_{C2}=U_{CES2}+U_{B3}=0.2+0.7=0.9(V)$。此时，$U_{B4}=U_{C2}=0.9V$。作用于 T4 的发射结和二极管 D 的串联支路的电压为 $U_{C2}-u_o=0.9-0.2=0.7(V)$。显然，T4 和 D 均截止，实现了反相器的逻辑关系：输入为高电平时，输出为低电平。

重点提示：晶体管“倒置”工作状态是指发射极与集电极互换工作。在倒置工作时，发射极和集电极均有电流流过，并且也有一定的电流放大系数，用 $\beta_{反}$ 表示，一般 $\beta_{反}<0.05$。倒置工作的三极管集电极电流 $I_C=(\beta_{反}+1)I_B$。

②当输入为低电平 0.2V 时，T1 的发射结导通，其基极电压等于输入低电压加上发射结正向压降，即 $U_{B1}=0.2+0.7=0.9(V)$。此时 U_{B1} 作用于 T1 的集点结和 T2、T3 的发射结上，所以 T2、T 3都截止，输出为高电平。由于 T2 截止，V_{CC} 通过 R 2向 T4 提供基极电流，致使 T4 和 D 导通，其电流流入负载。输出电压为 $u_o\approx V_{CC}-U_{BE4}-U_D=5-0.7-0.7=3.6(V)$。显然，输入为低电平时，输出为高电平。

2)TTL 与非门电路

图 2-18(a)所示电路为 TTL 与非门电路，除了输入级 T1 采用了多发射极三极管外，其余部分和前面介绍的 TTL 非门电路没有什么区别。D1、D2 是输入端保护二极管，为抑制输入电压负向过冲而设置的。图 2-18(b)为与非门电路符号。

由 TTL 非门工作原理分析不难理解，电路中，A、B 中只要有一个为 0，即为低电平，T1 基极电流都将流向发射极，因此 T2、T3 必然截止，T4、D 将导通，输出 Y 为 1，即高电平；只有 A、B 均为 1，即高电平时，T1 基极电流才会流向集电极，进入 T2 基极，进而使 T3 饱和导通，T4、D 截止，输出 Y 为 0，即低电平。

3)TTL 或非门

图 2-19 所示是 TTL 或非门的电路图及其符号，R1、T1、R1′、T1′构成输入级，T2、T2′、R2、R3 构成中间级，R4、T3、D、T4 构成输出级。

输入 A、B 中只要有一个为 1，即高电平，例如 A=1，那么 I_{B1} 就会经过 T 1集电结流入 T2 基极，使 T2、T3 饱和导通，输出为低电平，即 Y=0；只有当 A=B=0 时，I_{B1}、I_{B1}' 均分别流入 T1、T1′发射极，T2、T2′均截止，T3 也截止，T4、D 导通，输出才会为高电平，即 Y=1。

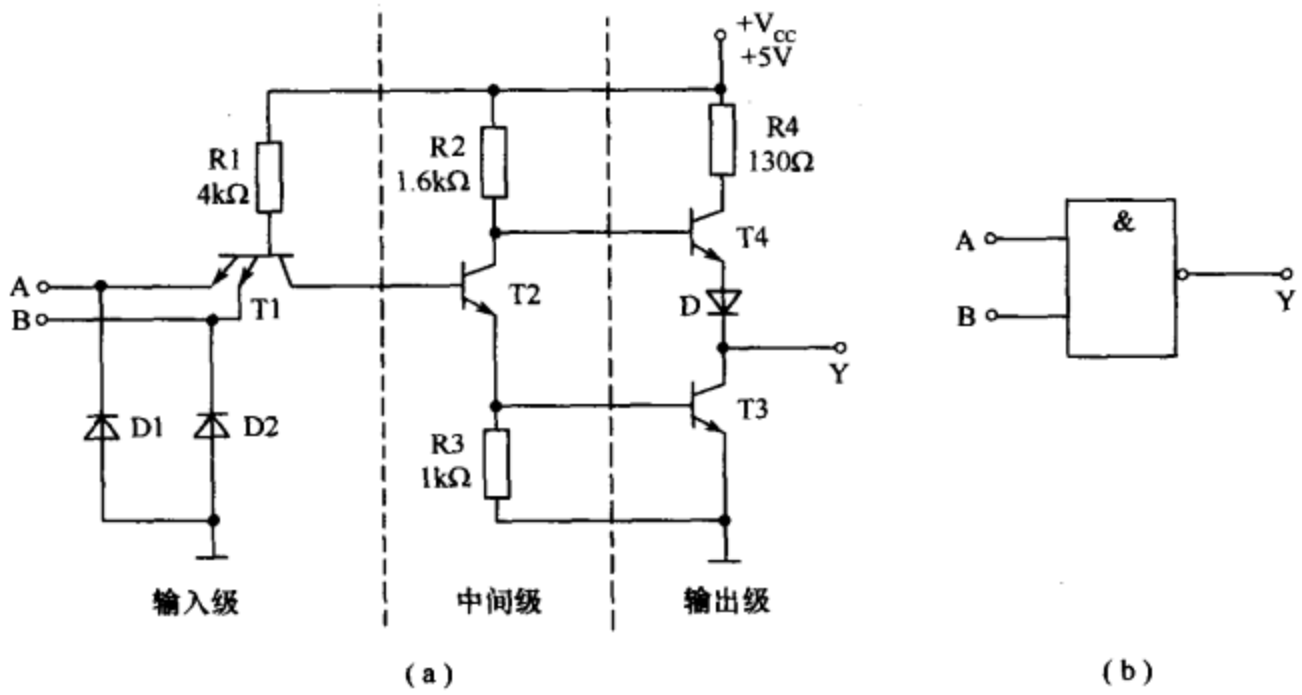


图 2-18　TTL 与非门电路及符号

(a)TTL 与非门电路；(b)符号。

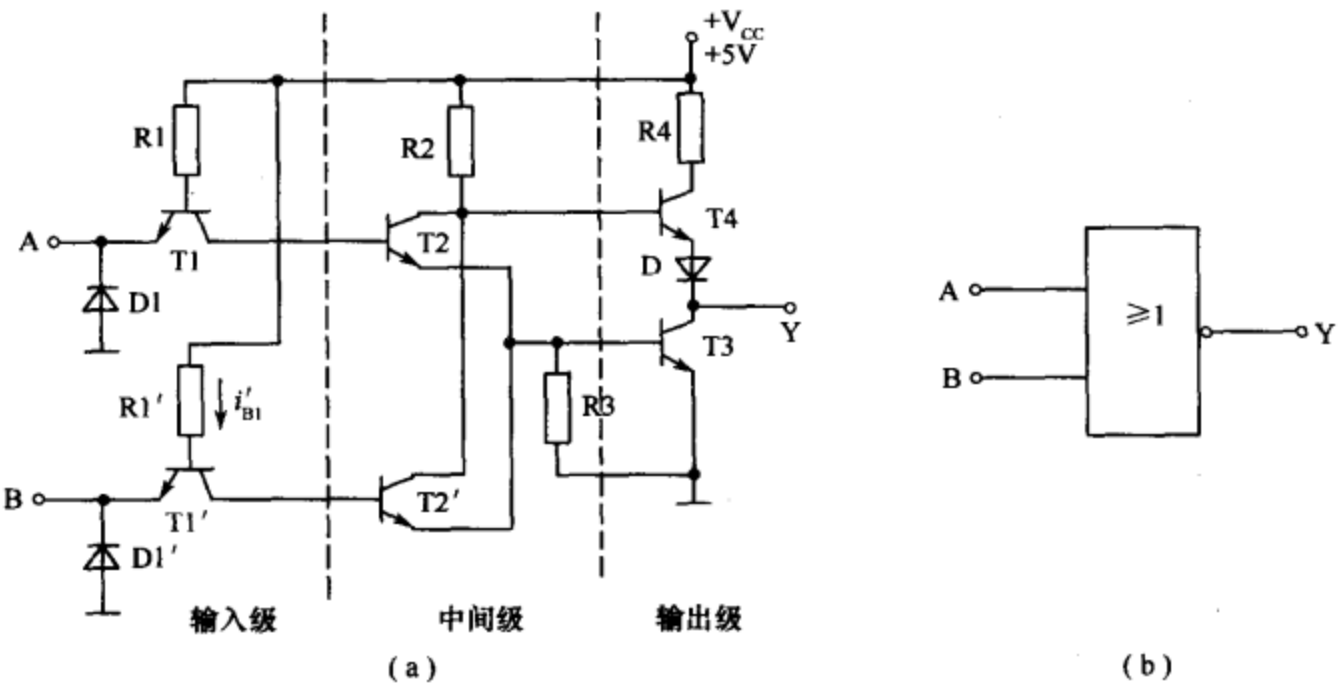


图 2-19　TTL 或非门电路及符号

(a)TTL 或非门电路；(b)符号。

4)TTL 与门、或门和与或非门

在 TTL 与非门的中间级，再加一个反相电路，便可得到与门；在 TTL 或非门的中间级，再加一个反相电路，所得到的就是或门；与门和或门的逻辑图如图 2-20 所示。

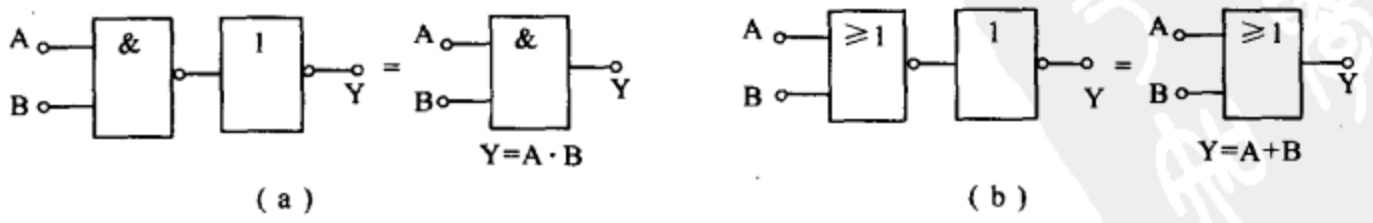


图 2-20　TTL 与门、或门逻辑图

(a)与门；(b)或门。

另外，通过将与门和或非门进行组合，可以方便地组成与或非门，如图 2-21 所示。

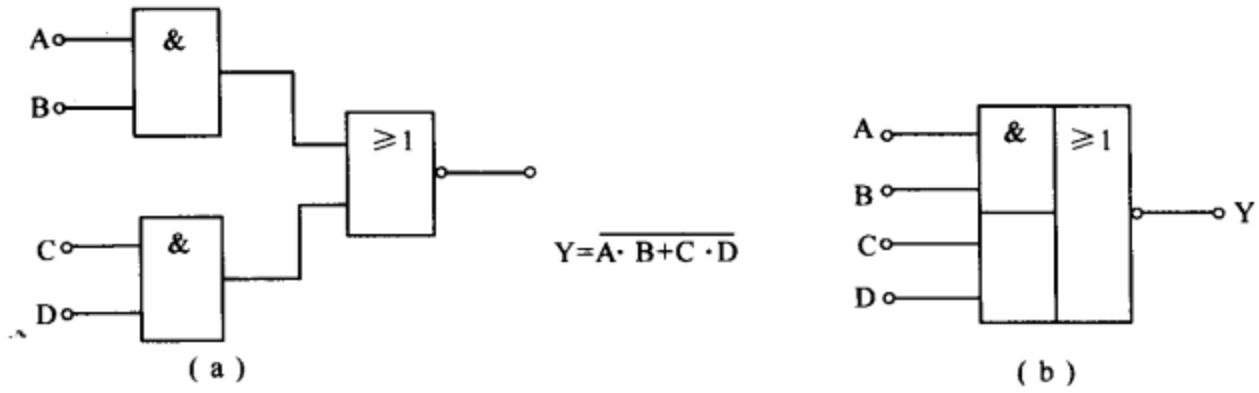


图 2-21　与或非门的逻辑图及符号

(a)用与门和或非门构成的与或非门；(b)与或非门符号。

5)TTL 异或门

图 2-22 所示是 TTL 异或门的等效逻辑图及符号。由逻辑图可以很容易地得到 $Y=\overline{A\cdot B+\overline{(A+B)}}=\overline{A\cdot B}(A+B)=(\overline{A}+\overline{B})(A+B)=\overline{A}B+A\overline{B}=A\oplus B$

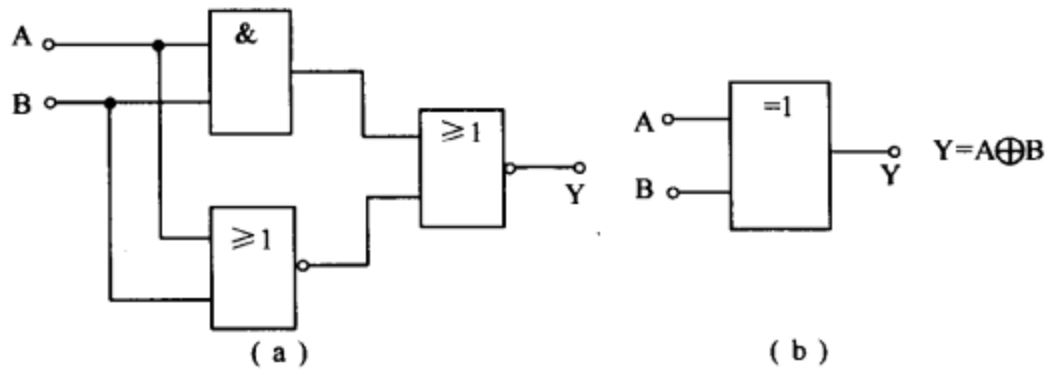


图 2-22　TTL 异或门

(a)TTL 异或门等效逻辑图；(b)符号。

6)TTL 集电极开路门(OC 门)

电路输出级三极管 T4 的集电极是开路的，故名集电极开门，简称为 OC 门。图 2-23(a)给出的是集电极开路与非门，图 2-23(b)是其逻辑符号。需要特别强调的是，OC 门必须外接负载电阻 R_C 和电源 V'_{CC} 才能正常工作，如图 2-23(a)中虚线部分所示。

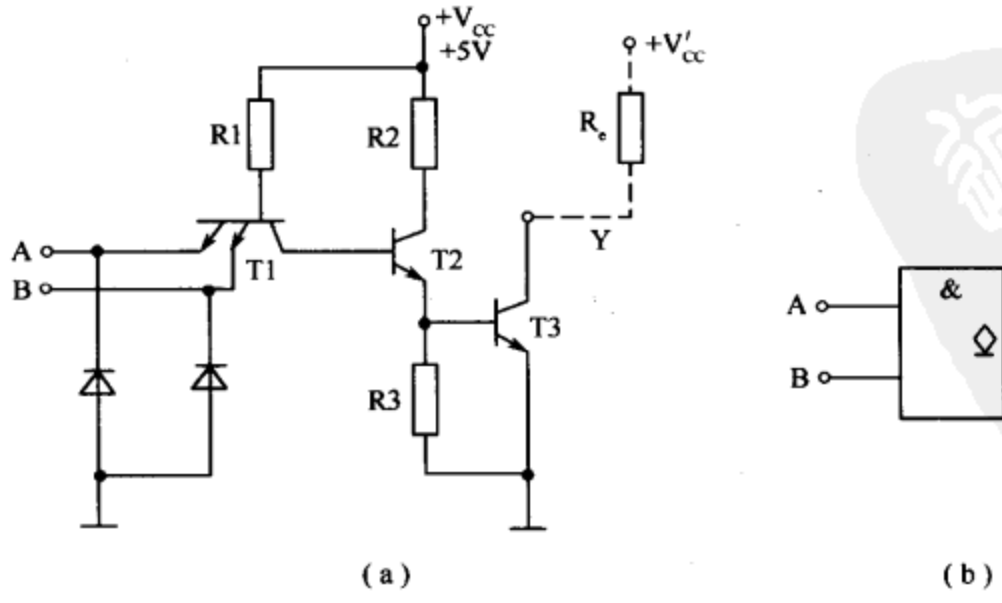
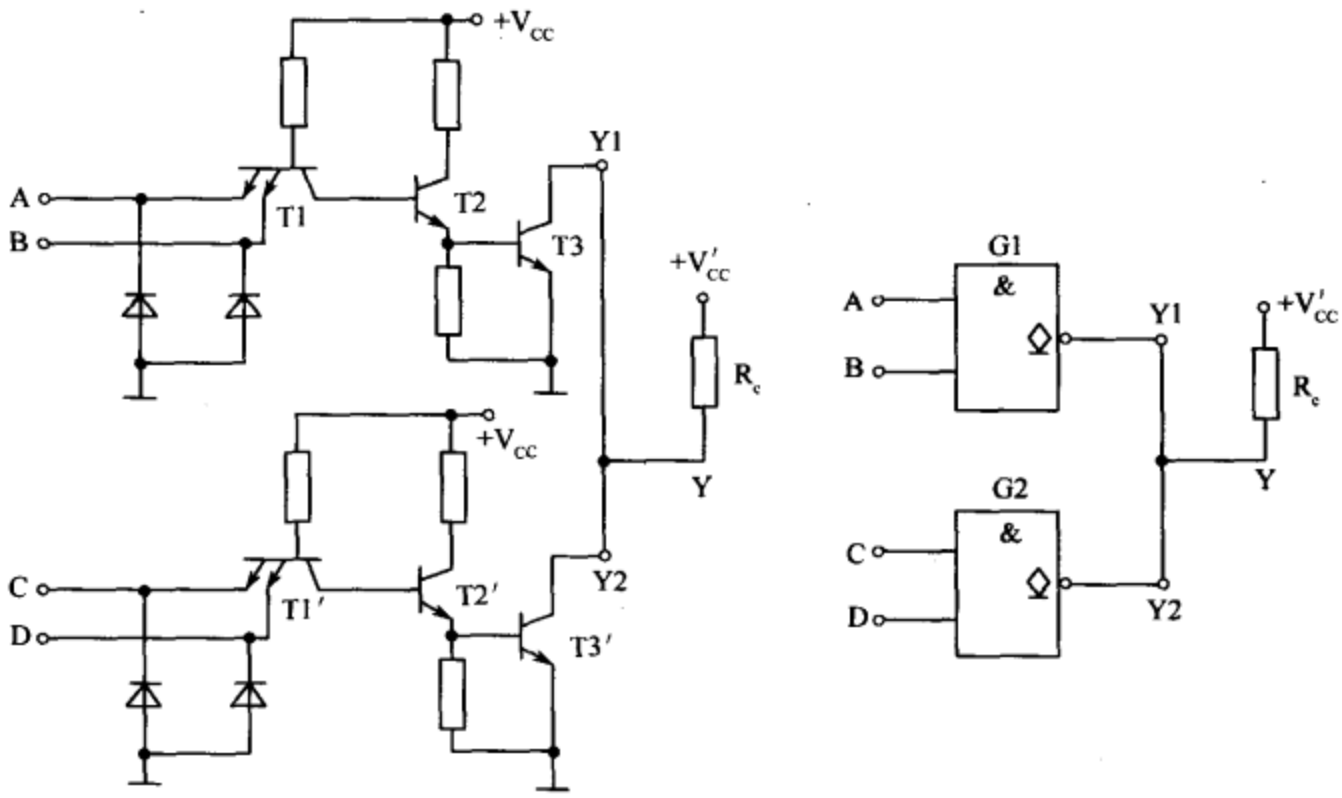


图 2-23　TTL 集电极开路与非门电路及符号

(a)OC 门电路；(b)符号。

从图 2-23 中可以看出，集电极开路与非门是将 TTL 与非门电路的推拉式输出级中，删去电压跟随器 T4 所得到的电路。

将多个 OC 门的输出端直接用导线连接起来，实现与的逻辑功能，叫做线与连接，为了实现线与的逻辑功能，可将多个门电路输出管 T3 的集电极至电源 V'_{CC} 之间，加一公共的上拉电阻 R_C，如图 2-24(a)所示，为了简明起见，图中以两个集电极开路门并联为例。图 2-24(b)为其逻辑图。



(a)　　(b)

图 2-24　OC 门的线与连接

(a)OC 门线与连接电路；(b)逻辑图。

当门 G1 单独工作时，$\overline{Y1}=\overline{A\cdot B}$，当门 G2 单独工作时，$\overline{Y2}=\overline{C\cdot D}$，如果用导线把 Y1、Y2 连接起来，则输出 $Y=Y1\cdot Y2$，因为 Y1、Y2 中只要有一个为低电平，即 T3、T3′ 中只要有一个饱和导通，那么输出端 Y 就会被钳位在低电平，显然，对 Y 来说，Y1 与 Y2 是与的逻辑关系，即 $Y=Y1\cdot Y2$。

具有 OC 结构的 TTL 门电路，除与非门外，还有反相器、与门、或非门、异或门等。而且在许多中规模及大规模集成的 TTL 电路中，输出级也采用 OC 结构。

OC 门有很广泛的用途，具有驱动能力的 OC 非门可用于直接驱动各种不同电压规格的继电路、蜂鸣器等，图 2-25(a)所示的是用 OC 非门驱动 DC24V 继电器，图 2-25(b)所示的是 OC 非门直接驱动一个有源电子蜂鸣器。

方法技巧：外电源 V'_{CC} 可以根据需要进行选择。一般的 TTL 门电路，输出高电平的典型值是 3.6V，低电平的典型值是 0.3V。而 OC 门在空载时，$U_{OH}=V'_{CC}$ 可以随 V'_{CC} 的不同而改变，这为数数字电路中实现逻辑电平转换带来了方便。OC 门输出低电平的典型值仍是 0.3V，与一般 TTL 门电路是相同的。高压 OC 门 V'_{CC} 可达 15V。

7)输出三态门

三态门，简称 TSL(Three-State Logic)门，是在普通门的基础上，加上使能控制信号和控制电路构成的。图 2-26 所示是三态输出与非门。

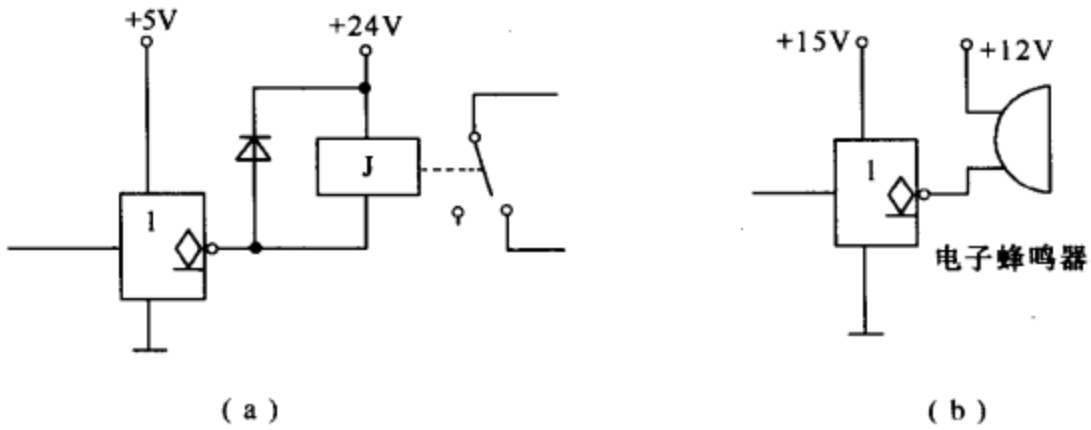


图 2-25　用 OC 门驱动继电器和电子蜂鸣器

(a)用 OC 门驱动继电器；(b)用 OC 门驱动电子蜂鸣器。

在图 2-26(a)所示电路中，当使能控制端信号$\overline{EN}=0$，即 P=1 时，D3 截止，电路处于工作状态，即 $Y=\overline{A \cdot B \cdot P}=\overline{A \cdot B}$；当$\overline{EN}=1$ 时，即 P=0，T2、T3 截止，而导通的二极管 D3 把 U_Q钳位在小于或等于 1V 的电平上。使 T4、D 也不可能导通，因此输出端 Y 对电源 V_{CC}、对地都是断开的，呈现为高阻抗状态，并记做为 Y=Z。可见，图 2-26(a)所示电路的输出端有 3 种状态：高电平、低电平、高阻抗。而处于工作状态时，实现的又是与非逻辑运算，所以称之为三态输出与非门。

图 2-26(b)是高电平使能的电路，即当使能控制端为高电平时电路处于工作状态，$Y=\overline{A \cdot B}$；为低电平时电路被禁止，Y=Z。

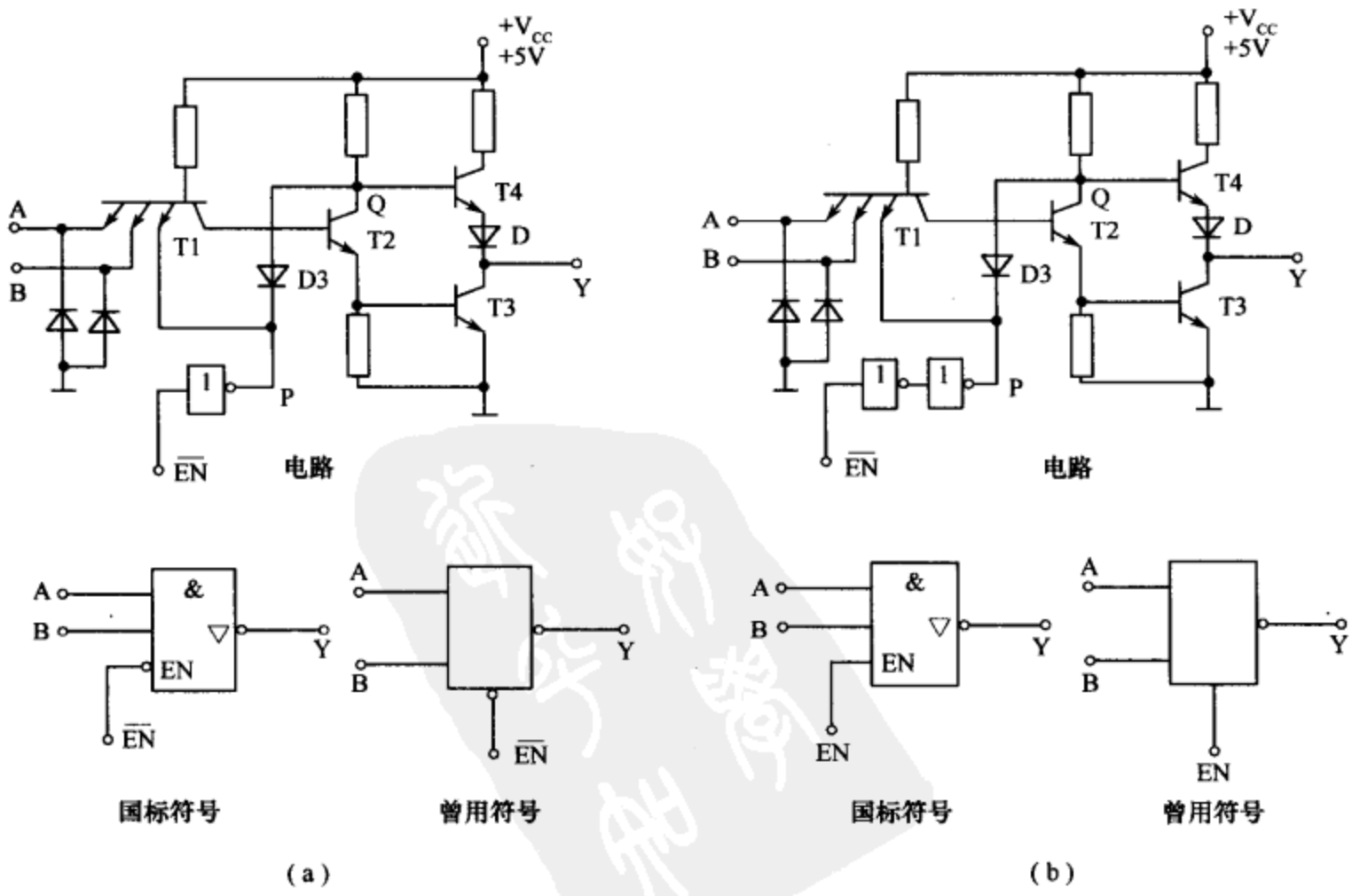


图 2-26　三态输出与非门

(a)使能端低电平有效；(b)使能端高电平有效。

重点提示：在三态门逻辑符号中，控制端有小圆圈者为低电平有效，即在该端加的信号为低电平时，三态门处在工作状态，$Y=\overline{A \cdot B}$；为高电平时被禁止，Y=Z。反之，在控制端无小圆圈者为高电平有效，即在该控制端加的信号为高电平时，三态门处在工作状态，$Y=\overline{A \cdot B}$；为低电平时禁止，Y=Z。

图 2-27 所示是三态门应用中的几个例子。

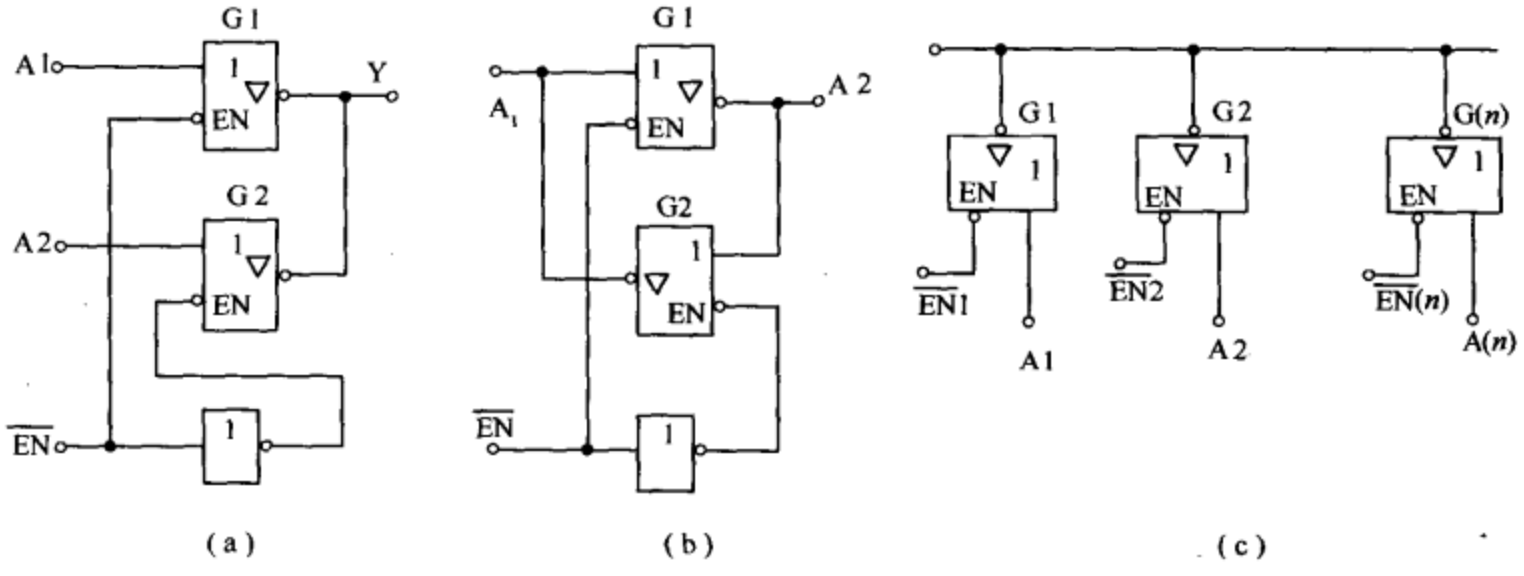


图 2-27　三态门的应用

(a)多路开关；(b)双向传输；(c)单向总线。

①用做多路开关：在图 2-27(a)中，两个三态输出反相器是并联起来的，$\overline{EN}$是整个电路的使能端。当$\overline{EN}=0$ 时，Gl 使能、G2 禁止，$Y=\overline{A1}$；当$\overline{EN}=1$ 时，G1 禁止、G2 使能，$Y=\overline{A2}$。G1、G2 构成两个开关，可以根据需要将 A1 或 A2 反相后送到输出端。

②用于信号双向传输：在图 2-27(b)中，两个三态输出反相器反并联起来构成双向开关，当$\overline{EN}=0$ 时信号向右传送，$A2=\overline{A1}$；当$\overline{EN}=1$ 时信号向左传送，$Al=\overline{A2}$。

③构成数据总线：在图 2-27(c)中，n 个三态输出反相器的输出端，都连接到一根信号传输线上，构成单向总线。n 路信号都可以通过总线进行传输，不过要特别注意，任何时刻，都只准许一个三态门使能，即处于工作状态，其余的三态门均应被禁止。例如，现在要传送 A1，则只能令$\overline{EN1}=0$，使 G1 工作，其他的三态门的输出端都必须为高阻态。

在 TTL 电路中，不仅有三态输出的与非门、反相器、缓冲器等，而且许多中规模乃致大规模集成电路也采用了三态输出电路。

8)其他双极型集成电路

(1)ECL 集成电路：ECL 电路是发射极耦合逻辑电路的简称，是一种非饱和型的高速数字集成电路，其基本门电路的平均传输延迟时间 $t_{pd}<$lns，在各种数字集成电路中，它的工作速度是最高的，多用于高速数字系统中。它的主要缺点是对制造工艺要求高、功耗大、抗干扰能力较差。

(2)IIL 和 HTL 集成电路：双极型逻辑门电路除了 TTL 和 ECL 之外，还有集成注入逻辑门电路(IIL 或 I^2L)和高阈值逻辑门电路(HTL)。IIL 电路由于它的电路简单，易于在硅片上实现高集成度的器件，因而在大规模和超大规模集成电路中得到应用。由于它的高、低电平电压差值很小，抗干扰能力较差，因而这种门电路的推广受到限制。至于 HTL 电路，虽然它有较强的抗干扰能力，但它的功耗大，开关速度也不高，已不生产，而为 CMOS 电路所取代。

2. TTL 集成门的主要参数

TTL 逻辑门电路的参数有许多，下面以最常使用的 TTL 与非门电路为例来说明几项主要参数的基本意义以及基本测试方法。

1)输出高电平 U_{OH}

当输出端空载，输入端的一个(或几个)接地时，输出的高电平数值记为 U_{OH}。通用型 TTL 与非门的 $U_{OH} \geqslant 2.4V$。

2)输出低电平 U_{OL}

U_{OL} 指当负载额定，输入端全为高电平时输出端的低电平数值。通用型 TTL 与非门的 $U_{OL} \leqslant 0.4V$。

3)开门电平 U_{ON}

为了使与非门输出端得到规定的低电平值，输入端应接高电平，这个高电平的下限值称为开门电平 U_{ON}。通用型 TTL 与非门的 $U_{ON} \approx 1.6V$。

4)关门电平 U_{OFF}

将输出端空载，使输出端为规定的高电平值时所必须加给输入端的低电平值称为 U_{OFF}。通用型 TTL 与非门的关门电平 $U_{OFF} \approx 0.9V$。

5)输入低电平电流 I_{IL}

I_{IL} 指当某一输入端接低电平(其余输入端接高电平或悬空)时，从该输入端流出的电流。该值又可称为输入端的短路电流 I_{IS}，一般小于 2mA。

6)输入高电平电流(输入漏电流) I_{IH}

I_{IH} 指当某一输入端接高电平，而其余输入端接低电平时，流入该输入端的电流。该值大约为数 10μA。

7)扇出系数 n

以同一型号的与非门为负载时，一个与非门能够驱动同类与非门的最大数目，即称为扇出系数 n。

8)噪声容限

噪声容限是指 u_o 为规定值时，允许 u_i 波动的最大范围。

9)平均延迟时间 t_{pd}

在“与非”门输入端加上一个脉冲电压，则输出电压将有一定的时间延迟，如图 2-28 所示。从输入脉冲上升边的 50%处起到输出脉冲下降边的 50%处的时间称为上升延迟时间 t_{pd1}；从输入脉冲下降边的 50%处到输出脉冲上升边的 50%处的时间称为下降延迟时间 t_{pd2}。t_{pd1} 与 t_{pd2} 的平均值称为平均延迟时间 t_{pd}，此值愈小愈好。

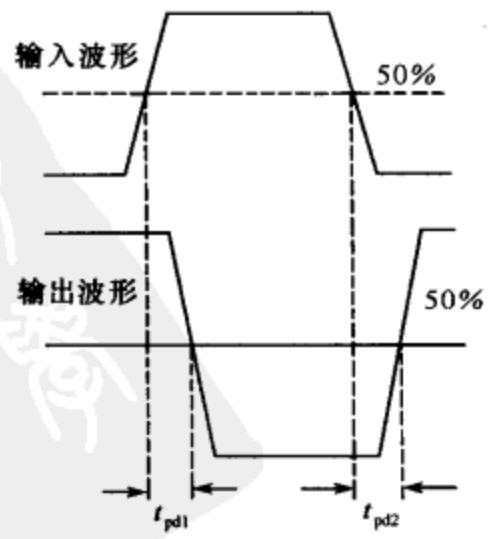


图 2-28　表明延迟时间的输入、输出电压的波形

3. TTL 系列集成电路的种类

TTL 门电路是基本逻辑单元，是构成各种 TTL 电路的基础，实际生产的 TTL 集成电路品种齐全、种类繁多、应用十分普遍。我国相继生产的产品有 74、74H、74S、74LS、74AS、74ALS 等系列。

1)74 标准系列

前面介绍的 TTL 门电路都属于这个系列，其典型电路——与非门——的平均传输延迟时间 $t_{pd}=10ns$，平均功耗 $P=10mW$。

2)74H 高速系列

74H 高速系列是在 74 系列基础上改进得到的，其典型与非门的平均传输延迟时间 $t_{pd}=6ns$，平均功耗 $P=22\ mW$。

3)74S 肖特基系列

74S 肖特基系列是在 74H 系列基础上改进得到的。在 74S 系列中，不仅采用了具有抗饱和能力的肖特基三极管，而且在电路结构上也做了更新，其典型与非门的平均传输延迟时间 $t_{pd}=3ns$，平均功耗 $P=19mW$。

4)74LS 低功耗肖特基系列

74LS 低功耗肖特基系列在 74S 系列基础上，一方面大幅度地增加电路中各个电阻的阻值，同时用肖特基二极管电路做输入极，而且在电路连接方面也做了改进，从而比较好地解决了速度和功耗的矛盾。在 74LS 系列中，典型与非门的平均延迟时间 $t_{pd}=9ns$，平均功耗 $P=2mW$，其延迟—功耗积($t_{pd}\times P$)最小，大约是 74 系列的 1/5、74H 系列的 1/7、74S 的 1/3。74LS 系列产品具有最佳的综合性能，是 TTL 集成电路的主流，应用十分广泛。

5)74AS、74ALS 系列

74AS 系列和 74ALS 系列均是目前性能较好的 TTL 门电路。74AS 系列是为了进一步缩短延迟时间而设计的改进系列，其电路结构与 74LS 系列相似，但电路中采用了很低的电阻值，从而提高了工作速度；其缺点是功耗较大。74ALS 系列是为了获得更小的延迟—功耗积而设计的改进系列。为了降低功耗，电路中采用了较高的电阻值。更主要的是在生产工艺上进行了改进，同时在电路结构上也进行了局部改进，因而使器件达到高性能，它的延迟—功耗积是 TTL 电路所有系列中最小的一种。

此外，还有各种 54 系列的 TTL 门电路。其电路结构和电气性能参数与 74 系列相同，主要区别在于 54 系列比 74 系列的工作温度范围更宽(74 系列为 0℃～70℃，54 系列为－55℃～＋125℃)，电源允许的工作范围也更大(74 系列为 5(1±5%)V，54 系列为 5(1±10%)V)。

二、CMOS 集成门电路

CMOS 集成电路的许多最基本的逻辑单元都是用 P 沟道增强型 MOS 管和 N 沟道增强型 MOS 管，按照互补对称形式连接起来构成的，并因此而得名。这种电路具有电压控制、功耗极小、连接方便等一系列优点，是目前应用最广泛的集成电路之一。

1. CMOS 门电路内部电路简介

1)CMOS 反相器

图 2-29 所示为 CMOS 反相器电路，由两种增强型 MOSFET 组成，T_P是 P 沟道增强型 MOS 管，假定其开启电压为 $U_{TP}=-2V$，T_N是 N 沟道增强型 MOS 管，假定其开启电压 $U_{TN}=2V$，两者按照互补对称形式连接起来便构成了 CMOS 反相器。为了电路能正常工作，要求电源电压 $V_{DD}>(U_{TN}+|U_{TP}|)$。

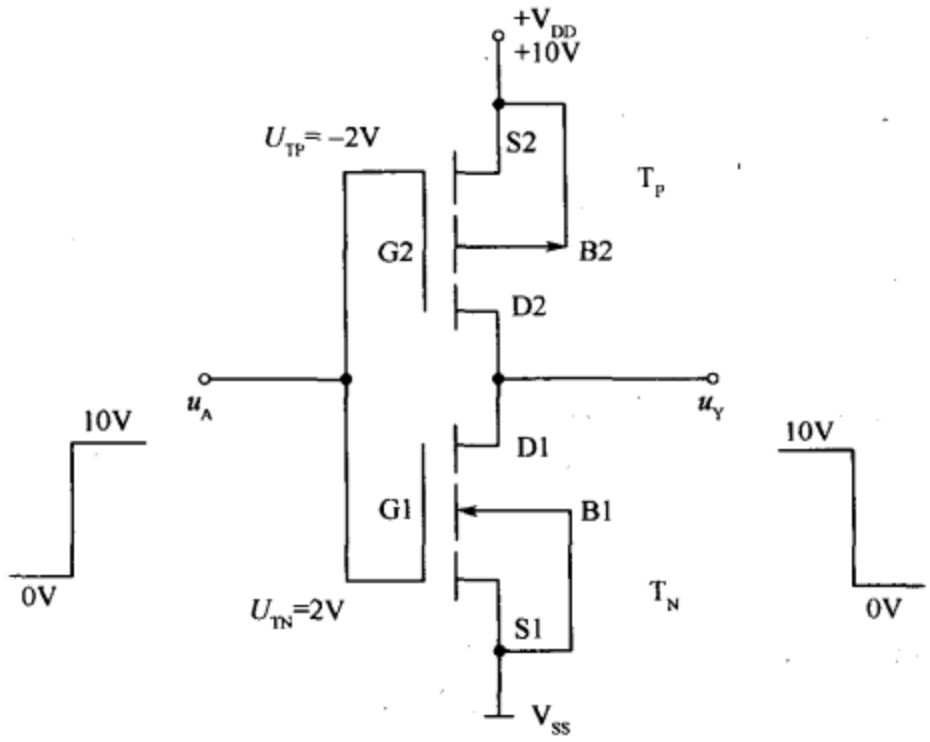


图 2-29　CMOS 反相器

当输入低电平 0V 时，对于 N 沟道 MOS 管，其栅源电压 $U_{GSN}=0V$，小于其开启电压，因此 T_N 截止；对于 P 沟道 MOS 管，其栅源电压 $U_{GSP}=-10V$，根据 P 沟道 MOS 管的特点可知，T_P 应导通。此时，输出电压 $U_Y=V_{DD}=10V$。

当输入高电平 10V 时，对于 N 沟道 MOS 管，其栅源电压 $U_{GSN}=10V$，大于其开启电压，因此 T_N 导通；对于 P 沟道 MOS 管，其栅源电压 $U_{GSP}=0V$，根据 P 沟道 MOS 管的特点可知，T_P 应截止。此时，输出电压 $U_Y=0V$。

综合上述，当输入端 U_A 为低电平时，输出端 U_Y 为高电平；当输入端 U_A 为高电平时，输出端 U_Y 为低电平；电路实现了非逻辑运算的功能。

阅读材料：输入端带保护电路的 CMOS 反相器

MOS 管的输入电阻很高，在 $10^{10}\Omega$ 以上，输入电容只有几个 pF，而栅极与沟道之间的二氧化硅(SiO_2)绝缘层厚度 $10^{-2}\mu m$ 左右，其耐压大约在 80V～100V，即使很小的感应电荷源，也可以使电荷迅速地积累起来，形成高压，产生介质击穿，从而使电路遭到永久性损坏。所以，实际生产的 CMOS 反相器，在输入端都设置有二极管保护电路。

图 2-30 所示是输入端带保护电路的 CMOS 反相器，保护电路由 D1、D2、D3 和 R_S 组成，D1、D2、D3 的正向导通压降 U_D 为 0.5V～0.7V，反向击穿电压在 30V 左右，C1、C2 是栅极等效输入电容。在正常工作时，由于 u_A 只在 0V～V_{DD} 之间变化，保护二极管均处在截止状态，所以不影响电路功能。当输入端电压出现高于

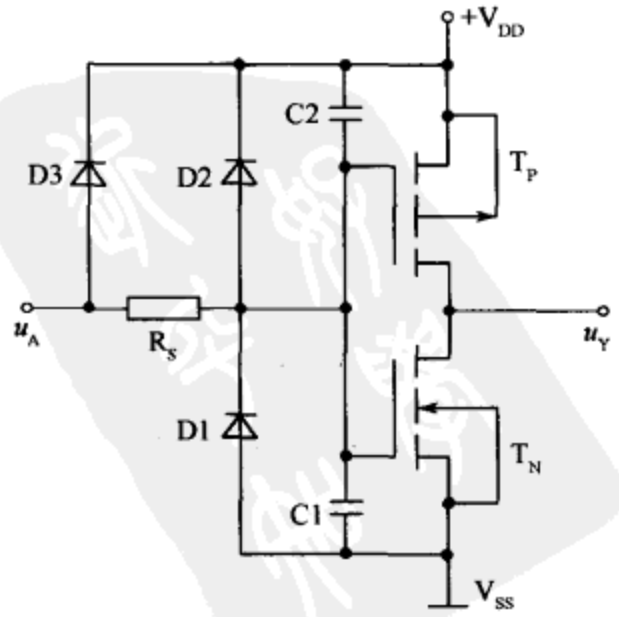


图 2-30　带保护电路的 CMOS 反相器

($V_{DD}+U_D$)或低于$-U_D$时，相应保护二极管就会导通，从而把 T_N、T_P栅极电位限制在$-U_D$～($V_{DD}+U_D$)范围内，因此不会发生 SiO_2 介质被击穿的现象。

电阻 R_S与 C1、C2 组成的积分网络，可衰减干扰电压，提高电路工作的可靠性。但是，积分电路对输入信号也会产生延时作用，影响反相器的工作速度，所以，R_S不能太大，一般为 1.5kΩ～2.5kΩ。

图 2-31 所示是 CMOS 反相器带负载时的简化等效电路。在反相器输出端接上负载时，一般地说，会出现两种情况：

(1)当输入 u_i 为低电平 0V 时，T_N截止、T_P导通，u_o 为高电平，即 $u_o=U_{OH}$，电流 i_o 从 V_{DD}经 T_P流出，供给负载 R_L，如图 2-31(a)所示。由于这时负载 R_L是向反相器索取电流，所以人们常常形象地称之为拉电流负载，并把反相器能够输出的最大电流 I_{OH}叫做带拉电流负载的能力。

(2)当输入 u_i 为高电平 V_{DD}时，T_N导通、T_P截止，u_o 为低电平，即 $u_o=U_{OL}$，电流 i_o 从 V_{DD}经负载 R_L流入反相器，如图 2-31(b)所示。由于这时负载电流是流入反相器的，所以人们常常形象地称之为灌电流负载，并把反相器能吸收，即允许灌入的最大电流 I_{OL}叫做带灌电流负载的能力。

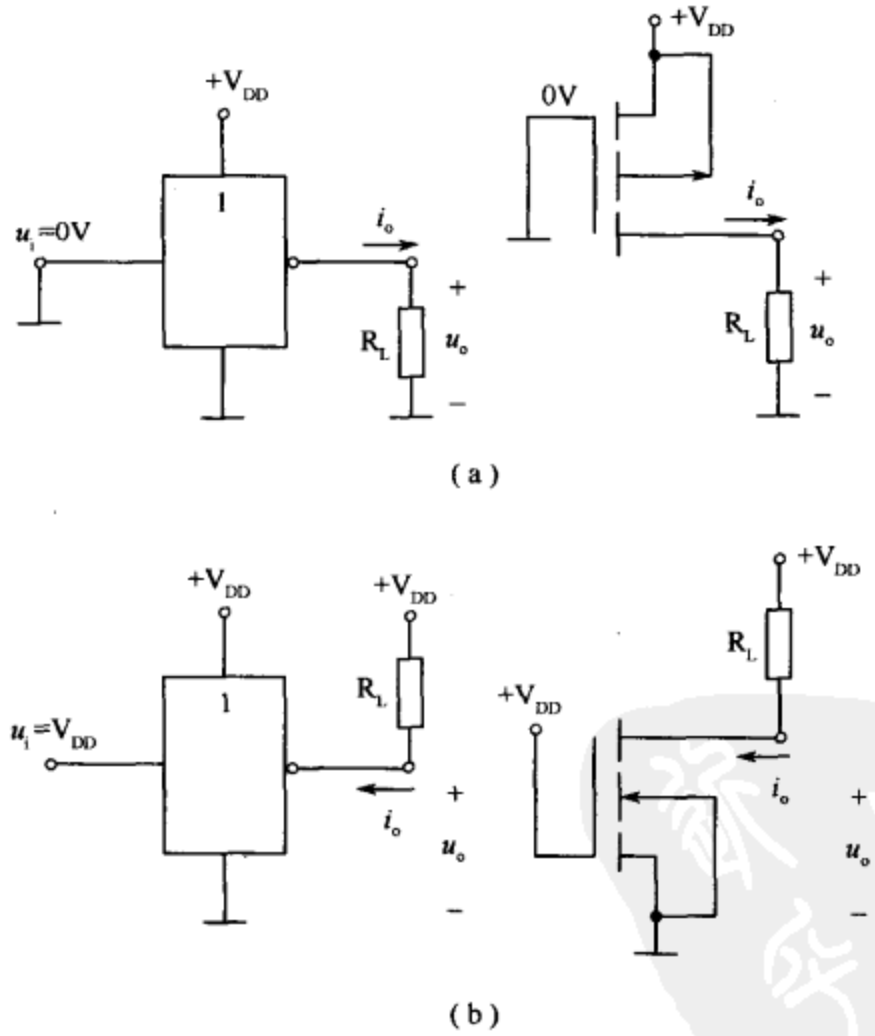


图 2-31　CMOS 反相器带负载时的情况

(a)输出为高电平时的电路；(b)输出为低电平时的电路。

重点提示：TTL 电路的电源下端通常标以 V_{CC}，负端标以 GND；而 CMOS 电路的电源正端标以 V_{DD}，负端标以 V_{SS}，使用时一般将 V_{SS}端接地。有些集成电路使用了正、负电源，此时应把 V_{SS}端接负电源，一般正、负电源的大小相等。

2)CMOS 与非门电路

图 2-32 所示是 2 输入端 CMOS 与非门电路，其中包括两个串联的 N 沟道增强型 MOS 管和两个并联的 P 沟道增强型 MOS 管。每个输入端连到一个 N 沟道和一个 P 沟道 MOS 管的栅极。当输入端 A、B 中只要有一个为低电平时，就会使与它相连的 NMOS 管截止，与它相连的 PMOS 管导通，输出为高电平；仅当 A、B 全为高电平时，才会使两个串联的 NMOS 管都导通，使两个并联的 PMOS 管都截止，输出为低电平。因此，这种电路具有与非的逻辑功能，即 $Y=\overline{A \cdot B}$。n 个输入端的与非门必须有 n 个 NMOS 管串联和 n 个 PMOS 管并联。

3)CMOS 或非门电路

图 2-33 是 2 输入端 CMOS 或非门电路。其中包括两个并联的 N 沟道增强型 MOS 管和两个串联的 P 沟道增强型 MOS 管。当输入端 A、B 中只要有一个为高电平时，就会使与它相连的 NMOS 管导通，与它相连的 PMOS 管截止，输出为低电平；仅当 A、B 全为低电平时，两个并联 NMOS 管都截止，两个串联的 PMOS 管都导通，输出为高电平。因此，这种电路具有或非的逻辑功能，其逻辑表达式为 $Y=\overline{A+B}$。显然，n 个输入端的或非门必须有 n 个 NMOS 管并联和 n 个 PMOS 管串联。

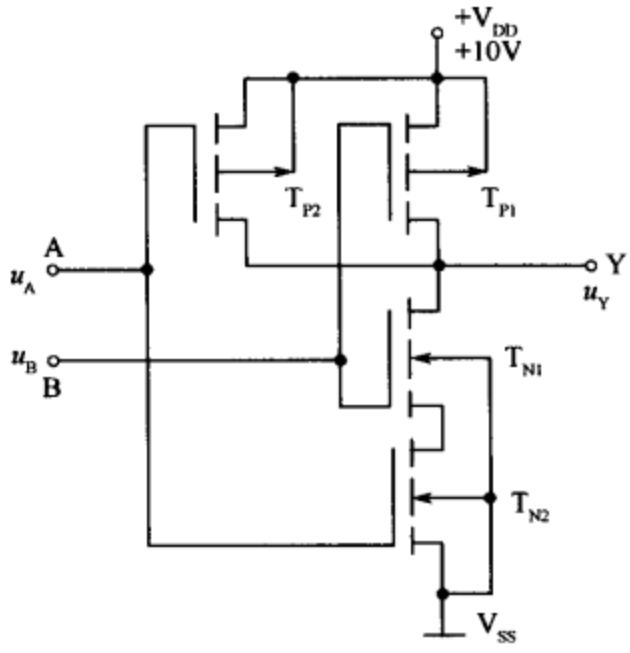


图 2-32　CMOS 与非门

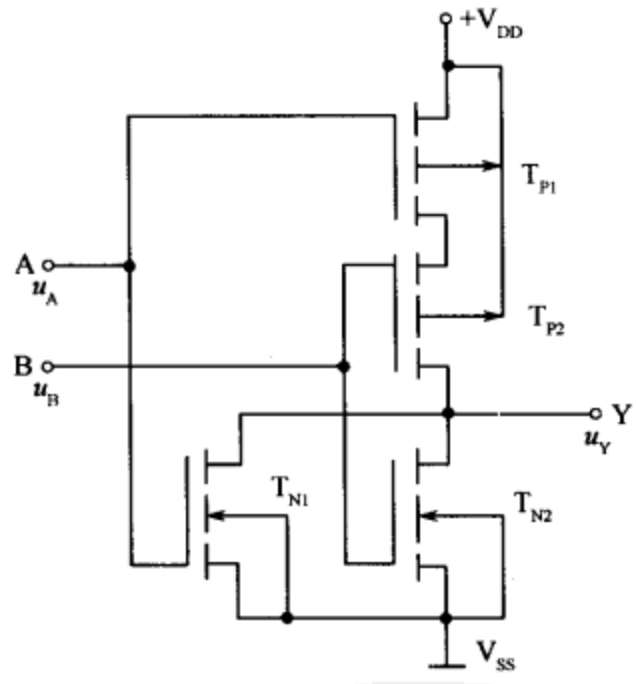


图 2-33　CMOS 或非门

重点提示：比较 CMOS 与非门和或非门可知，与非门的工作管是彼此串联的，其输出电压随管子个数的增加而增加；或非门则相反，工作管彼此并联，对输出电压不致有明显的影响。因而或非门用得较多。

4)CMOS 与门、或门、与或非门和异或门

在基本 CMOS 与非门的输出端再加上一个反相器，便成了与门。在基本 CMOS 或非门的输出端再加上一个反相器，便成了或门。另外，通过将门电路简单地组合还可实现与或非门和异或门。

5)CMOS 传输门

所谓传输门(TG)，实际上是一种可以传送模拟信号的压控开关，当然也可以传送数字信号。图 2-34(a)是 CMOS 传输门的电路图，由 P 沟道增强型 MOS 管 T_P(其衬底接

V_{DD})和 N 沟道增强型 MOS 管 T_N(其衬底接地),源极和漏极、漏极和源极连接起来构成,由于 MOS 管的结构是对称的,所以信号可以双向传输。C 和 $\overline{C}$ 是控制信号,u_i 是被传输的模拟电压。图 2-34(b)是它的逻辑符号。

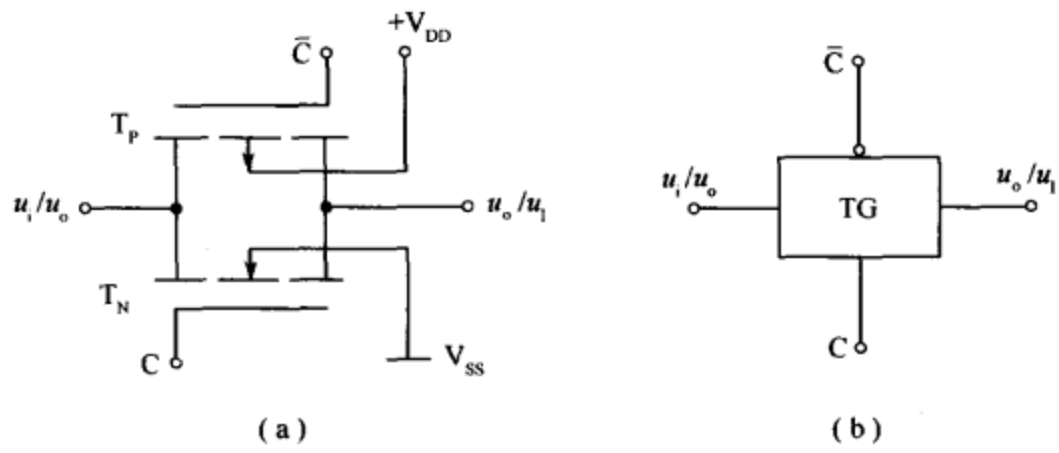


图 2-34　CMOS 传输门

(a)CMOS 传输门;(b)符号。

当 C=1、$\overline{C}$=0,即 C 端为高电平 V_{DD}、$\overline{C}$ 端为低电平 0V 时,T_P、T_N均导通,即传输门导通,$u_o=u_i$。u_i 可以是 0V～V_{DD}的任意电压。

当 C=0、$\overline{C}$=1,即 C 端为低电平 0V、C 端为高电平 V_{DD}时,T_P、T_N均截止,即传输门截止,输入和输出之间是断开的。

传输门导通时,其导通电阻只有几百欧;截止时,其关断电阻在 $10^9\Omega$ 以上。

如果将图 2-34(a)所示电路的 Vss 接到$-V_{DD}$,则 u_i 可以是从$-V_{DD}$～$+V_{DD}$之间的任意电压。其实,若将前面介绍的 CMOS 门电路的 Vss 接到$-V_{DD}$,那么它们的输入、输出高电平将为 V_{DD},低电平将为$-V_{DD}$。显然,随着 V_{DD}、Vss 电位的不同,输入、输出电压的逻辑电平也会相应改变。

6)CMOS 三态门和漏极开路门(OD 门)

CMOS 三态门和漏极开路门(OD 门)与前面介绍的 TTL 三态门和 OC 门工作原理类似,这里不再具体分析。

2. CMOS 逻辑电路的主要特点

下面对 CMOS 逻辑电路的特点作一简要说明。

(1)功耗极低。CMOS 集成电路静态功耗非常小,例如在 V_{DD}=5V 时,门电路的功耗只有几个 μW,即使是中规模集成电路,其功耗也不会超过 100μW。

(2)电源电压范围宽。V_{DD}一般为 3V～18V。

(3)抗干扰能力强。输入端电压噪声容限典型值可达 0.45V_{DD},保证值不小于 0.3V_{DD}。

(4)逻辑摆幅大。低电平约为 0V,高电平基本上等于电源电压。

(5)输入电阻极高。由于 CMOS 集成电路中,使用的开关元件是电压控制的 MOS 管,所以输入电阻可达 $10^8\Omega$ 以上。

(6)扇出能力强。人们常把能带同类门电路的个数,叫做扇出系数,其大小反映了扇出能力。在低频工作时,CMOS 电路几乎可以不考虑扇出能力问题;高频工作时,扇出系数与工作频率有关。

(7)集成度可很高,温度稳定性好。由于CMOS电路功耗极低,内部发热量很少,所以集成度可以做得非常高,CMOS电路的结构是对称互补的,当外界温度变化时某些参数可以互相补偿,因此其特性的温度稳定性好,在很宽的温度范围内都能正常工作。

(8)抗辐射能力强。因为MOS管是多数载流子器件,射线对多数载流子浓度的影响很小,所以CMOS电路抗辐射能力强。

(9)成本低。CMOS电路集成度可以很高,功耗很低,电源供电线路很简单,因此用CMOS集成电路制作的设备,成本会比较低。

3. CMOS系列集成电路的种类

与TTL集成电路相比,CMOS集成电路除速度稍低外,其他方面具有绝大多数的优势,特别是功耗低、价格便宜、工作稳定性能好、集成度高、参数一致、抗干扰能力强、电源电压适应范围宽等显著优点,使它得到了越来越广泛的使用。CMOS集成电路主要有以下几个系列产品。

1)标准型4000B/4500B系列

该系列是以美国RCA公司的CD4000B系列和CD4500B系列制定的,与美国Motorola公司的MC14000B系列和MC14500B系列产品完全兼容。该系列产品的最大特点是工作电源电压范围宽(3V～18V)、功耗最小、速度较低、品种多、价格低廉,是目前CMOS集成电路的主要应用产品。

2)高速54/74HC系列

54/74HC系列是高速CMOS标准逻辑电路系列,具有与74LS 系列同等的工作速度和CMOS集成电路固有的低功耗及电源电压范围宽等特点。74HC是74LS同序号的翻版,型号最后几位数字相同,表示电路的逻辑功能、管脚排列完全兼容,为用74HC替代74LS提供了方便。该系列主要有以下几种:54/74 HC,是带缓冲输出的HCMOS电路;54/74HCU,是不带缓冲输出的HCMOS电路;54/74HCT,是与LS TTL集成电路完全兼容的HCMOS电路。

3)54/74AC系列

54/74AC系列又称"先进的CMOS集成电路",54/74AC 系列具有与74AS系列等同的工作速度和与CMOS集成电路固有的低功耗及电源电压范围宽等特点。

目前,还有一种BiCMOS(双极CMOS)集成电路也属于高速CMOS电路。BiCMOS电路的特点是逻辑部分采用了CMOS结构,而输出级采用了双极型三极管,因此它兼有CMOS电路低功耗和双极型电路低输出内阻的优点。目前BiCMOS电路的传输延迟时间可以减小到1ns以下。

三、典型逻辑集成门介绍

集成逻辑门电路器件的种类、型号繁多,下面列举若干常用的典型器件并给予适当的说明。

1. 通用型六非门(反相器)74LS04

该器件为双列直插(DIP14)封装,一片集成电路内包含了6个相同的非门,其引脚排列如图2-35所示。与该器件具有相同逻辑功能且引脚排列兼容的器件有7404、74HC04(CMOS器件)、CD4069(CMOS)等,逻辑功能相同但引脚排列不兼容的器件有CD4009、

CD4049 等。

注意事项：虽然 74LS 系列与 74 系列的引脚及逻辑功能均相同，但它们输入端的结构却有较大不同，图 2-36 分别示出 7404 与 74LS04 两种器件的内部电路。由图可知，74 系列的输入低电平电流（即输入端接低电平时流出该输入端的电流）较大，而 74LS 系列的却较小，这在使用中将会产生一些不同的效果。例如对于图 2-36(a)，当输入端接 2kΩ 电阻到地时，该输入端的电压约为 $1/3V_{CC}$，以 $V_{CC}=5V$ 计算，该输入端的电压约为 1.5V，该值将被视为“高电平”处理；而图 2-36(b)中，输入端同样接 2kΩ 电阻到地，该输入端的电压约在 0.5V 以下，被视为“低电平”处理。

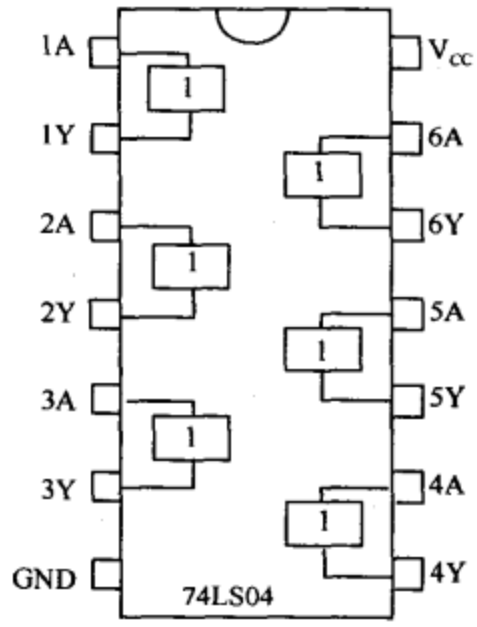


图 2-35　通用型六非门（反相器）74LS04 引脚排列

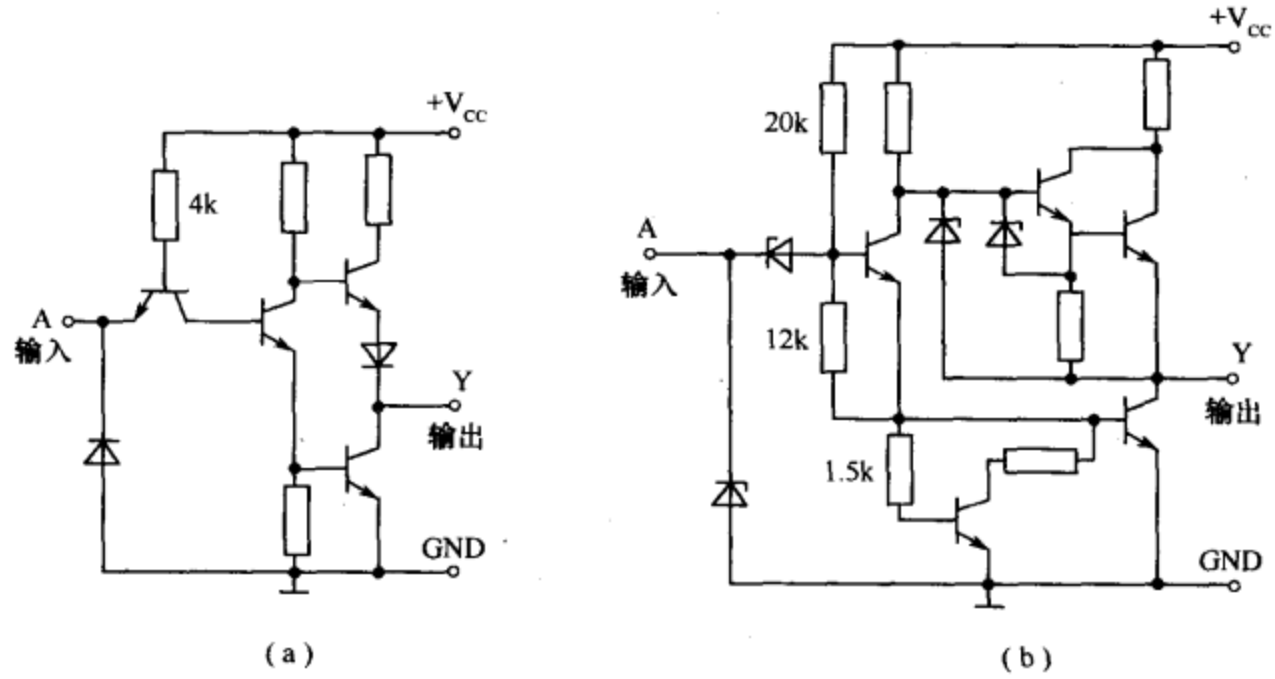


图 2-36　74 系列和 74LS 系列内部输入端电路

(a)74 系列输入端的结构；(b)74LS 系列输入端的结构。

下面是一个应用实例。如图 2-37 所示，当 u_i 出现时，经过二极管的检波，C 被充电，使非门输入端的电位抬高为高电平值；当 u_i 消失后，希望通过电阻 R 将输入端拉至低电平。但如果 R 的值取得太大，会使这一目标不能实现；而 R 值取太小，会使电容 C 充电后的电压难以抬高到高电平值。采用 74 系列难以解决上述矛盾，而使用 74LS 系列甚至使用 74HC 系列，则可较好地解决上述矛盾。

2. 具有施密特功能的反相器 74LS14

该器件的封装、引脚、逻辑功能等基本与前一个器件相同，所不同的是该器件具有施密特整形功能，其输入端的回差电压约在 0.4V～0.8V，逻辑功能及引脚完全与之相兼容的器件有 7414、74HC14（CMOS）、CD40106（CMOS）等，其逻辑符号如图 2-38 所示。

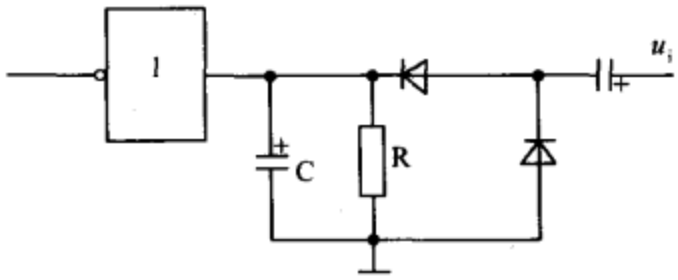


图 2-37　使用 74 系列和 74LS 系列的差别

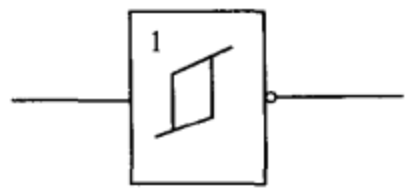


图 2-38　具有施密特功能的反相器 74LS14

3. 集电极开路(OC)的六非门 74LS05

该器件封装、引脚排列、逻辑功能等均与 74LS04 相同，不同的是其输出管的集电极为开路形式，其内部电路结构如图 2-39 所示。由图可以看出，当输入端为低电平时，输出管截止，此时输出端 Y 呈高阻抗状态，因此在实际使用中，必须在输出端接一个 1kΩ～2kΩ 的上拉电阻至电源正端。与该器件完全兼容的有 7405、74HC05(CMOS)等。

4. 具有驱动能力的高压 OC 型六非门 74LS06

该器件与 74LS05 基本相同，不同的是它的输出端具有较大的低电平驱动能力，即当输出管导通时，吸收的电流可达 50mA～60mA。此外，输出管还能承受较高的集电极电压(30V)，而 74LS05 集电极的耐压能力为 15V。

5. 缓冲门 7434

该器件的外形、引脚等均与 74LS04 相同，其内部也包含了 6 个相同的门电路，但其输入、输出的逻辑关系为 Y＝A，没有倒相关系，只作为缓冲、隔离使用，与之兼容的器件有 74HC34(CMOS)等。

6. 有驱动能力的 OC 型缓冲门 7407

该器件的封形式与 74LS06 相同，一片集成电路内包含了 6 个相同的门电路，输出端集电极为开路形式，输出管耐压为 30V，吸收电流可达 40mA 左右，其内部结构如图 2-40 所示。与之兼容器件有 74LS07、74HC07(CMOS)、74LS17(耐压 15V)等。

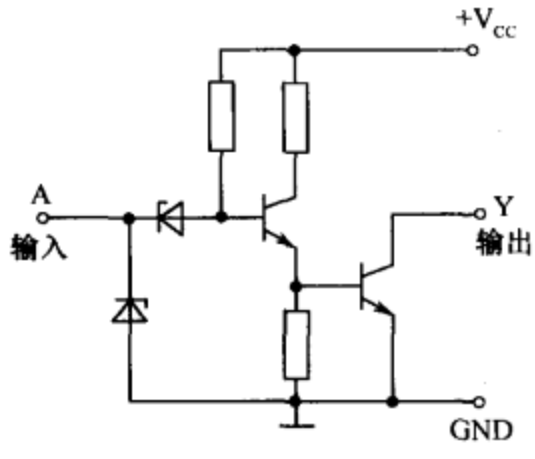


图 2-39　集电极开路(OC)的六非门 74LS05

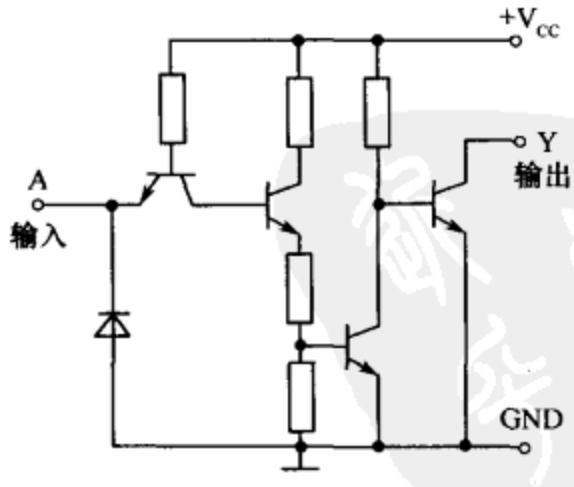


图 2-40　有驱动能力的 OC 型缓冲门 7407

7. 具有强驱动能力的驱动门 ULN2000A

该系列包括 ULN2000A～ULN2005A，其 DIP 的封装形式如图 2-41 所示，其内部有 7 个相同的驱动非门，内部结构如图 2-42 所示。ULN2000A 系列的吸收电流可达

500mA，输出管耐压为 50V 左右，因此有很强的低电平驱动能力，可用于微型步进电动机的相绕组驱动。在这种情况下，因负载为感性，为防止自感电势击穿输出管，应把 COM 端接向电源正极，图中的 L 表示步进电动机的一个绕组的接法。

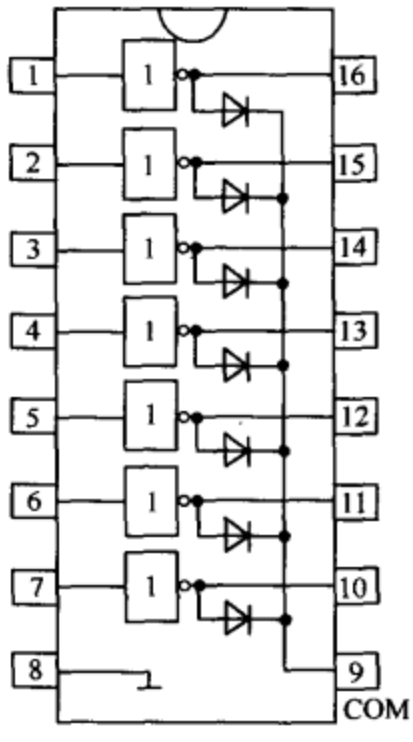


图 2-41　ULN2000A～ULN2005A 系列封装形式

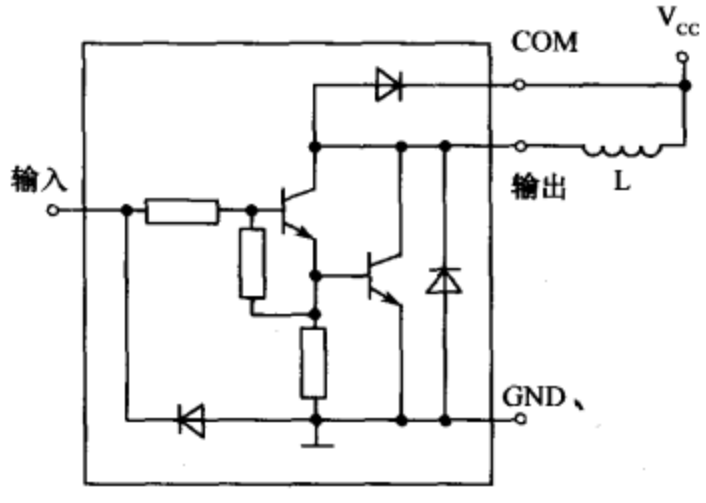


图 2-42　ULN2000A 内部结构

8. 4 位独立的三态缓冲门 74LS125

4 位独立的三态缓冲门 74LS125(输出允许为“低电平有效”)是一种内含 4 个完全独立的三态缓冲门的集成器件，其 DIP14 封装形式如图 2-43 所示。当输出允许端$\overline{EN}$=0 时，Y=A；当$\overline{EN}$=1 时，输出呈高阻状态(Y=Z)。引脚及逻辑功能与之均兼容的有 74125、74HC125(CMOS)等。

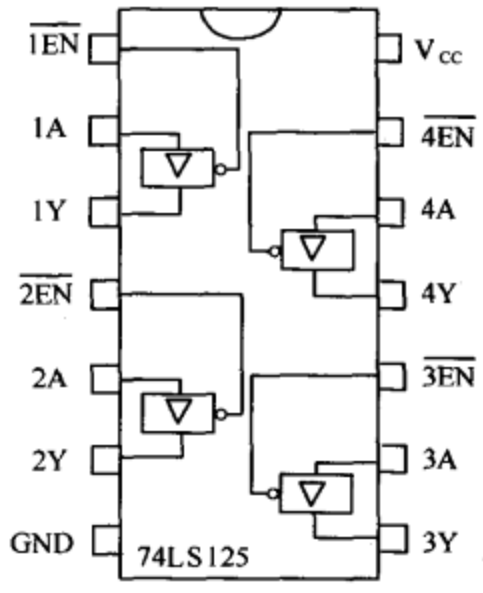


图 2-43　74LS125 封装形式

9. 4 位独立的三态缓冲门 74LS126

4 位独立的三态缓冲门 74LS126(输出允许为“高电平有效”)也是一种内含 4 个完全独立的三态缓冲门的集成器件，其封装形式如图 2-44 所示。当输出允许端 EN=1 时，Y=A；当 EN=0 时，输出 Y=Z。引脚及逻辑功能均与之兼容的有 74126、74HC126(CMOS)等。

10. 双 4 位三态缓冲器 74LS244

双 4 位三态缓冲器 74LS244 为 20 脚封装，如图 2-45 所示，它的内部共有 8 只三态缓冲器，分成两组，每组 4 个共用一个“输出允许”控制信号$\overline{EN}$。当$\overline{EN}$=0 时，对应的 4 个缓冲器的 Y=A；当$\overline{EN}$=1 时，对应的 4 个缓冲器输出为高阻(Y=Z)。引脚及逻辑功能均与之兼容的器件有 74244、74HC244(CMOS)等。

11. 8 位双向三态缓冲器 74LS245

8 位双向三态缓冲器 74LS245 内含 8 对(16 只)三态缓冲器，每 1 对构成了 1 位(1bit)的双向数据缓冲器(又称数据收发器)，因此该器件又称三态数据总线收发器。其 20

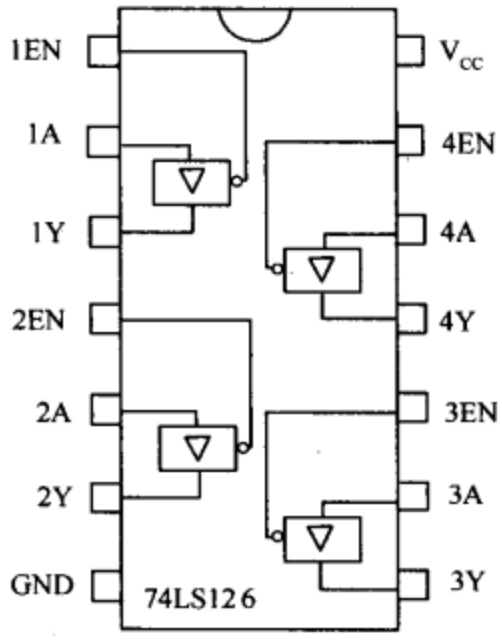


图 2-44　74LS126 封装形式

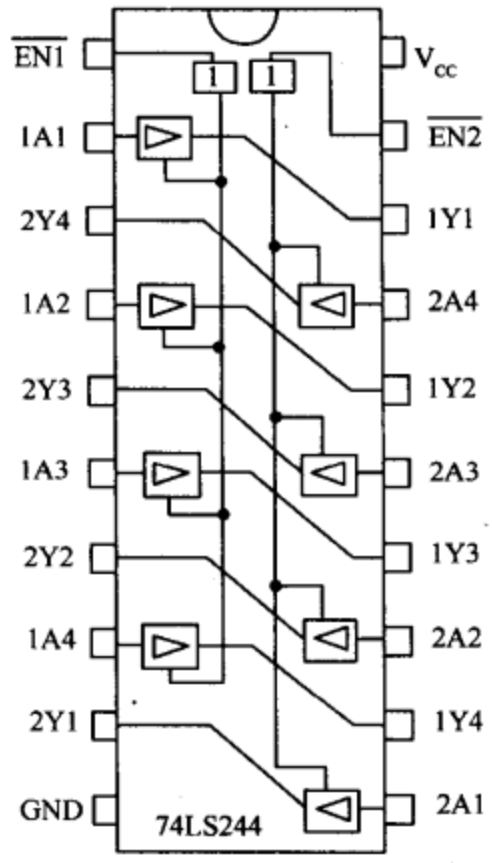


图 2-45　74LS244 封装形式

脚 DIP 封装形式如图 2-46(a)所示，内部结构如图 2-46(b)所示。输出允许由$\overline{EN}$端控制，当$\overline{EN}$=0 时，若 DIR=1 时，则数据通路为 A→B，若 DIR=0，则通路为 B→A；而当$\overline{EN}$=1 时，无论 DIR 为何值，A、B 之间均呈阻断状态。该器件常用于微型计算机应用系统中作为数据总线的增强体，使数据总线能够挂接更多的输入/输出器件。引脚及逻辑功能均与之兼容的器件有 74245、74HC245(CMOS)等。

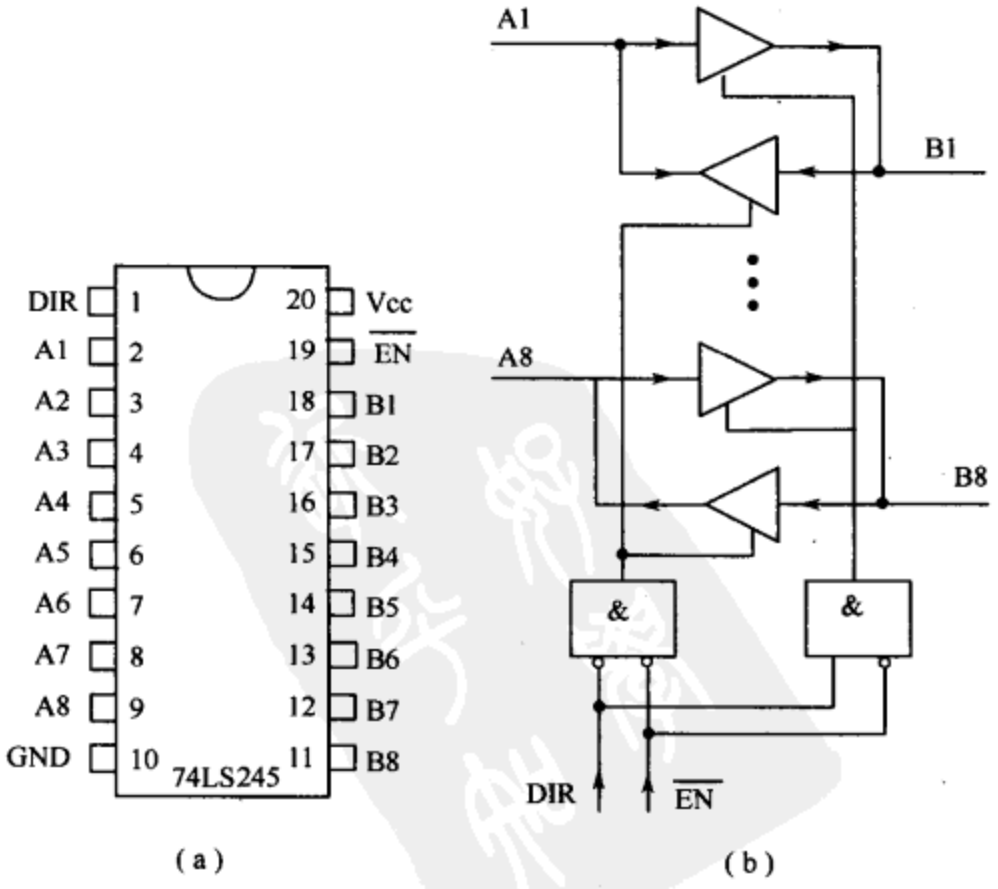


图 2-46　74LS245 封装形式和内部结构

(a)引脚图；(b)内部结构。

第四节　数字集成电路的正确使用

一、TTL 集成电路的使用

1. 正确选择电源电压

TTL 集成电路的电源电压允许变化范围比较窄，一般在 4.5V～5.5V 之间。在使用时更不能将电源与地颠倒接错，否则将会因为过大电流而造成器件损坏。

2. 对输入端的处理

TTL 集成电路的各个输入端不能直接与高于＋5.5V 和低于－0.5V 的低内阻电源连接。对多余的输入端最好不要悬空。虽然悬空相当于高电平，并不影响与门、与非门的逻辑关系，但悬空容易接受干扰，有时会造成电路的误动作。因此，多余输入端要根据实际需要作适当处理。例如与门、与非门的多余输入端可直接接到电源 Vcc 上；也可将不同的输入端共用一个电阻连接到 Vcc 上；或将多余的输入端并联使用。对于或门、或非门的多余输入端应直接接地。对于触发器等中规模集成电路来说，不使用的输入端不能悬空，应根据逻辑功能接入适当电平。

3. 对于输出端的处理

除三态门、集电极开路门外，TTL 集成电路的输出端不允许并联使用。如果将几个集电极开路门电路的输出端并联，实现线与功能时，应在输出端与电源之间接入一个计算好的上拉电阻。集成门电路的输出更不允许与电源或地短路，否则可能造成器件损坏。

二、CMOS 集成电路的使用

在使用 CMOS 集成电路时，除了认真阅读产品说明或有关资料，了解其引脚分布及极限参数外，还应注意以下几个问题。

1. 电源问题

(1)CMOS 集成电路的工作电压一般为 3V～18V，但当应用电路中有门电路的模拟应用(如脉冲振荡、线性放大)时，最低电压则不应低于 4.5V，由于 CMOS 集成电路工作电压宽，故使用不稳压的电源电路 CMOS 集成电路也可以正常工作，但是工作在不同电源电压的器件，其输出阻抗、工作速度和功耗是不相同的，在使用中一定要注意。

(2)CMOS 集成电路的电源电压必须在规定范围内，不能超压，也不能反接，因为在制造过程中，自然形成许多寄生二极管，在正常电压下，这些二极管皆处于反偏，对逻辑功能无影响，但是由于这些寄生二极管的存在，一旦电源电压过高或电压极性接反，就会使电路产生损坏。

2. 接地问题

正确的接地技术对于降低电路噪声是很重要的。接地时，应将“电源地”与“信号地”分开，即把信号地汇集在一点，然后将二者用最短的导线连在一起，以避免含有多种脉冲波形(含尖峰电流)的大电流引到某数字器件的输入端，而导致系统正常的逻辑功能失效。此外，当系统中兼有模拟和数字两种器件时，同样需将二者的“地”分开，然后再选用一个合适共同点接地，以免除二者之间的影响。必要时，也可设计模拟和数字两块电路板，各

备直流电源，然后将二者恰当地连接在一起。

3. 驱动能力问题

CMOS 电路驱动能力的提高，除选用驱动能力较强的缓冲器来完成之外，也可将同一个芯片几个同类电路并联起来，这时驱动能力提高到 N 倍（N 为并联门的数量）。

4. 输入端的问题

（1）多余输入端的处理。CMOS 电路的输入端不允许悬空，因为悬空会使电位不定，破坏正常的逻辑关系。另外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作，而且也极易造成栅极感应静电而击穿。所以与门、与非门的多余输入端要接高电平，或门和或非门的多余输入端要接低电平。若电路的工作速度不高，功耗也不需特别考虑时，则可以将多余输入端与使用端并联。

（2）输入端的静电防护。虽然各种 CMOS 输入端有抗静电的保护措施，但仍需小心对待，在存储和运输中最好用金属容器或者导电材料包装，不要放在易产生静电高压的化工材料或化纤织物中。组装、调试时，工具、仪表、工作台等均应良好接地，要防止操作人员的静电干扰造成的损坏，如不宜穿尼龙、化纤衣服，手或工具在接触集成块前最好先接一下地，对器件引线矫直弯曲或人工焊接时，使用的设备必须良好接地。

（3）输入信号的上升和下降时间不易过长，否则一方面容易造成虚假触发而导致器件失去正常功能，另一方面还会造成大的损耗。对于 74HC 系列限于 0.5μs 以内，若不满足此要求，需用施密特触发器件进行输入整形。

（4）CMOS 电路输入端的保护二极管，导通时其电流容限一般为 1mA，在可能出现过大瞬态输入电流时，应串接输入保护电阻。例如，当输入端接的信号其内阻很小、引线很长或输入电容较大时，接通和关断电源时，就容易产生较大的瞬态输入电流，这时必须接输入保护电阻，保护电阻的大小为 $R=V_{DD}/1\text{mA}$。若 $V_{DD}=10\text{V}$，则取限流电阻为 10kΩ 即可。

（5）CMOS 电路具有很高的输入阻抗，致使器件易受外界干扰、冲击和静电击穿，所以为了保护 CMOS 管的氧化层不被击穿，一般在其内部输入端接有二极管保护电路。

5. 输出端的保护问题

（1）CMOS 器件输出端既不允许和电源短接，也不允许和地短接，否则输出级的 MOS 管就会因过流而损坏。

（2）在 CMOS 电路中，除了三端输出器件外，不允许两个器件输出端并接，因为不同的器件参数不一致，有可能导致 NMOS 和 PMOS 器件同时导通，形成大电流。但为了增加电路的驱动能力，允许把同一芯片上的同类电路并联使用。

（3）当 CMOS 电路输出端有较大的容性负载时，流过输出管的冲击电流较大，易造成电路失效。为此，必须在输出端与负载电容间串联一限流电阻，将瞬态冲击电流限制在 10mA 以下。

三、TTL 电路和 CMOS 电路的混合使用

在数字电路或系统的设计中，往往由于工作速度或者功耗指标的要求，需要采用多种逻辑器件混合使用，例如，TTL 和 CMOS 两种器件都要使用。由于每种器件的电压和电流参数各不相同，因而需要采用接口电路。TTL 电路和 CMOS 电路接口时，无论是用

TTL 电路驱动 CMOS 电路，还是用 CMOS 电路驱动 TTL 电路，驱动门都应满足表 2-10 所列关系。

表 2-10　驱动门应满足的关系

驱动门	负载门	驱动门	负载门
U_{OH}	$\geqslant U_{IH}$	I_{OH}	$\geqslant nI_{IH}$
U_{OL}	$\leqslant U_{IL}$	I_{OL}	$\geqslant nI_{IL}$
注：n 为负载电流 I_{IH}、I_{IL} 的个数			

表 2-11 列出了 TTL 和 CMOS 逻辑电路的输入、输出特性参数，其中，表中 4000 系列是在 $V_{DD}=5V$ 时的参数。

表 2-11　TTL 和 CMOS 逻辑电路的输入、输出特性参数

参数 \ 种类	TTL 74 系列	TTL 74LS 系列	CMOS 4000 系列	高速 CMOS 74HC 系列	高速 CMOS 74HCT 系列
U_{OH}/V	2.4	2.7	4.6	4.4	4.4
U_{OL}/V	0.4	0.5	0.05	0.1	0.1
I_{OH}/mA	0.4	0.4	0.5	4	4
I_{OL}/mA	16	8	0.5	4	4
U_{IH}/V	2	2	3.5	3.5	2
U_{IL}/V	0.8	0.8	1.5	1	0.8
I_{IH}/mA	40	20	0.1	1	1
I_{IL}/mA	−1.6	−0.4	−0.001	−0.001	−0.001

下面就 CMOS 门驱动 TTL 门或者 TTL 门驱动 CMOS 门两种情况的接口问题进行分析。

1）CMOS 门驱动 TTL 门

当用 CMOS 驱动 TTL 电路时，由于 CMOS 驱动电流较小（特别是输出低电平时），所以对 TTL 电路的驱动能力很有限。因此，要设法扩大 CMOS 电路输出低电平时吸收负载电流的能力，具体可采用以下 3 种方法：① 将同一封装内的 CMOS 门并联使用，以扩大 CMOS 电路输出低电平时的带负载能力；② 在 CMOS 的输出端增加一级有驱动能力的 CMOS 驱动器（例如 CD4010、CD40107 等），若找不到合适的驱动器，可用三极管来实现电流扩展。其电路如图 2-47 所示；③74HC 系列 CMOS 与 TTL 兼容，因此，可选用 74HC 系列直接驱动 TTL。

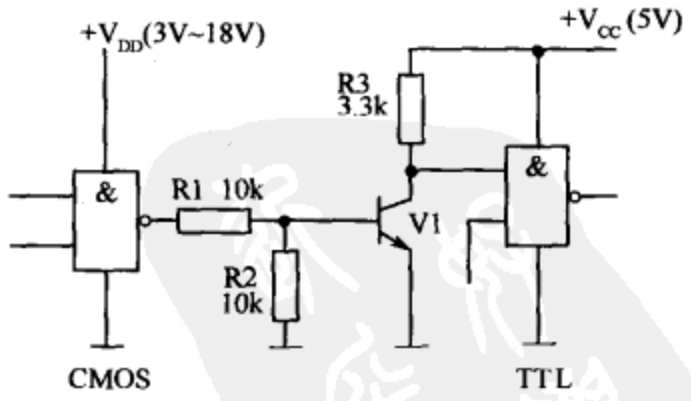


图 2-47　CMOS 通过三极管放大电路驱动 TTL 负载

例 2　一 74HC00 与非门电路用来驱动 1 个基本的 TTL 反相器和 6 个 74LS 门电路。试验算此时的 CMOS 门电路是否过载？

解　查得接口参数如下：1 个基本的 TTL 反相器，$I_{IL}=1.6mA$，6 个 74LS 门的输入

电流 $I_{IL}=6\times0.4=2.4(mA)$，总的输入电流 $I_{IL}=1.6+2.4=4(mA)$。

因 74HC00 门电路的 $I_{OL}=I_{IL}=4mA$，所驱动的 TTL 门电路未过载。

2）TTL 门驱动 CMOS 门

TTL 门驱动 CMOS 门时 TTL 为驱动器件，CMOS 为负载器件。当 TTL 输入为低电平时，它的输出电压参数与 CMOS HC 的输入电压参数是不兼容的。例如，LSTTL 的 U_{OH} 为 2.7V，而 HC CMOS 的 U_{IH} 为 3.5V，为了克服这一矛盾，常采用接口措施。设法将 TTL 电路的输出高电平提升到 3.5 V 以上，此时可以在 TTL 电路的输出端接一个上拉电阻（例如 3.3kΩ）至电源 Vcc（+5 V）。此时，CMOS 电路相当于一个同类 TTL 电路的负载。

如果 CMOS 电路的电源较高，TTL 的输出端仍可接一上拉电阻，但需使用集电极开路门，如图 2-48 所示。应注意，上拉电阻的大小对工作速度有一定的影响，这是由于门电路的输入和输出端均存在杂散电容的缘故。

另一种方案是采用一个专用的 CMOS 电平移动器（例如 40109），它由两种直流电源 Vcc 和 V_{DD} 供电，电平移动器接收 TTL 电平（对应于 Vcc），而输出 CMOS 电平（对应于 V_{DD}），电路如图 2-49 所示。

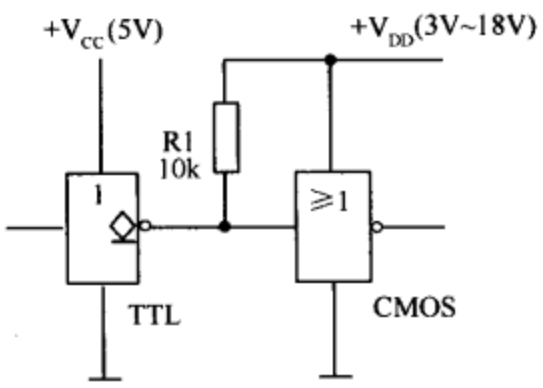


图 2-48　采用 TTL 集电极开路门

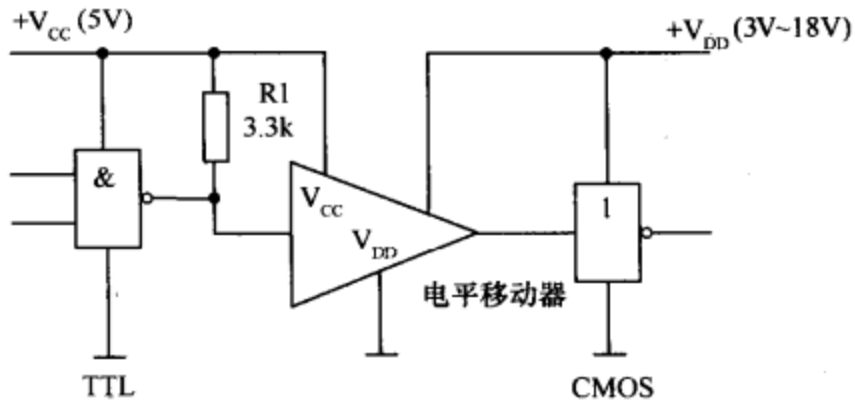


图 2-49　采用专用电平移动器

四、门电路带负载时的接口电路

1. 用门电路直接驱动显示器件

在数字电路中，往往需要用发光二极管来显示信息的传输，如简单的逻辑器件的状态，7 段数码显示，图形符号显示等。在每种情况下均需接口电路将数字信息转换为模拟信息显示。

图 2-50 表示 CMOS 反相器 74HC04 驱动发光二极管 LED 的方法，电路中串接了限流电阻 R 以保护 LED。限流电阻的大小可分两种情况来计算。

①对于图 2-50(a)，当门电路的输入为低电平时，输出为高电平，于是有：

$$R=\frac{U_{OH}-U_D}{I_D}$$

②对于图 2-50(b)，当门电路的输入为高电平时，输出为低电平，于是有：

$$R=\frac{V_{CC}-U_D-U_{OL}}{I_D}$$

在以上两式中，I_D 为流过 LED 的电流；U_D 为 LED 的正向压降；U_{OH} 和 U_{OL} 为门电路的输出高、低电平电压，常取典型值。

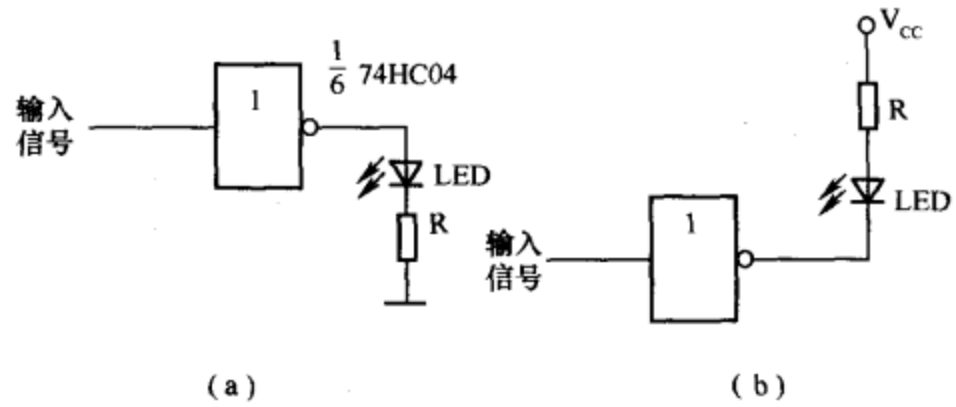


图 2-50　驱动发光二极管 LED

(a)输入为低电平时；(b)输入为高电平时。

例如，对于图 2-50(b)所示电路，设 $I_D=10mA$，$U_D=2.2V$，$V_{CC}=5V$，$U_{OL}=0.1V$。因此可得：

$$R=\frac{V_{CC}-U_D-U_{OL}}{I_D}=\frac{5V-2.2V-0.1V}{10mA}=270\Omega$$

2. 机电性负载接口

在工程实践中，往往会遇到各种数字电路以控制机电性系统的功能，如控制电动机的位置和转速，继电器的接通与断开，流体系统中的阀门的开通和关闭，自动生产线中的机械手多参数控制等。下面以继电器的接口电路为例来说明。在继电器的应用中，继电器本身有额定的电压和电流参数，一般情况下，需用运算放大器以得到必须的数—模电压和电流接口值。对于小型继电器，可以将两个反相器并联作为驱动电路，如图 2-51 所示。

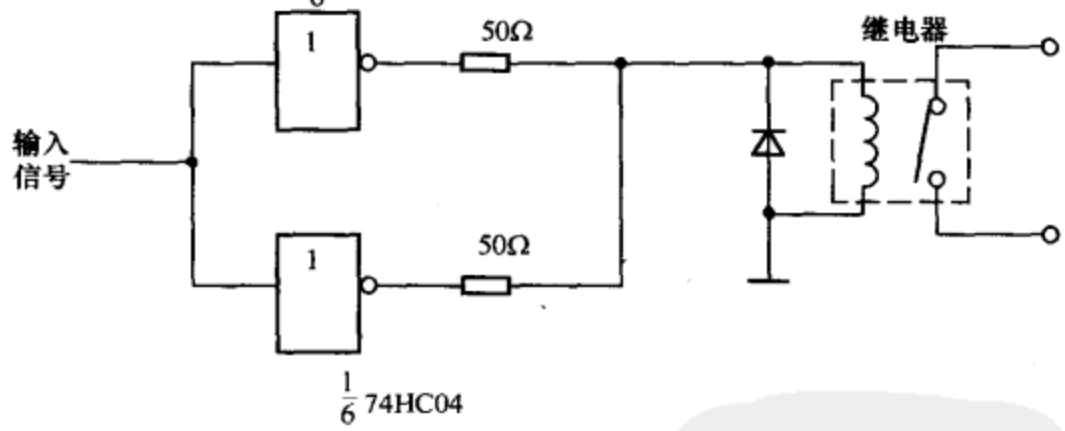


图 2-51　小型继电器的驱动

第三章　组合逻辑电路

逻辑电路可以分成两大类：一类是组合逻辑电路，简称组合电路；另一类是时序逻辑电路，简称时序电路。组合逻辑电路的特点是：在任意时刻，电路的输出信号仅仅取决于当时的输入信号，与电路原来所处的状态无关。组合逻辑电路通常可由若干个基本的逻辑门组成。常用的组合逻辑电路有编码器、译码器、显示译码器、数据选择器、加法器和数值比较器等。本章将分别对这些组合电路进行介绍。常见的组合电路目前已经制作成集成电路，正确使用这些集成电路的关键是熟悉各集成电路的逻辑功能和附加的扩展功能，再根据具体的逻辑表达式组成具有特定逻辑功能的组合逻辑电路。在使用中规模集成电路组成具有特定逻辑功能的组合逻辑电路时，注意使用不同器件组成电路时方法上的差别。

第一节　组合逻辑电路的分析和设计

由若干个门电路组合用来实现不同的逻辑功能的电路称为组合逻辑电路。在组合逻辑电路的应用中一般有两种情况：一种情况是已知某个组合逻辑电路，需要分析出它的功能，称为级合逻辑电路的分析；另一种情况是给出某逻辑功能，要求设计一个能实现该功能的组合逻辑电路，称为逻辑电路的综合（设计）。这两种情况在实际工作中都将经常遇到。

组合逻辑电路逻辑功能的表示方法通常有函数表达式、真值表（状态表）、功能表等，有时也用工作波形图表示。在小规模集成电路中，大多使用函数表达式（逻辑表达式），而在中规模集成电路中，往往用真值表或功能表来表示。

一、组合逻辑电路的分析方法

分析的目标是根据给定的逻辑图求出输出函数表达式或真值表。分析的过程一般按以下步骤进行：

（1）根据逻辑图写出逻辑表达式。可以从输入级到输出级或者从输出级到输入级逐级地推导，初步写出的表达式一般比较复杂。

（2）使用逻辑代数工具对初步得出的逻辑表达式进行化简。化简的具体方法不同，可能得到不同的结果。

（3）根据化简后的表达式，列出真值表，于是便可分析出该逻辑电路的功能。

一般过程如图 3-1 所示。

例 1　试分析图 3-2 所示电路的逻辑功能。

解　首先，从输入端开始，逐级依次写出各个门的逻辑表达式：

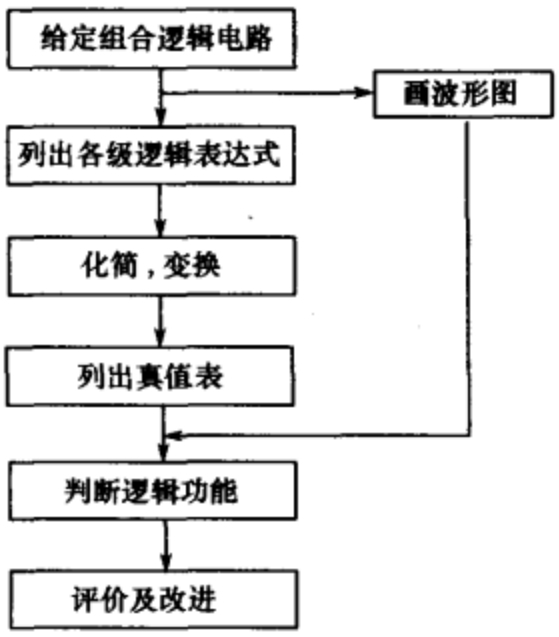


图 3-1　组合逻辑电路的分析步骤

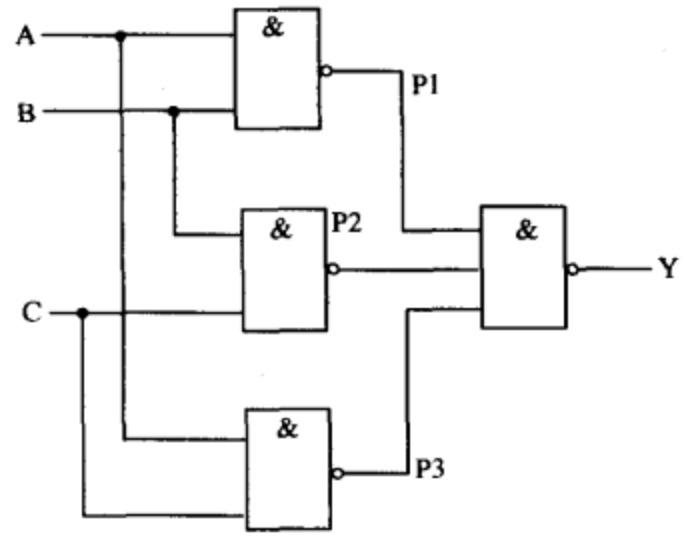


图 3-2　例 1 图

$$P1=\overline{AB},P2=\overline{BC},P3=\overline{AC}$$

于是，可得到 Y 端的逻辑函数表达式：

$$Y=\overline{P1\cdot P2\cdot P3}=\overline{\overline{AB}\cdot\overline{BC}\cdot\overline{AC}}=AB+BC+AC$$

根据上面化简了的表达式列出真值表，见表 3-1。

表 3-1　真值表

输　入			输　出	输　入			输出
A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

由真值表 3-1 可以看出：在 3 个输入变量中，只要有 2 个或 2 个以上的输入变量为 1，则输出 Y 为 1，否则为 0，它表示了一种“少数服从多数”的逻辑关系，因此，图 3-2 所示的逻辑电路是一个“3 变量多数表决器”。

二、组合逻辑电路的基本设计方法

在应用中，常常需要根据某些实际问题所提出的逻辑功能要求来设证一个逻辑电路，当逻辑功能的要求比较复杂时，往往需要将若干个逻辑电路综合起来，才能实现所要求的逻辑功能。组合逻辑电路的综合（设计）一般按以下步骤进行：

（1）分析设计要求，用英文字母表示有关输入、输出信号，确定输入、输出信号的逻辑状态表。

（2）用 0 和 1 表示信号的有关状态；根据状态表列出真值表。

（3）根据真值表列出逻辑表达式。

（4）变换表达式，求出所需要的最简式。

（5）画出逻辑图。

例 2　设计一个 3 人表决用的逻辑电路，每人有 1 个按钮，若赞成，则按下按钮；用指

示灯表示表决结果，若多数人赞成，则灯亮。

解 (1)用 A、B、C 表示 3 人按钮状态，用 Y 表示指示灯状态，依题意列出逻辑状态表，见表 3-2 所列。

表 3-2　逻辑状态表

按　钮			指示灯	按　钮			指示灯
A	B	C	Y	A	B	C	Y
不按	不按	不按	灭	按下	不按	不按	灭
不按	不按	按下	灭	按下	不按	按下	亮
不按	按下	不按	灭	按下	按下	不按	亮
不按	按下	按下	亮	按下	按下	按下	亮

(2)对各状态进行赋值。“不按”赋以 0，“按下”赋以 1，“灭”赋以 0，“亮”赋以 1，则得到表 3-3 所列真值表。

表 3-3　真值表

输入			输出	输入			输出
A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

(3)根据真值表写出逻辑表达式。通常是写出“与”、“或”表达式，即将逻辑真值表中输出 Y=1 的各个状态，分别表示成全部输入变量的“与”函数(如果输入变量为 1，则用其本身表示；若输入变量为 0，则取其反变量表示)，总的输出 Y 则表示成这些“与”项的“或”函数。对于表 3-3，可以写出：

$$Y=ABC+\overline{A}BC+A\,\overline{B}C+AB\,\overline{C}$$

(4)化简或变换。运用逻辑运算法则对上式作如下变换和化简，因为 A+A=A，所以 ABC+ABC=ABC，因此上式等价于：

$$Y=ABC+\overline{A}BC+ABC+A\,\overline{B}C+ABC+AB\,\overline{C}=$$
$$BC\cdot(A+\overline{A})+AC\cdot(B+\overline{B})+AB\cdot(C+\overline{C})=$$
$$BC+AC+AB$$

(5)根据上式画出逻辑图，如图 3-3 所示。

有时，为了方便使用现有的器件，或在实际生产过程中为了减少器件的种类，往往需要使用某种指定类型的门电路来实现规定逻辑。例如上例中指定使用与非门实现所要求的逻辑，则必须对上式进行变换，使逻辑式中不含有“或”的运算，变换情况如下：

$$Y=BC+AC+AB=\overline{\overline{BC}+\overline{AC}+\overline{AB}}=\overline{\overline{BC}\cdot\overline{AC}\cdot\overline{AB}}$$

于是可以画出只含与非门的逻辑电路，如图 3-4 所示。

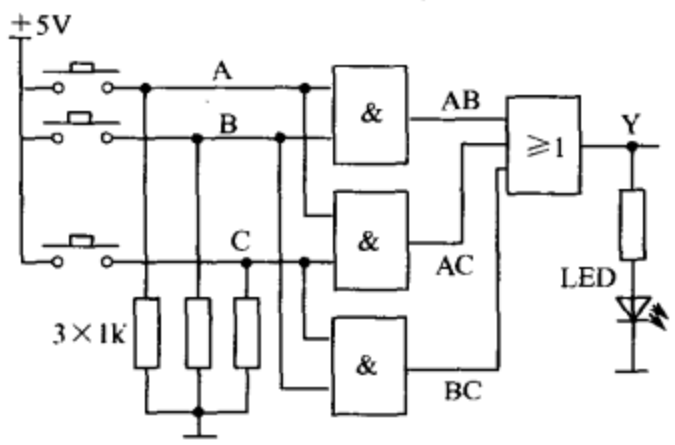


图 3-3　3 人表决逻辑图

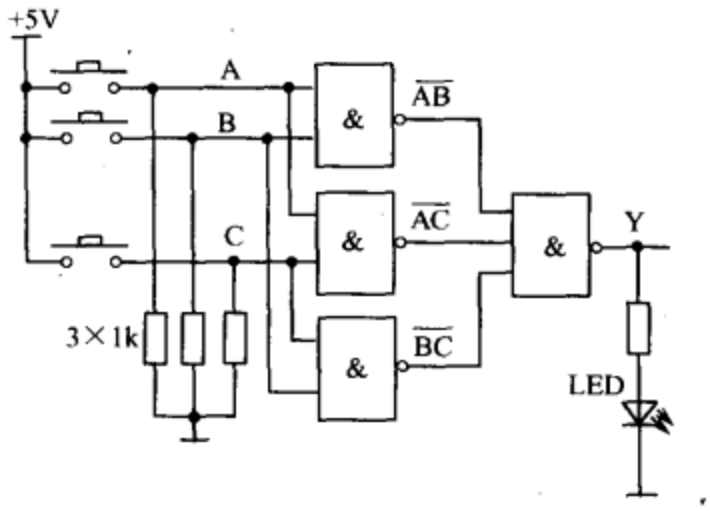


图 3-4　用与非门实现的 3 人表决电路

应当指出，由于化简和变换的方法不同，可以得出不同的结果，因此，最终形成的逻辑图也可以有多种形式。

上面只针对较为简单的组合逻辑电路的设计方法作了介绍，在实际运用中，常常会遇到比这复杂的问题。令人欣喜的是，由于大规模集成电路以及微控制器技术的迅速发展，较复杂的逻辑问题已由器件生产厂家提供的功能器件解决或是采用先进的微控制器。因此在现代数字电路的设计中，实际所常遇到的组合逻辑的分析、综合一般均不会太复杂。

第二节　编 码 器

在数字系统里，常常需要将某一信息（输入）变换为某一特定的代码（输出）。把二进制码按一定的规律编排，例如 8421 码、格雷码等，使每组代码具有一特定的含义（代表某个数字或控制信号）称为编码。具有编码功能的逻辑电路称为编码器。编码器有若干个输入，在某一时刻只有一个输入信号被转换成为二进制码。常用的编码器有二进制编码器和二—十进制编码器等，下面分别进行介绍。

一、二进制编码器

1. 二进制编码的特点

1 位的二进制数只有 0、1 两个状态，它可以表示两种不同的特定含义，如果需要表示 3 种不同的特定含义，显然只用 1 位的二进制数码就无法解决了。此时，可以用更多位的二进制来进行编码，当采用两位二进制数码进行编码时，就能表示 4 种不同的特定含义，即 1 个两位的二进制数共有 00、01、10、11 4 个不同的状态，可表示 4 种特定含义，但如果要表示 5 种不同的特定含义，显然 2 位二进制数码也不够用了。

二进制数码的位数与它所能表达不同的特定含义数量之间的关系，可以用一个公式来表示，即：

$$N \leqslant 2^n$$

式中：n 代表二进制数码的位数（如 $n=4$ 时，就是用 4 位二进制数码来进行编码，$n=8$ 时，就是用 8 位二进制数码来进行编码）；N 代表在 n 确定后所能表达不同的特定含义数量（例如，当 $n=4$ 时，$N=16$，这说明当采用 4 位二进制数码进行编码时，能够表达 $2^4=16$ 种不同的特定含义）。

2. 3位二进制编码器

在图3-5所示的框图中，输入端有7个按键，为了能从输出端的信号中识别输入端的各个按键的动作情况(每次只能有1个键动作)，每个按键按下时均应能从输出端输出一组相应的二进制代码，因此，7个按键应有7组不同的代码与之对应并输出。下面我们来分析一下方框里应采用什么样的电路才能实现这一目的。

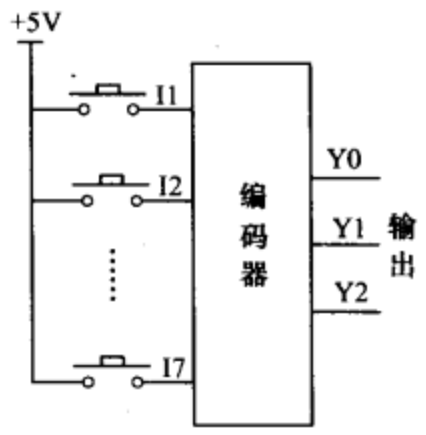


图3-5　编码器的框图

(1)确定输出编码的位数。3位二进制码有$2^3=8$种状态。本例要求有7组代码分别与7个按键对应，因此必须有3位二进制码，则输出端应有3根输出线。

(2)列出编码表。设3根输出线为Y0、Y1、Y2，现列出Y0、Y1、Y2的所有组合状态，见表3-4，共有8种状态，舍去第一种(该状态是初始隐含状态，即常态，不能使用)，取后面的7种分别代表输入端(I1～I7)的7种状态。在这7种输入状态中，每种情况下只允许有1根输入线为1，其余均为0。

表3-4　3位二进制编码表

输入								输出		
I7	I6	I5	I4	I3	I2	I1	I0	Y2	Y1	Y0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

(3)由编码表写出逻辑表达式。根据编码表分别观察出端的Y2、Y1、Y0各线，例如对于Y2这根线，在四种情况下它为1，也就是说明当I4＝1或I5＝1或I6＝1或I7＝1时，都可以使Y2＝1，因而可得：

$$Y2=I4+I5+I6+I7$$

同理可写出：

$$Y1=I2+I3+I6+I7 \qquad Y0=I1+I3+I5+I7$$

(4)由逻辑式画逻辑图。若设按键按住时为1，否则为0，则由以上几式可以画出如图3-6所示的逻辑电路。例如当按键7按下时，3个或门的输入端中均有1根为1，所以输出Y2、Y1、Y0为111，符合编码中的规定。

重点提示：当一个数字系统需要读取(检测)多个开关量信号时，使用编码器可以有效减少输入线的数目。例如，某微机应用系统，需要读取如图3-5所示的7个按键的动作情况(每次只按1个键)，若使用传统的键矩阵扫描方式，必需有6根线，而使用编码器则只

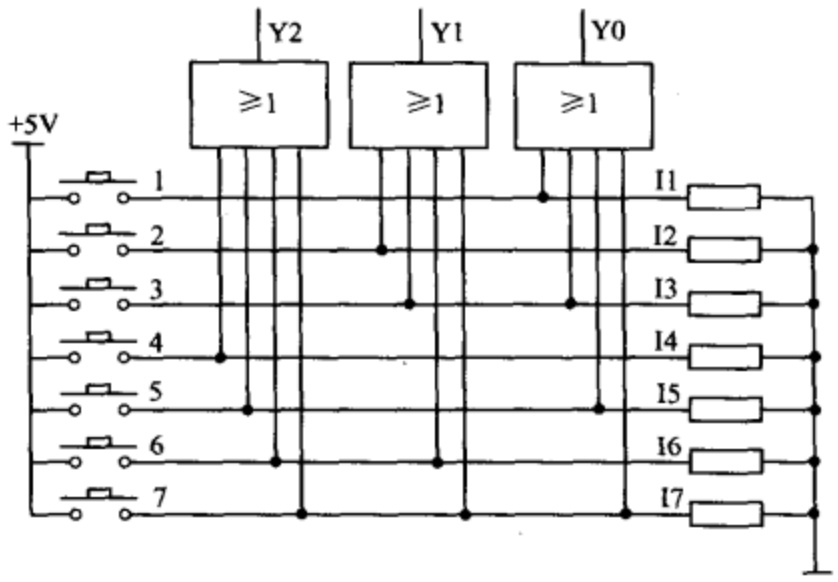


图 3-6　由或门构成的三位二进制编码器

需 3 根线，因此编码器可以作为微机应用系统输入通道扩展的一种器件。

二、二—十进制编码器

二—十进制编码器也称 8421BCD 编码器，又称 10/4 线编码器，即有 10 根输入线、4 根输出线。10 根输入线中每时刻有 1 根为高电平(或低电平)，因此有 10 种输入状态，每种状态对应于输出端的一个二进制码，其设计方法与前面所述相类似(实用上只有 9 个输入端，9 种可用状态，第一种不可用，舍去)。

(1)列出编码表，见表 3-5。

表 3-5　二—十进制编码表

输　入										输出			
I9	I8	I7	I6	I5	I4	I3	I2	I1	I0	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

(2)根据编码表写出逻辑表达式。观察输出端 Y4 这根线，只有两种情况下它才输出 1，可以描述为“如果输入端 I8＝1 或者输入端 I9＝1，则输出端 Y3＝1”，因而可得：

$$Y3=I8+I9$$

同理可写出：

$$Y2=I4+I5+I6+I7 \quad Y1=I2+I3+I6+I7 \quad Y0=I1+I3+I5+I7+I9$$

(3)画出逻辑图。根据上面的函数式可以画出如图 3-7 所示的逻辑图，图中 S 为一施转式拨盘开关，当需要转换某一个十进制数时，就把转盘施转到相应的位置上，于是从 Y3、Y2、Y1、Y0 端输出的便是符合表 3-5 规定的一组二进制码。

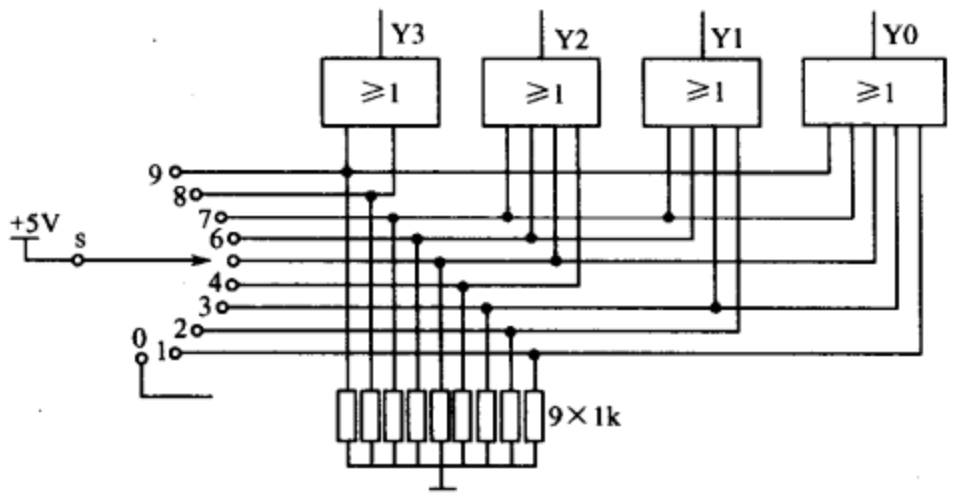


图 3-7　二—十进制编码器

三、优先编码器

上述机械式按键编码电路虽然比较简单，但当同时按下两个或更多个键时，其输出将是混乱的。在数字系统中，特别是在计算机系统中，常常要控制几个工作对象，例如微型计算机主机要控制打印机、磁盘驱动器、输入键盘等。当某个部件需要实行操作时，必须先送一个信号给主机（称为服务请求），经主机识别后再发出允许操作信号（称为服务响应），这里会有几个部件同时发出服务请求的可能，而在同一时刻只能给其中一个部件发出允许操作信号。因此，必须根据轻重缓急，规定好这些控制对象允许操作的先后次序，即优先级别。识别这类请求信号的优先级别并进行编码的逻辑部件称为优先编码器。图 3-8 所示是 3 位二进制优先编码器的示意框图，I0～I7 是要进行优先编码的 8 个输入信号，Y0～Y2 是用来进行优先编码的 3 位二进制代码。

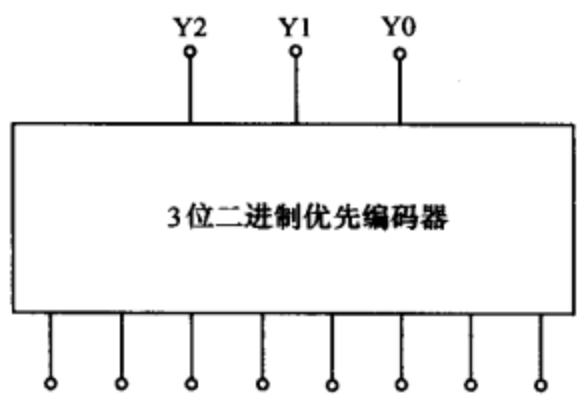


图 3-8　3 位二进制优先编码器框图

I0～I7 这 8 个输入信号中，假定 I7 优先级别最高，I6 次之，依此类推，I0 最低，并分别用 Y2Y1Y0 取值为 000、001、…、111 表示 I0、I1、…、I7。根据优先级别高的输入信号排斥优先级别低的输入信号的特点，即可列出优先编码器的简化真值表，见表 3-6。

表 3-6　3 位二进制优先编码表

输　入								输出		
I7	I6	I5	I4	I3	I2	I1	I0	Y2	Y1	Y0
1	×	×	×	×	×	×	×	1	1	1
0	1	×	×	×	×	×	×	1	1	0
0	0	1	×	×	×	×	×	1	0	1
0	0	0	1	×	×	×	×	1	0	0
0	0	0	0	1	×	×	×	0	1	1
0	0	0	0	0	1	×	×	0	1	0
0	0	0	0	0	0	1	×	0	0	1
0	0	0	0	0	0	0	1	0	0	0

注："×"号的意思是被排斥，也就是说有优先级别高的信号存在时，优先级别低的输入信号取值无论是 0 还是 1 都无所谓，对电路输出均无影响

如果要求输入、输出均为反变量，那么只要在输入、输出端加上反相器即可，如图 3-9 所示，其真值表见表 3-7。

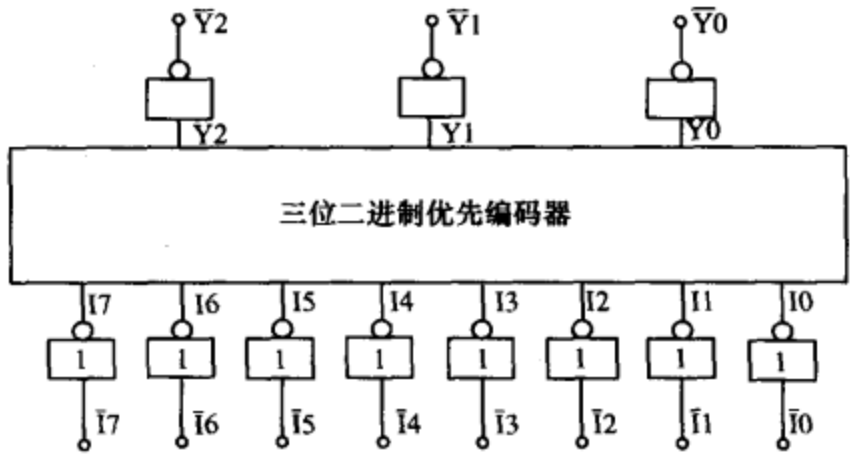


图 3-9　输入、输出均为反变量的 3 位二进制优先编码器

表 3-7　真值表

输入								输出		
$\overline{I}7$	$\overline{I}6$	$\overline{I}5$	$\overline{I}4$	$\overline{I}3$	$\overline{I}2$	$\overline{I}1$	$\overline{I}0$	$\overline{Y}2$	$\overline{Y}1$	$\overline{Y}0$
0	×	×	×	×	×	×	×	0	0	0
1	0	×	×	×	×	×	×	0	0	1
1	1	0	×	×	×	×	×	0	1	0
1	1	1	0	×	×	×	×	0	1	1
1	1	1	1	0	×	×	×	1	0	0
1	1	1	1	1	0	×	×	1	0	1
1	1	1	1	1	1	0	×	1	1	0
1	1	1	1	1	1	1	0	1	1	1

图 3-8、图 3-9 所示的优先编码器又叫 8 线—3 线优先编码器，因为它们都有 8 根输入编码信号和 3 根输出代码信号线。

对于 10 线—4 线优先编码器，其真值表见表 3-8。对于输入、输出均为反变量的真值表，读者可自行分析。

表 3-8　10 线—4 线优先编码器真值表

输入										输出			
I9	I8	I7	I6	I5	I4	I3	I2	I1	I0	Y3	Y2	Y1	Y0
1	×	×	×	×	×	×	×	×	×	1	0	0	1
0	1	×	×	×	×	×	×	×	×	1	0	0	0
0	0	1	×	×	×	×	×	×	×	0	1	1	1
0	0	0	1	×	×	×	×	×	×	0	1	1	0
0	0	0	0	1	×	×	×	×	×	0	1	0	1
0	0	0	0	0	1	×	×	×	×	0	1	0	0
0	0	0	0	0	0	1	×	×	×	0	0	1	1
0	0	0	0	0	0	0	1	×	×	0	0	1	0
0	0	0	0	0	0	0	0	1	×	0	0	0	1
0	0	0	0	0	0	0	0	0	1	0	0	0	0

四、实用编码集成电路

1. 8 线—3 线优先编码器 74LS148 /348

该器件的输入端是$\overline{I0}$～$\overline{I7}$，共可输入 8 个信号，低电平有效；输出为$\overline{Y2}$、$\overline{Y1}$、$\overline{Y0}$这 3 线，共可输出 8 组二进制码，亦为低电平有效。输入$\overline{I0}$～$\overline{I7}$中，优先权排列顺序为$\overline{I7}$(最高)，$\overline{I6}$，…，$\overline{I0}$(最低)。例如，当器件工作时，若$\overline{I7}=0$($\overline{I7}$权限最高)，则不论$\overline{I6}$～$\overline{I0}$的状态如何，输出$\overline{Y2Y1Y0}=000$；当$\overline{I7}=1$ 时，则观察$\overline{I6}$是否为有效信号(即是否为 0)，若$\overline{I6}=0$，那么输出$\overline{Y2Y1Y0}=001$，而不论$\overline{I5}$～$\overline{I0}$的状态如何。74LS148 编码器的真值表见表 3-9，其管脚排列和逻辑功能示意图如图 3-10 所示。

表 3-9　74LS148 编码器真值表

输入									输出				
$\overline{ST}$	$\overline{I7}$	$\overline{I6}$	$\overline{I5}$	$\overline{I4}$	$\overline{I3}$	$\overline{I2}$	$\overline{I1}$	$\overline{I0}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$	$\overline{Y}_{EX}$	Y_S
1	×	×	×	×	×	×	×	×	1/Z	1/Z	1/Z	1	1
0	1	1	1	1	1	1	1	1	1/Z	1/Z	1/Z	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

注：1/Z 中，1 对应于 74LS148，Z 对应于 74LS348；第一行取值表示器件不工作，第二行取值表示器件工作但无输入

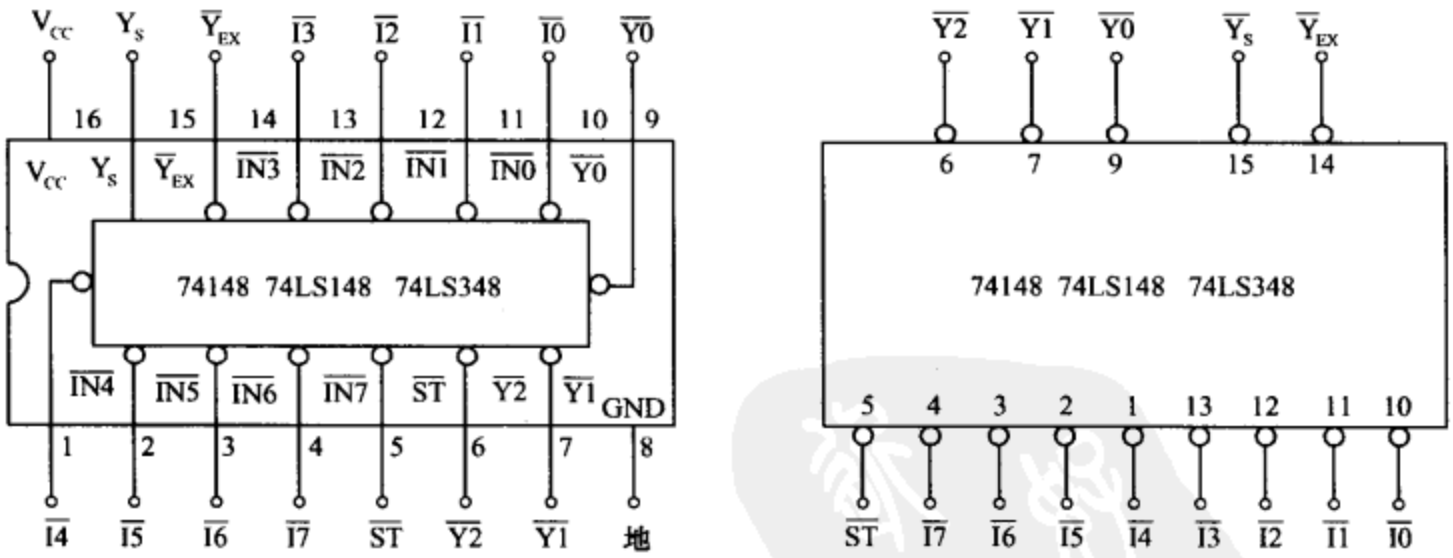


图 3-10　74LS148 管脚排列和逻辑功能示意图

(a)型号与外引线排列图；(b)逻辑功能示意图。

该器件除了上述 8 根输入线和 3 根输出线外，还有 3 根信号线。其中$\overline{ST}$是输入允许控制端，称为输入使能端。当$\overline{ST}=0$ 时编码器工作；$\overline{ST}=1$ 时编码器不工作，所有输出均为 1/Z(高电平/高阻)。Y_S及$\overline{Y}_{XE}$为输出信号，用以指示输入信号的情况，当器件不工作($\overline{ST}=1$)时，$Y_S=1$，$\overline{Y}_{EX}=1$；当器件工作($\overline{ST}=0$)时，若$\overline{I0}$～$\overline{I7}$中任意一个有电平信号输入，则 $Y_S=1$，否则 $Y_S=0$，$\overline{Y}_{EX}$是 Y_S的反相输出(仅限于器件工作时，即$\overline{ST}=0$ 时)。

与74LS148具有相同的逻辑功能且引脚相同的有74148、74HC148(CMOS)、54LS148等。

方法技巧：Y_S及$\overline{Y}_{EX}$除作为指示信号外，当器件级连时还可作为输出信号。级联应用时，高位片的Y_S端与低位片的$\overline{ST}$端连接起来，可以扩展优先编码功能。$\overline{Y}_{EX}$为优先扩展输出端，级联应用时可作输出位的扩展端。

例如，将两片8线—3线优先编码器级联起来，便可以构成16线—4线优先编码器，图3-11所示是电路连线图。

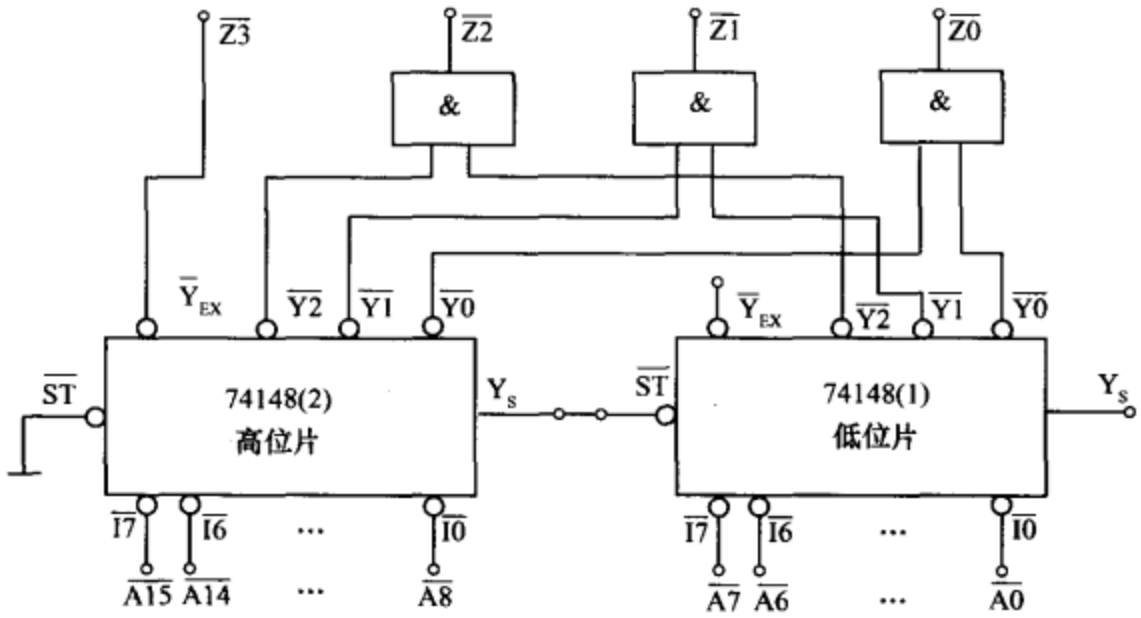


图3-11　两片8线—3线优先编码器级联构成的16线—4线编码器

图中，$\overline{A}0$～$\overline{A}15$是编码输入信号，0有效，$\overline{A}15$优先级别最高，$\overline{A}14$次之，依此类推，$\overline{A}0$最低。$\overline{Z3}$、$\overline{Z2}$、$\overline{Z1}$、$\overline{Z0}$是输出4位二进制代码，为4位二进制反码。根据表3-7，很容易分析清楚该电路的工作原理，这里不再赘述。

2. 10线—4线编码器74LS147

10线—4线编码器74LS147外引线排列如图3-12所示，真值表见表3-10。它有9根输入线$\overline{I1}$～$\overline{I9}$，4根输出$\overline{Y3}$～$\overline{Y0}$，没有其他控制线，编码优先权顺序为$\overline{I9}$(最高)，$\overline{I8}$，…，$\overline{I1}$(最低)，输入、输出均为低电平有效。与其兼容的器件有74147、74HC147(CMOS)等。

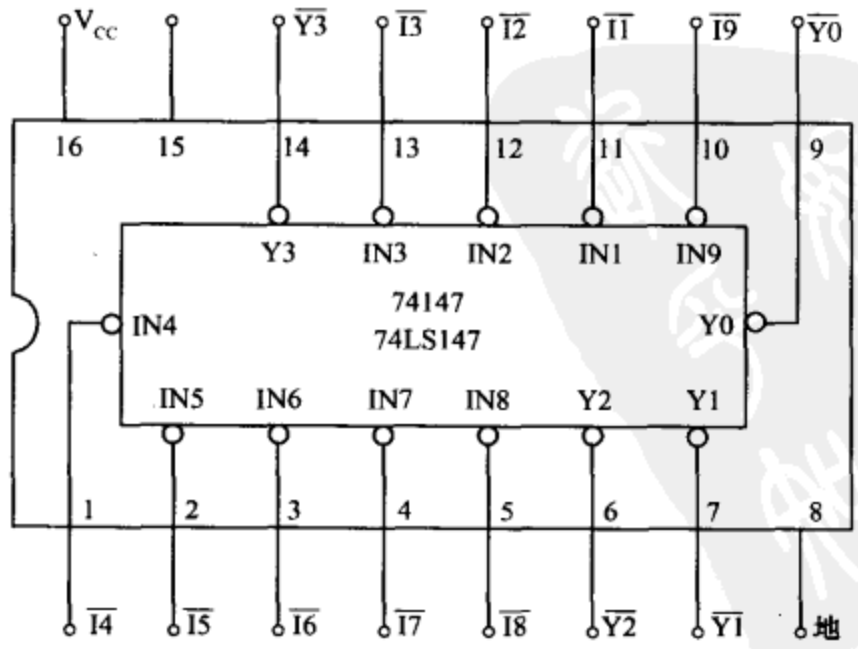


图3-12　10线—4线编码器74LS147外引线排列图

表 3-10　74LS147 编码器真值表

输入									输出			
$\overline{I9}$	$\overline{I8}$	$\overline{I7}$	$\overline{I6}$	$\overline{I5}$	$\overline{I4}$	$\overline{I3}$	$\overline{I2}$	$\overline{I1}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	×	×	×	×	×	×	×	×	0	1	1	0
1	0	×	×	×	×	×	×	×	0	1	1	1
1	1	0	×	×	×	×	×	×	1	0	0	0
1	1	1	0	×	×	×	×	×	1	0	0	1
1	1	1	1	0	×	×	×	×	1	0	1	0
1	1	1	1	1	0	×	×	×	1	0	1	1
1	1	1	1	1	1	0	×	×	1	1	0	0
1	1	1	1	1	1	1	0	×	1	1	0	1
1	1	1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1

第三节　译 码 器

译码是编码的逆过程，它的功能是将具有特定含义的二进制码进行辨别，并转换成控制信号，具有译码功能的逻辑电路称为译码器。也就是说，译码器可以将输入二进制代码的状态翻译成输出信号，以表示其原来含义的电路。根据需要，输出信号可以是脉冲，也可以是高电平或者低电平。译码器的种类很多，但它们的工作原理和分析设计方法大同小异，下面将分别介绍二—八进制译码器、二—十进制译码器、二—十六进制译码器和显示译码器，它们是最典型、使用十分广泛的译码电路。

一、二—八进制译码器

1. 二—八进制译码器分析

图 3-13 所示为 3 位二进制译码器电路，输入端为 A0、A1、A2，可输入 3 位二进制码，共有 $2^3=8$ 种组合状态，输出端为 Y 0～Y 7共 8 条线，要求对应于输入的每种组合状态（即每一种二进制码），8 根输出线中只有 1 根为 1，其余均为 0，具有该功能的电路称为 3 线—8 线译码器，也称二—八进制译码器。设计该电路的一般步骤如下：

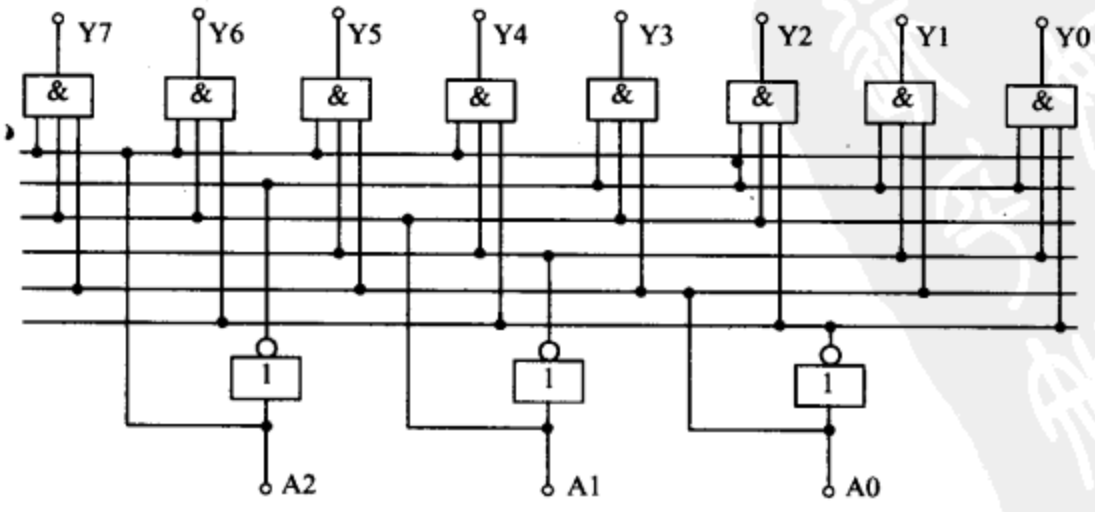


图 3-13　二进制—八进制译码器

(1)列出译码器的真值表。设输入 A0、A1、A2 的 8 种组合状态分别对应输出信号 Y0～Y7 的 8 种情况，在这 8 种情况中，每种都只有 1 个输出端为 1，译码真值表见表 3-11。

表 3-11　3 位二进制译码器真值表

输入			输出							
A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

(2)由译码表写出逻辑表达式。根据真值表，分别观察 Y0～Y7 各线的情况，例如，对于 Y0，由真值表可知，当 Y0＝1 时，输入端 A0＝0、A1＝0、A2＝0，因此有：

$$Y0=\overline{A2A1A0}$$

同理可得：

$$Y1=\overline{A2A1}A0 \qquad Y2=\overline{A2}A1\,\overline{A0}$$

$$Y3=\overline{A2}A1A0 \qquad Y4=A2\,\overline{A1A0}$$

$$Y5=A2\,\overline{A1}A0 \qquad Y6=A2A1\,\overline{A0}$$

$$Y7=A2A1A0$$

(3)由逻辑表达式画出逻辑图。根据上面的 8 个逻辑表达式，不难画出图 3-13 所示的逻辑图。

2. 实用二—八进制译码器

1)3 线—8 线译码器 74LS138

若把图 3-13 所示的电路加上控制门制作在一个芯片上，便可构成集成 3 线—8 线译码器。图 3-14 所示为常见的 3 线—8 线译码器 74LS138 外引线排列图和逻辑功能示意图。

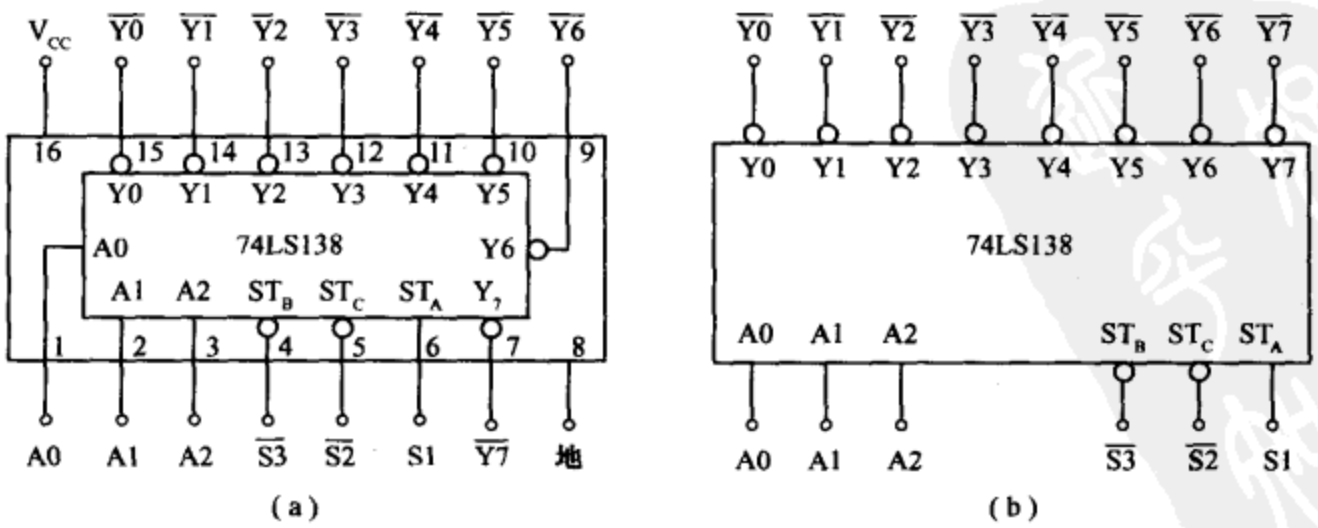


图 3-14　74LS138 外引线排列图和逻辑功能示意图

(a)外引线排列图；(b)逻辑功能示意图。

3 线—8 线译码器 74LS138 也称数据分配器，常用于微机应用系统中作为“地址译码器”。输入端 A 0、A 1、A 2接受二进制编码，输出端$\overline{Y0}$～$\overline{Y7}$共 8 线。译码器工作时，对应于 A 0、A 1、A 2端的每一种二进制代码，输出端只有 1 根线为低电平(反码输出)。

74LS138 另有 3 个控制端 S 1、$\overline{S2}$、$\overline{S3}$，器件能工作的必要条件是 S 1＝1 且$\overline{S2}$＝$\overline{S3}$＝0；而在其他任何情况下器件均不工作，$\overline{Y0}$～$\overline{Y7}$输出全为 1。译码表见表 3-12。一般情况下，将$\overline{S2}$、$\overline{S3}$连在一起当作 1 根控制线使用。

表 3-12　74LS138 译码器真值表

输入						输出								备注
S 1	$\overline{S2}$	$\overline{S3}$	A 2	A 1	A 0	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$	
0	×	×	×	×	×	1	1	1	1	1	1	1	1	不工作
1	0	1	×	×	×	1	1	1	1	1	1	1	1	
1	1	0	×	×	×	1	1	1	1	1	1	1	1	
1	0	0	0	0	0	1	1	1	1	1	1	1	0	
1	0	0	0	0	1	1	1	1	1	1	1	0	1	
1	0	0	0	1	0	1	1	1	1	1	0	1	1	
1	0	0	0	1	1	1	1	1	1	0	1	1	1	
1	0	0	1	0	0	1	1	1	0	1	1	1	1	
1	0	0	1	0	1	1	1	0	1	1	1	1	1	
1	0	0	1	1	0	1	0	1	1	1	1	1	1	
1	0	0	1	1	1	0	1	1	1	1	1	1	1	

利用 3 个输入控制端，可以将译码器作为数据分配器使用，令$\overline{S2}$＝$\overline{S3}$＝0(接地)，则它的功能相当于图 3-15 所示的波段开关，开关位置由 A 0、A 1、A 2共 3 个输入端的状态来控制，波段开关“刀”的输入信号相当于 S1 端的输入信号。例如，当 A 0＝0，A 1＝A 2＝1 时，开关接向$\overline{Y6}$线；同理，当 A 0＝A 1＝A 2＝1 时，开关接向$\overline{Y7}$线。

与 74LS138 具有相同的逻辑功能且引脚相同的有 74138、74HC138(CMOS)等。

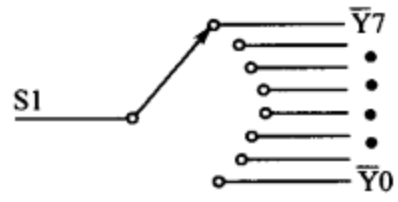


图 3-15　译码器的数据分配功能

方法技巧：当输入二进制代码的位数比较多时，可以把几个二进制译码器级联起来完成其译码操作。图 3-16 所示是把两片 74LS138 级联起来构成的 4 线—16 线译码器。

由 74LS138 真值表不难分析清楚上图所示电路的工作原理。输入 4 位二进制代码中，当高位 A 3＝0 时，片(1)的$\overline{S3}$＝0 工作，片(2)的 S1＝0 被禁止，输出了$\overline{Y0}$～$\overline{Y7}$是 0A2A1A0 的译码；当 A3＝1 时，片(1)的$\overline{S3}$＝1 被禁止，片(2)的 S 1＝1 工作，输出了$\overline{Y8}$～$\overline{Y15}$是 1A2A1A0 的译码。整个级联电路的使能端是 $\overline{S}$，当 $\overline{S}$＝0 时，级联电路工作，完成对输入 4 位二进制代码 A3A2A1A0 的译码；当 $\overline{S}$＝1 时，级联电路被禁止，输出$\overline{Y0}$～$\overline{Y15}$均为 1 状态。

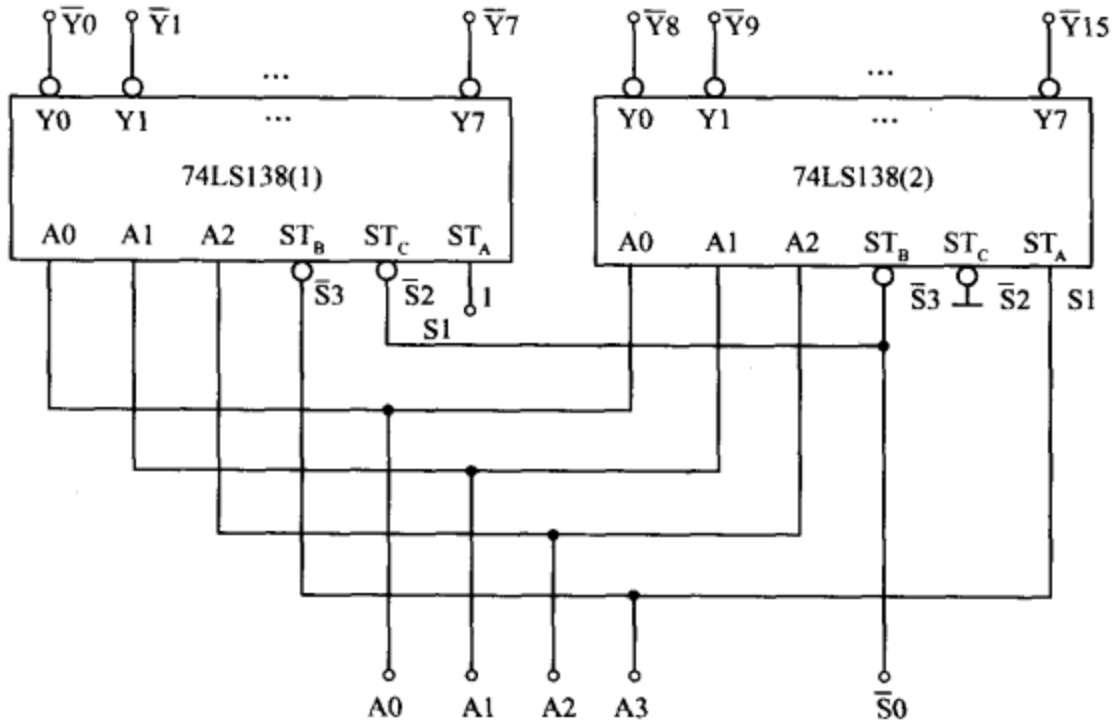


图 3-16　用两片 74LS138 级连构成的 4 线—16 线译码器

2)具有地址锁存功能的 3 线—8 线译码器 74LS137

与 74LS138 相比,74LS137 的内部增设了一组 R-S 状态锁存器,能锁存由 A0、A1、A2 端所输入的信号,它由外引脚上的一根控制线$\overline{GL}$来控制,当$\overline{GL}$=0 时,所有的功能与 74LS138 相同,译码表符合表 3-12 所列的逻辑关系;但当$\overline{GL}$=1 时,A2、A1、A0端不再接受新的输入信息,保存在内部锁存器中的是$\overline{GL}$端由低变高前一瞬间加在A2、A1、A0端的状态,译码输出的值也就是那一时刻输出的值,并能一直保持下去直至$\overline{GL}$端变为 0。74LS137 的引脚与 74LS138 比较,仅 4 脚不同,在 74LS138 中,该脚为$\overline{S3}$端;而 74LS137 中,该脚为$\overline{GL}$端。

与 74LS137 具有相同的逻辑功能且引脚相同的有 74137、74HC137(CMOS)等。

二、二—十进制译码器

1. 二—十进制译码器分析

将二—十进制代码翻译成 10 个十进制数字信号的电路叫做二—十进制译码器。这种译码器的输入是十进制数的二进制编码(BCD)码,输出的 10 个信号分别与十进制数的 10 个数字相对应,其示意框图如图 3-17 所示。这种译码器也常称为 4 线—10 线译码器。

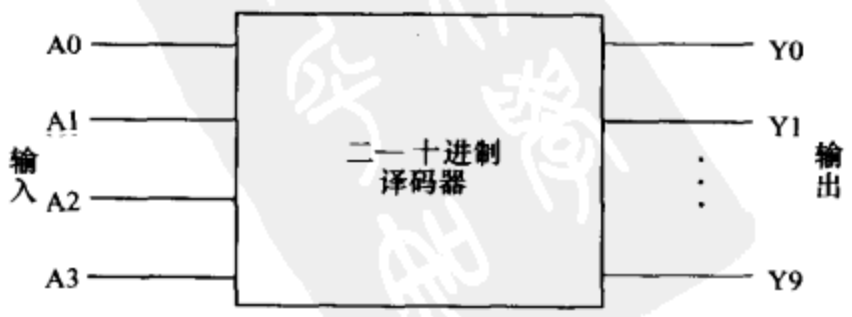


图 3-17　4 线—10 线译码器

在 4 线—10 线译码器中,比较常用的是 8421BCD 码输入的 4 线—10 线译码器。

8421BCD码告诉我们，在输人的4位二进制代码中，0000的含义是0，也即表示的是0，0001表示的是1，依次类推……10001表示的是9。如果用A3、A2、A1、A0表示输人的二进制代码，用Y0～Y9表示范区0个输出信号0～9，据此可列出真值表见表3-13。

表3-13　4线—10线译码器真值表

输人			输　出										
A3	A2	A1	A0	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	×	×	×	×	×	×	×	×	×	×
1	0	1	1	×	×	×	×	×	×	×	×	×	×
1	1	0	0	×	×	×	×	×	×	×	×	×	×
1	1	0	1	×	×	×	×	×	×	×	×	×	×
1	1	1	0	×	×	×	×	×	×	×	×	×	×
1	1	1	1	×	×	×	×	×	×	×	×	×	×

在8421BCD码中，代码1010～1111这6种取值没有用，在正常的情况下不会在译码器的输人端出现，并称之伪码，相应地，在译码器的各个输出信号处均记上“×”号。

根据真值表，按照前面所叙述过的方法，可以用门电路构造出符合要求的译码电路，但这一工作已由生产厂家完成。现有多种型号的功能完善的二—十进制译码集成器件可供使用，使用者只需了解厂家提供的引脚图以及真值表，就能方便地使用。

2. 实用二—十进制译码器

1）8421BCD输人4线—10线译码器74LS42

8421BCD输人4线—10线译码器74LS42外引线排列图、逻辑功能示意图和符号如图3-18所示。输人端A3、A2、A1、A0共可以有$2^4=16$种二进制编码，取前10种为有效组合。对应于其中的每一种状态，输出线Y0～Y9中仅有一根为低电平（输出为反变量），其译码表见表3-14。由表可知，输人端A3、A2、A1、A0的后6种状态，器件视之为无效组合，因而没有输出（全部为1）。

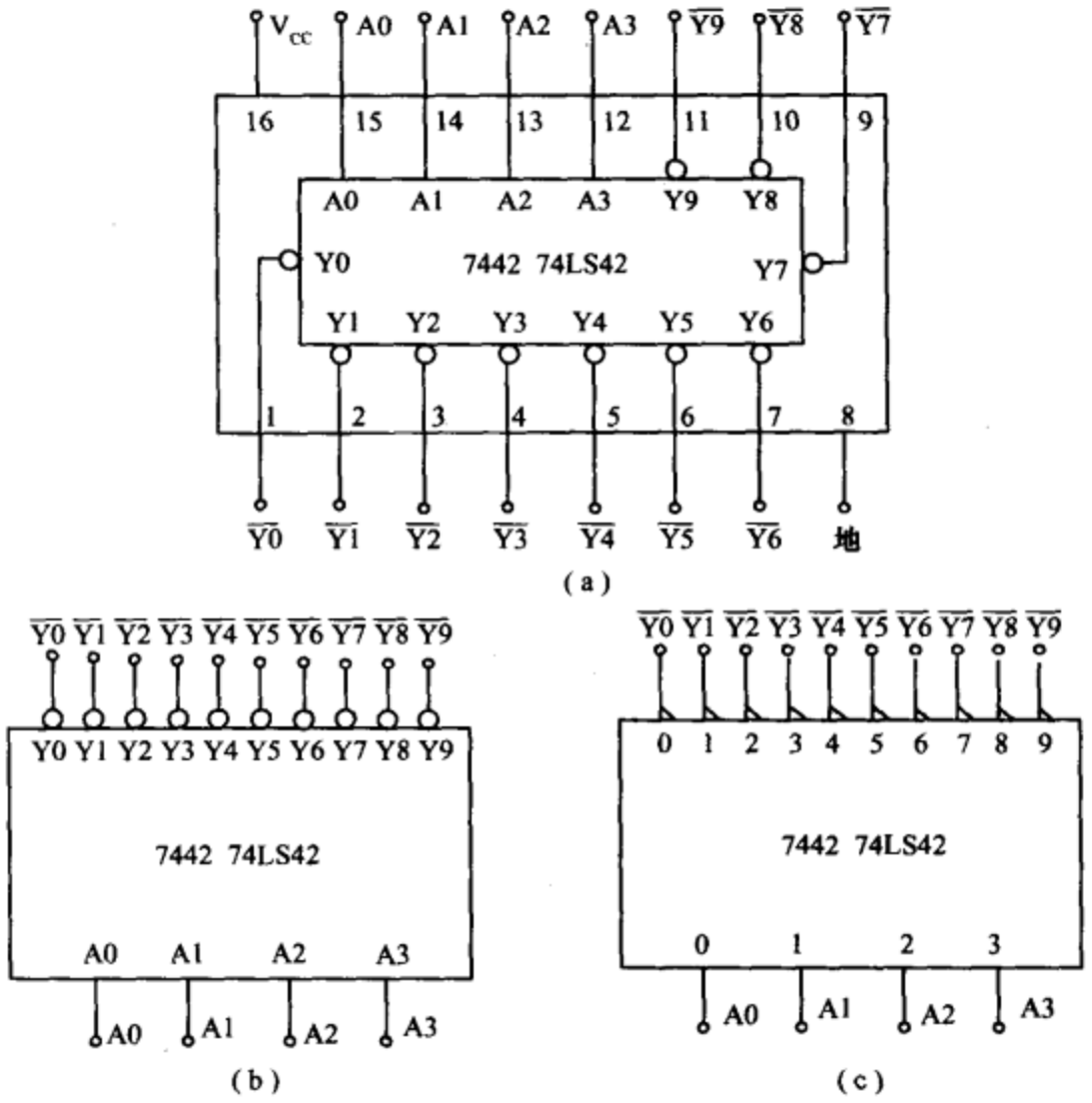


图 3-18　74LS42 外引线排列图、逻辑功能示意图和符号

(a)外引线排列图；(b)逻辑功能示意图；(c)国标符号。

表 3-14　8421BCD 输入 4 线—10 线译码器 74LS42 真值表

序号	输入				输出									
	A3	A2	A1	A0	$\overline{Y9}$	$\overline{Y8}$	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	1	1	0	1
2	0	0	1	0	1	1	1	1	1	1	1	0	1	1
3	0	0	1	1	1	1	1	1	1	1	0	1	1	1
4	0	1	0	0	1	1	1	1	1	0	1	1	1	1
5	0	1	0	1	1	1	1	1	0	1	1	1	1	1
6	0	1	1	0	1	1	1	0	1	1	1	1	1	1
7	0	1	1	1	1	1	0	1	1	1	1	1	1	1
8	1	0	0	0	1	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	1	1	1	1	1	1	1	1	1
伪码	1	0	1	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	1	1	0	0	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	1	1	1	1	1	1	1	1
	1	1	1	0	1	1	1	1	1	1	1	1	1	1
	1	1	1	1	1	1	1	1	1	1	1	1	1	1

与 74LS42 具有相同的逻辑功能且引脚相同的有 7442、74HC42(CMOS)等。

2)OC 型 8421BCD 码输入 4 线—10 线译码器 74LS45(7445)

该器件的引脚及译码真值表均与 74LS42 相同,所不同的是其输出端为集电极开路型,最大吸入电流可达 80mA,输出级耐压可达 30V。与其引脚及逻辑功能相兼容的器件还有 74LS145(吸入电流 80mA,耐压 15V)、74LS445(吸入电流 80mA,耐压 7V)。

三、二—十六进制译码器

二—十六进制译码器实现了四位二进制数的全译码功能,也就是说,这种译码器能将输入的 4 位二进制代码翻译 16 种状态,因此,二—十六进制译码器也称为 4 线—16 线译码器。

1. 4 线—16 线译码器 74LS154、74LS159

74LS154、74LS159 能将四位二进制数编码输入译成 16 个彼此独立的有效低电平输出之一,它们都具有两个低电平选通输入控制端,74LS159 为集电极开路型(OC)。

74LS154 的管脚排列如图 3-19 所示,真值表见表 3-15。

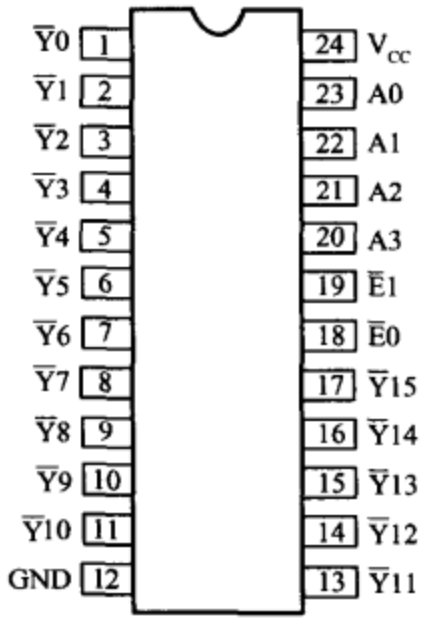


图 3-19　74LS154 的管脚排列图

表 3-15　4 线—16 线译码器 74LS154 的真值表

输入						输　出															
$\overline{E0}$	$\overline{E1}$	A3	A2	A1	A0	$\overline{Y15}$	$\overline{Y14}$	$\overline{Y13}$	$\overline{Y12}$	$\overline{Y11}$	$\overline{Y10}$	$\overline{Y9}$	$\overline{Y8}$	$\overline{Y7}$	$\overline{Y6}$	$\overline{Y5}$	$\overline{Y4}$	$\overline{Y3}$	$\overline{Y2}$	$\overline{Y1}$	$\overline{Y0}$
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	0	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	×	×	×	×	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	×	×	×	×	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	×	×	×	×	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

2. 4 线—16 线译码器 CD4514、CD4515

CD4514 和 CD4515 输入端都设置了一个 4 位数据锁存器，译码中具有 1 个低电平有效的选通输入端，便于片选和扩展使用，CD4514 为高电平有效输出，CD4515 为低电平有效输出，两者管脚完全兼容。图 3-20 为 CD4514 管脚排列图，表 3-16 为其真值表。

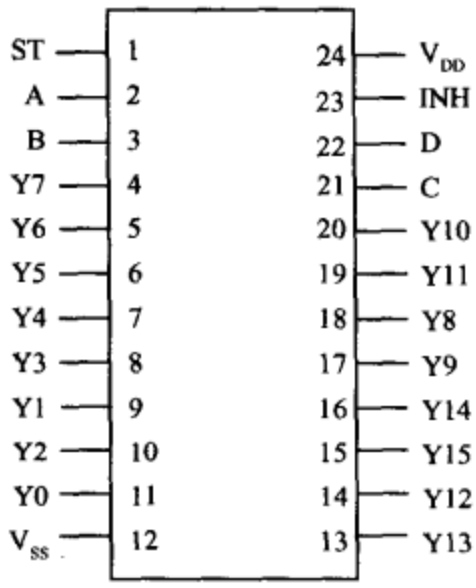


图 3-20　CD4514 管脚排列图

四、显示译码器

在数字测量仪表和各种数字系统中，都需要将数字量直观地显示出来，一方面供人们直接读取测量和运算的结果；另一方面用于监视数字系统的工作情况。因此，数字显示电路是许多数字设备不可缺少的部分。数字显示电路通常由译码器、驱动器和显示器等部分组成，如图 3-21 所示。

表 3-16　4 线—16 线译码器 CD4514 真值表

输入						输出															
ST	INH	D	C	B	A	Y15	Y14	Y13	Y12	Y11	Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	0	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
×	1	×	×	×	×	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	×	×	×	×	保持锁存前的状态															

1. 3 种常用的数码显示器

1)半导体显示器

某些特殊的半导体材料，例如，用磷砷化镓做成的 PN 结，当外加正向电压时，可以将

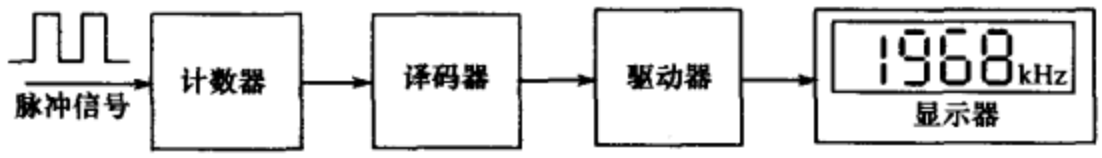


图 3-21　数字显示电路组成方框图

电能转换成光能，从而发出清晰悦目的光线。利用这样的 PN 结，既可以封装成单个的发光二极管(LED)，也可以封装成分段式(或者点阵式)的数码管，如图 3-22 所示。

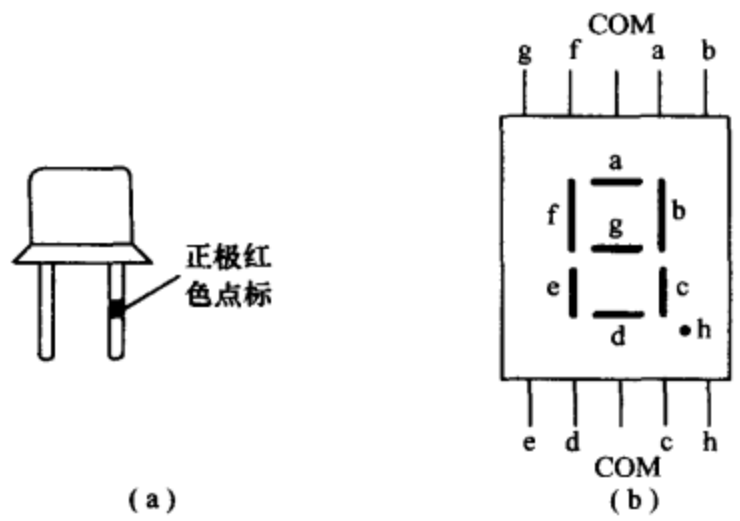


图 3-22　半导体发光二极管

(a)发光二极管；(b)数码管。

图 3-22 中点阵式显示器件内部实质上是 8 只发光二极管，分别记为 a、b、c、d、e、f、g、h，其中除 h 制成圆形用以表示小数点外，其余 7 只全部制成条形，并排列成如图所示的“8”字形状。每只发光二极管都有一根电极引到外部引脚上，而另外一根电极全部连接在一起，引到外引脚，称为公共极。

图 3-23(a)所示是把各个发光二极管的阳极都连在一起，从 COM 端引出，阴极分别从其他 8 根引脚引出，称为共阳结构。图 3-23(b)所示是把各个发光二极管的阴极都接在一起，从 COM 端引出，阳极分别从其他 8 根引脚引出，称为共阴结构。因此在购买和使用 LED 数码管时，必须看清是共阴还是共阳。

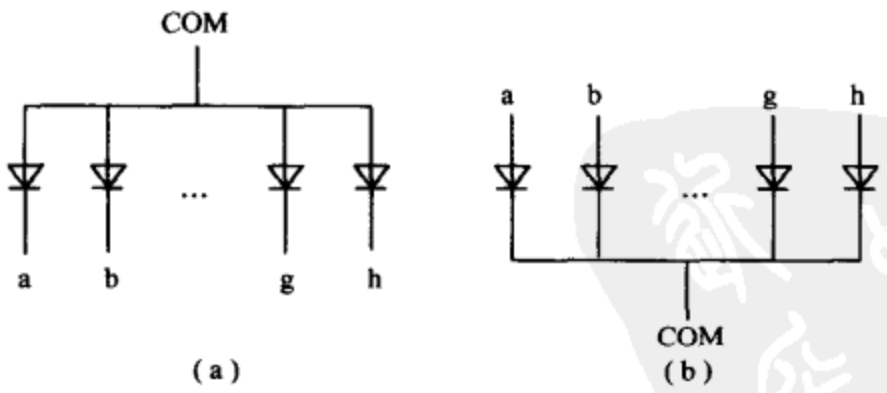


图 3-23　共阳和共阴数码管

(a)共阳结构；(b)共阴结构。

发光二极管既可以用半导体三极管驱动，也可以直接用 TTL 与非门驱动。电路如图 3-24 所示。

图 3-24 中，VD 为发光二极管(或数码管中一段)，G 导通或 VT 饱和时亮，R 是限流电阻。VD 的工作电压一般为 1.5V～3V，工作电流只需几毫安到十几毫安。调节 R，可

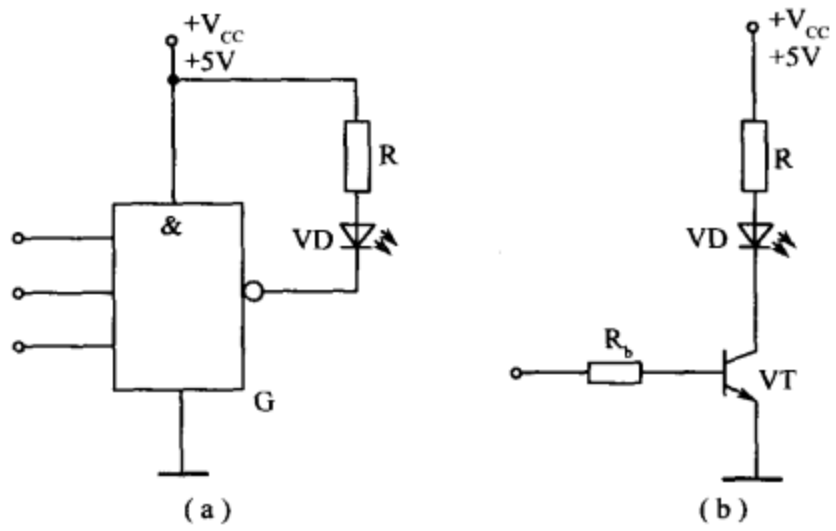


图 3-24　发光二极管的驱动电路

(a)集成与非门驱动电路；(b)半导体三极管驱动电路。

改变 VD 上的电压和流过其中的电流，从而控制发光二极管的亮度。

半导体显示器由于具有清晰悦目、工作电压低(1.5V～3V)、体积小、寿命长(>1000h)、响应速度快(1ns～100ns)、颜色丰富(有红、绿、黄等色)、工作可靠等特点，因此得到了广泛的应用。

2)液晶显示器件

液晶显示器件(LCD)是一种平板薄型显示器件，其驱动电压很低、工作电流极小，与 CMOS 电路结合起来可以组成微功耗系统，广泛地用于电子钟表、电子计算器、各种仪器和仪表中。

液晶显示板的结构如图 3-25 所示，它由两块平行的玻璃基板夹于其间的一层晶轴连续转向 90°的液晶层组成。玻璃基板的外侧处理成偏振方向互相正交的偏光镜层。

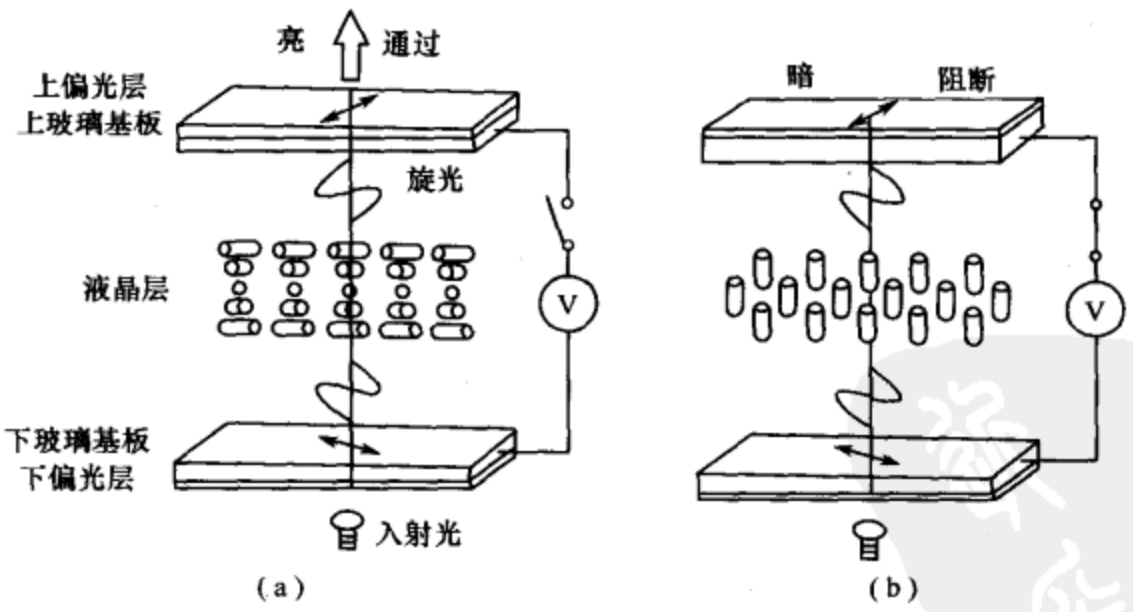


图 3-25　液晶板原理结构

(a)不加电压时；(b)加电压时。

液晶是一种既具有液体的流动性，又具有晶体光学特性的有机化合物，它的透明度和显示的颜色受外加电场的控制。在没有外电压且入射光从偏光板的一侧射入时，光线就成为偏振光，光轴与偏振镜的轴向一致。偏振光进入液晶层后，由于液晶的排列方式使射出液晶层的偏振光光轴已发生 90°的旋转。与上板偏振轴向一致，光线得以通过，呈亮点。如图 3-25(a)所示。

当给上、下玻璃板加电压时，液晶分子排列与电场方向一致，旋光特性消失。出射光线的偏振轴方向就与上偏振镜的光轴正交，光线被阻挡，呈暗点。

由此可见，通过控制外加电压可以控制液晶光点的强弱。为了提高液晶板寿命，要求在液晶显示器的两个电极间加上 50Hz～500Hz 的交变电压（一般为对称方波），而在不显示期间两极间电压应为零。

对于常见的 7 段液晶显示器，一般把透明的正面电极做成 7 段，并排列成如图 3-26 所示形状，只要选择不同的“段”并加以正电压（相对于公共电极），便会显示出数码。

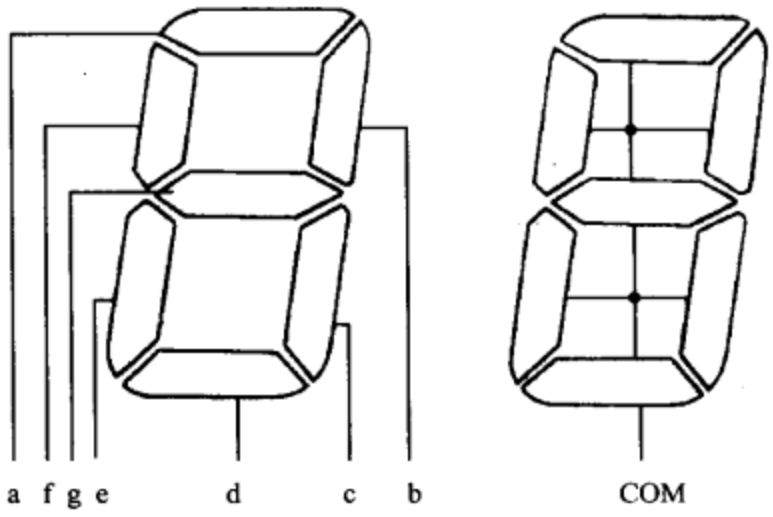


图 3-26　7 段液晶显示器件的电极引线

3）荧光数码管

荧光数码管是一种“电子管”器件，其外壳为玻璃制品，外形各有所异，有单字的，也有在一个玻璃壳内排列了若干个字的。这种显示器一般都发绿光，字形不是整体形，而是制成 7 段（包含小数点共 8 段），故称为 7 段（8 段）荧光数码显示器，这种显示器的内部基本结构有 1 个阴极（由灯丝兼作）、1 个网状的栅极、7 个或 8 个阳极（即字段），常见的单字外形如图 3-27（a）所示，而接线示意图如图 3-28（b）所示。工作时须加 1.5V～6V（视具体器件说明）的灯丝电压使灯丝加热而发射电子，该电压可以是直流也可以是交流。当阳极为低电平时，阴极（灯丝）所发射的电子被栅极截获形成栅流。当某阳极加正电压时，电子被该阳极电场吸引，并轰击阳极表面的荧光物质而发光。

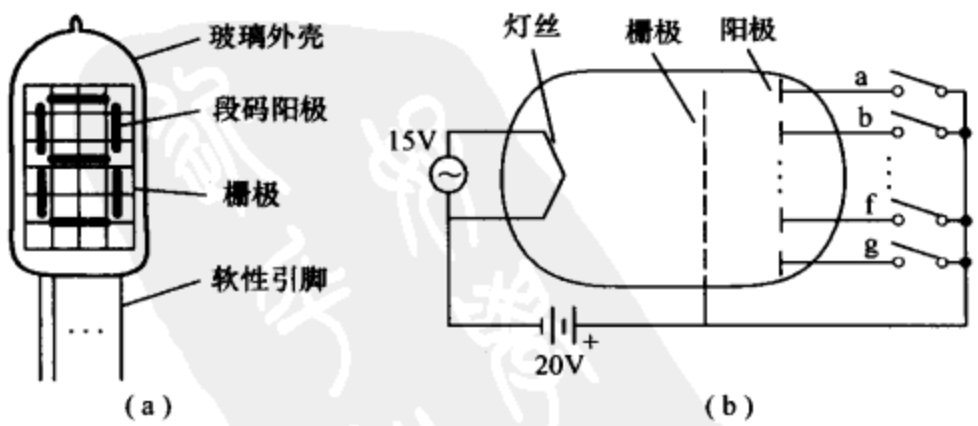


图 3-27　荧光数码管的结构

（a）外形图；（b）接线示意图。

荧光数码管的主要优点是驱动电流较小、字形较亮；主要缺点是需要加热灯丝，因而消耗功率较大、灯丝阴极老化快（影响使用寿命）、玻璃外壳易碎。

2. 显示译码器的原理

设计和选用显示译码器时，首先要考虑显示器的字形，现以驱动 7 段发光二极管的二—十进制译码器为例，简要说明显示译码器的基本工作原理。

设输入为 8421 BCD 码，输出是驱动 7 段发光二极管显示字形的信号——Y_a、Y_b、Y_c、Y_d、Y_e、Y_f、Y_g。示意图如图 3-28 所示。

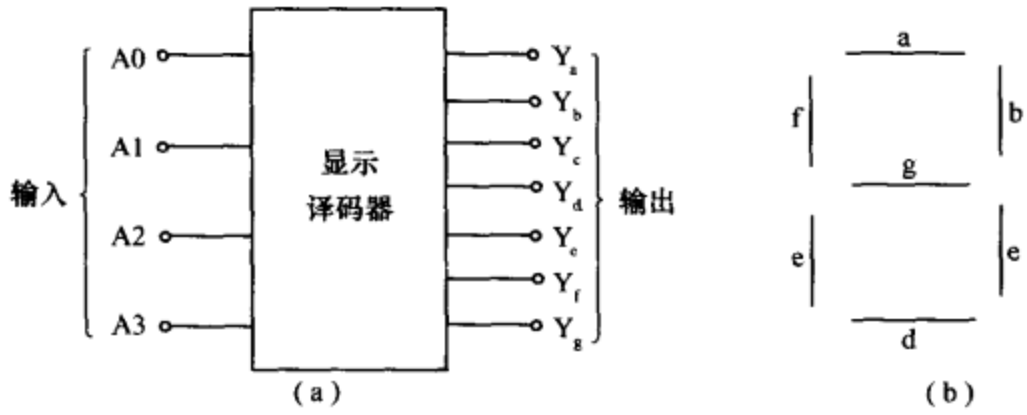


图 3-28　显示译码器

(a)输入、输出示意图；(b)7 段字形。

若采用共阳极数码管，则 Y_a～Y_g应为 0，即低电平有效；反之，如果采用共阴极数码管，那么 Y_a～Y_g应为 1，即高电平有效。所谓有效，就是能驱动显示段发光。假定采用共阳极数码管，真值表见表 3-17。

表 3-17　显示译码器真值表

输入				输　出							字型
A3	A2	A1	A0	Y_a	Y_b	Y_c	Y_d	Y_e	Y_f	Y_g	
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9

根据真值表可求出 Y_a～Y_g逻辑表达式，根据逻辑表达式，不难画出译码器的逻辑图。

需要指出的是，由于采用了共阳极 7 段发光二极管显示器，因此显示译码器各个输出端必须具有足够的吸收电流的能力，也即带灌电流的能力，以驱动有关显示段发光。因为共阳极结构的显示器，电源正极是接在阳极上，显示段发光时其电流由阴极流出进入译码器，相应输出端形成灌电流负载，接线图如图 3-29 所示。总之，显示译码器的输出级的电路结构形式与所选用显示器的结构形式应相匹配，否则不仅不能正常工作，甚至会导致器件损坏。

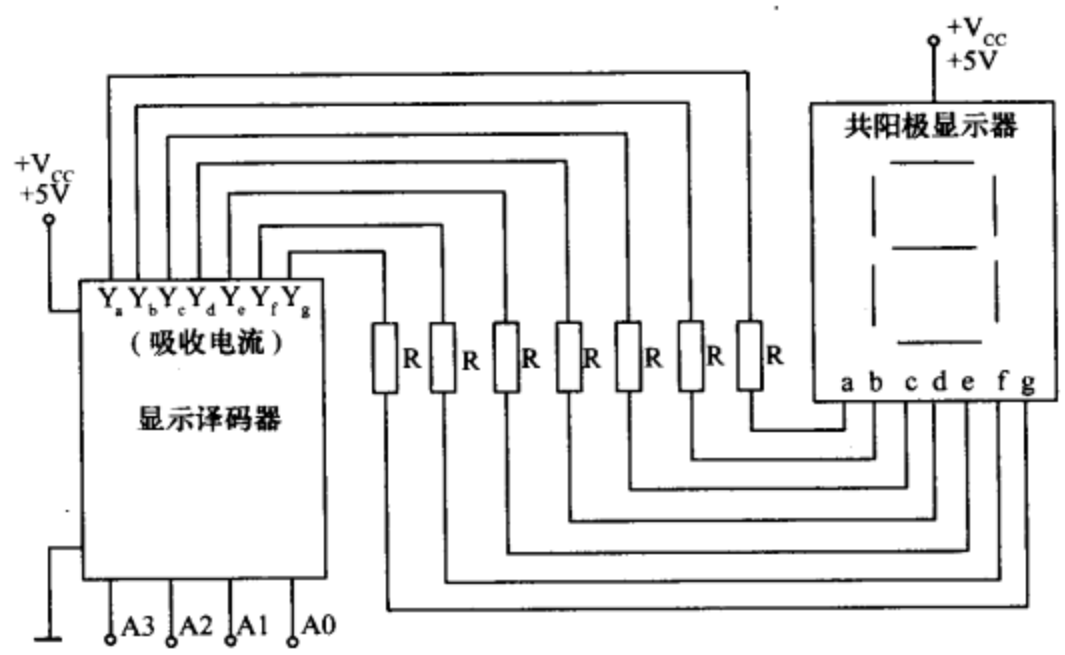


图 3-29　显示译码器与共阳极显示器的接线图

3. 实用显示译码器

在早期的数字电路应用中，BCD/10 线译码器的一个主要用途是用来配合显示器件构成显示电路，这种显示器件的每位都由(0～9)10 个独立的字形组成，每个学形都必须由一根控制线控制，因此必须有 10 根控制线才能控制一位数字。现在的数字显示器件绝大多数使用 7 段显示器，与之匹配使用的是 7 段译码器，因此 7 段译码器有着非常重要的用途。

BCD/7 段译码器有各种不同的规格和品种。例如，用来驱动 7 段字形显示器的 BCD——7 段字形译码器，就有适用于共阳极字形管的产品——OC 输出、无上拉电阻、0 电平驱动的 74247、74LS247 等；有适用于共阴极字形管的产品——OC 输出、有 2kΩ 上拉电阻、1 电平驱动的 7448、74LS48、74248、74LS248 等和 OC 输出、无上拉电阻、1 电平驱动的 74249、74LS249、7449 等。下面介绍几种常用的显示译码集成电路。

1）BCD/7 段译码器 74LS48(7448、74HC48)

74LS48 的引脚图如图 3-30 所示，其译码表见表 3-18，该译码器的 BCD 码输入端为 A、B、C、D，输出端 a、b、c、d、e、f、g 共 7 根线，另有 3 根控制端$\overline{LT}$、$\overline{RBI}$、$\overline{BI}/\overline{RBO}$，其功能分别说明如下。

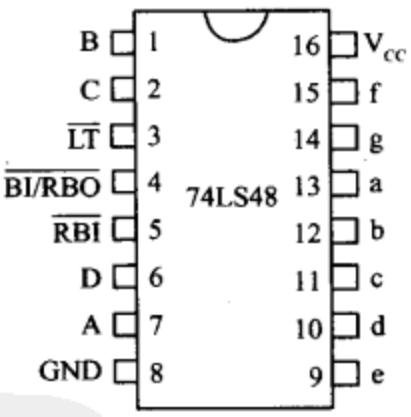


图 3-30　7 段译码器 74LS48 引脚图

表 3-18　7 段译码器 74LS48 真值表

十进制数	输入						$\overline{BI}/\overline{RBO}$	输出							显示
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
	0	×	×	×	×	×	1	1	1	1	1	1	1	1	8
	1	0	0	0	0	0	1	0	0	0	0	0	0	0	灭
	×	×	×	×	×	×	0	0	0	0	0	0	0	0	灭
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	0

（续）

十进制数	输入						$\overline{BI}/\overline{RBO}$	输出							显示
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
1	1	×	0	0	0	1	1	0	1	1	0	0	0	0	1
2	1	×	0	0	1	0	1	1	1	0	1	1	0	1	2
3	1	×	0	0	1	1	1	1	1	1	1	0	0	1	3
4	1	×	0	1	0	0	1	0	1	1	0	0	1	1	4
5	1	×	0	1	0	1	1	1	0	1	1	0	1	1	5
6	1	×	0	1	1	0	1	0	0	1	1	1	1	1	6
7	1	×	0	1	1	1	1	1	1	1	0	0	0	0	7
8	1	×	1	0	0	0	1	1	1	1	1	1	1	1	8
9	1	×	1	0	0	1	1	1	1	1	1	0	1	1	9
10	1	×	1	0	1	0	1	0	0	0	1	1	0	1	灭
11	1	×	1	0	1	1	1	0	0	1	1	0	0	1	灭
12	1	×	1	1	0	0	1	0	1	0	0	0	1	1	灭
13	1	×	1	1	0	1	1	1	0	0	1	0	1	1	灭
14	1	×	1	1	1	0	1	0	0	0	1	1	1	1	灭
15	1	×	1	1	1	1	1	0	0	0	0	0	0	0	灭

$\overline{LT}$端：测试端，当该端为低电平时（必须在$\overline{BI}/\overline{RBO}$端接高电平的前提下），a～g 共 7 个输出端全为高电平，这种情况下可用于使 7 段显示器显示“8”字形，此功能用于测试器件。

$\overline{RBI}$：灭零输入端。当该端为低电平时（前提必须$\overline{LT}=1$，$\overline{BI}/\overline{RBO}=1$），若输入 ABCD=0000，则输出 a～g 全为低电平，此时可使共阴 7 段显示器熄灭；但当输入 A、B、C、D 不全为零时，仍能正常译码输出，使显示器正常显示。在显示数不只 1 位的情况下，灭零功能是必要的。例如有一个两位的显示器，当十位数为 0 时，按传统习惯应当不予显示，此时就要用到“灭零”功能，只需将该位的$\overline{RBI}$端接地即可，如图 3-31 所示。

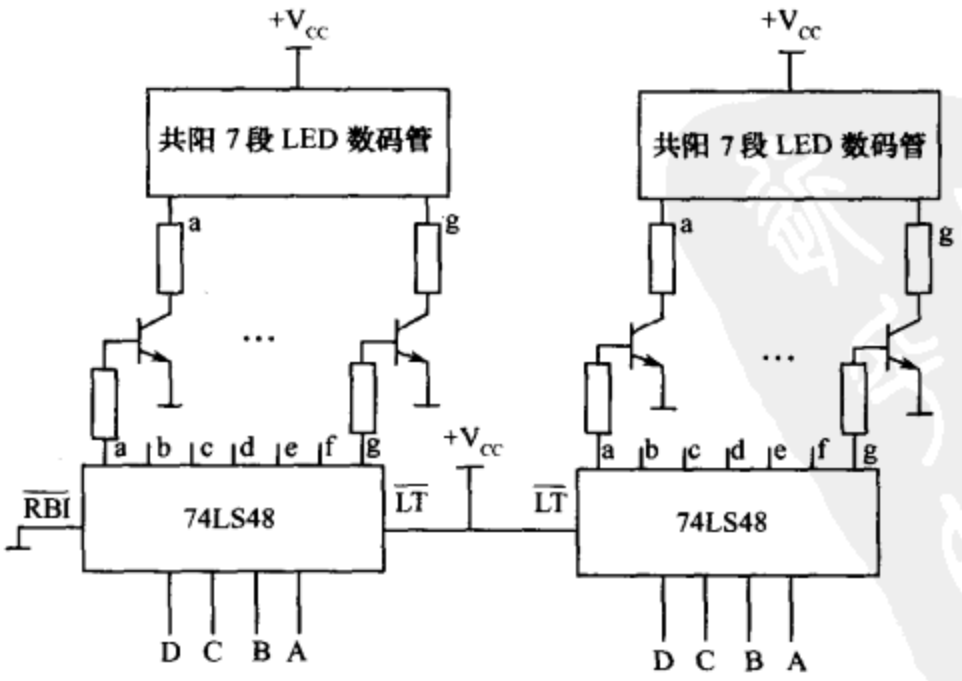


图 3-31　灭零的接法

$\overline{BI}/\overline{RBO}$：一方面可作为消隐输入端($\overline{BI}$)，作为输入控制端时，具有最高级别的控制权，当该端为低电平时，不管其他输入端是何状态，输出端 a～g 均为低电平，这可用于使 7 段显示器熄灭；另一方面，该脚还有第二功能，称为灭零信号输出端($\overline{RBO}$)，它的作用是用来控制与之相连的下一位显示器是否需要灭零功能。当该位输入的 BCD 码为 0 且具有“灭零”功能(即$\overline{RBI}$=0 时)$\overline{RBO}$输出低电平，并将此信号接向下一位译码器的$\overline{RBI}$端，即可控制下一位译码器也且有灭零功能。但若本位输入的 BCD 码不为零，则$\overline{RBO}$输出高电平，这使下一位的$\overline{RBI}$端为高电平，亦不具有灭零功能。

将$\overline{RBO}$和$\overline{RBI}$端配合使用，很容易实现多位数码显示时的灭零控制。例如在图 3-32 所示的 5 位数码显示系统中，将整数部分高位的$\overline{RBO}$接向低位的$\overline{RBI}$端，并将最高位的$\overline{RBI}$接地，这样当最高位为零而“灭零”时，其$\overline{RBO}$输出低电平，使下一位的$\overline{RBI}$为低电平，因此也具有“灭零”功能；而在小数部分。应将低位的$\overline{RBO}$接至高位的$\overline{RBI}$，且将最低位的$\overline{RBI}$接地，注意个位的$\overline{RBI}$应悬空或接高电平。

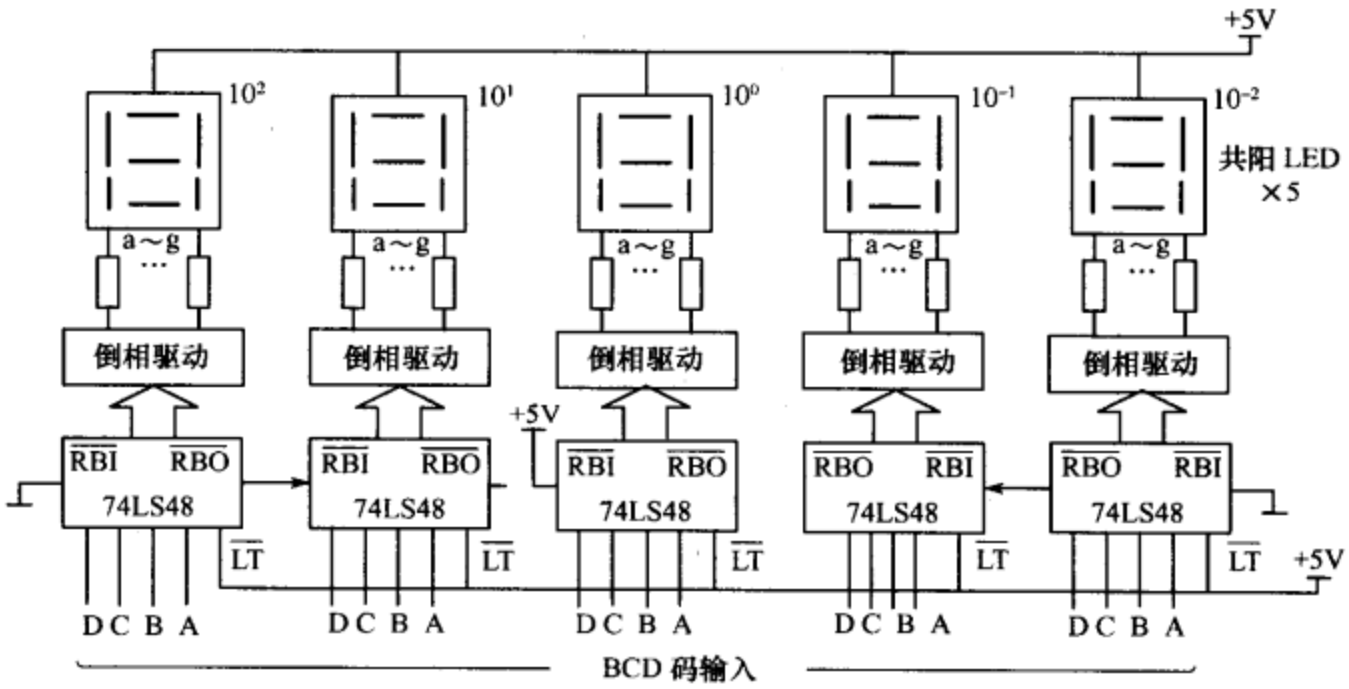


图 3-32　有灭零控制功能的五位数字显示系统

2)OC 型 BCD/7 段译码器 74LS46/47

上面介绍的 BCD/7 段译码器 74LS48 的输出端内部通过一个约 2kΩ 的上拉电阻接至电源端，因此高电平输出电流较小，一般情况下不能驱动数字显示器。在实际应用中，必须在输出端加接驱动电路或另外加接约 680Ω～1kΩ 的上拉电阻，这给使用带来不便。74LS46/47 译码器所有的引脚排列及功能均与 74LS48 相同，仅输出端 a～g 为反码输出，且输出端为集电极开路型，可以直接驱动共阳数字显示器，因此给使用带来了方便。其译码表可参考 74LS48 的译码表，只需将段码 a～g 取相反值即可。

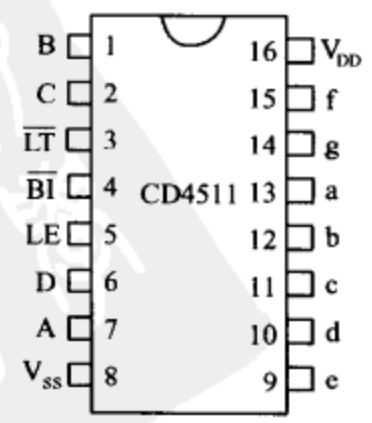


图 3-33　7 段译码器 CD4511 引脚图

3)BCD/7 段译码器 CD4511

BCD/7 段译码器 CD4511 是一种 CMOS 器件，工作电压范围宽(3V～15V)，高电平输出电流可达 25mA，其引脚图如图 3-33 所示，译码表见表 3-19。CD4511 除了 BCD 码输入

表 3-19　7 段译码器 CD4511 译码器真值表

输　入							输　出							显示
LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	
×	×	0	×	×	×	×	1	1	1	1	1	1	1	8
×	0	1	×	×	×	×	0	0	0	0	0	0	0	灭
1	1	1	×	×	×	×	锁存							维持
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	1	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	灭
0	1	1	1	0	1	1	0	0	0	0	0	0	0	灭
0	1	1	1	1	0	0	0	0	0	0	0	0	0	灭
0	1	1	1	1	0	1	0	0	0	0	0	0	0	灭
0	1	1	1	1	1	0	0	0	0	0	0	0	0	灭
0	1	1	1	1	1	1	0	0	0	0	0	0	0	灭

A、B、C、D 外，另外还有 LE、$\overline{BI}$、$\overline{LT}$3 个输入端，它们的功能如下所述。

LE：锁定允许端。当$\overline{BI}$、$\overline{LT}$为 1 时，若该端为高电平，则加在 A、B、C、D 端的外部编码信息不能进入译码，所以译码器的输出状态保持不变；若 LE＝0，则 A、B、C、D 端的 BCD 码一经改变，译码器就立即输出新的译码值。

$\overline{BI}$：消隐端。当$\overline{LT}$＝1 时，若该端为低电平，则译码器输出全为 0，在一般应用中应接高电平。

$\overline{LT}$：测试端。如果该端为低电平，则译码器输出全为高电平，该端拥有最高级别权限，只要它为 0，即有上述现象，而与其余所有输入端状态无关。这一功能主要用于测试目的，因此正常使用中应接高电平。

4）BCD/7 段译码器 CD4513(MC14513)

BCD/7 段译码器 CD4513 功能与 CD4511 类似，不过 CD4513 具有灭零输入和输出功能。CD4513 管脚功能如图 3-34 所示，真值表见表 3-20。

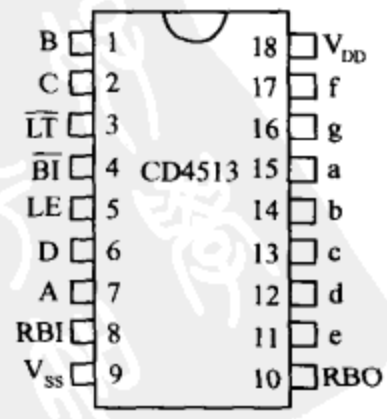


图 3-34　CD4513 管脚排列图

表 3-20　7 段译码器 CD4513 译码器真值表

输　入								输　出								显示
RBI	LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	RBO	a	b	c	d	e	f	g	
×	×	×	0	×	×	×	×	×	1	1	1	1	1	1	1	8
×	×	0	1	×	×	×	×	×	0	0	0	0	0	0	0	灭
1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	灭
×	1	1	1	×	×	×	×	×	锁存							维持
0	0	1	1	0	0	0	0	0	1	1	1	1	1	1	0	0
×	0	1	1	0	0	0	1	0	0	1	1	0	0	0	0	1
×	0	1	1	0	0	1	0	0	1	1	0	1	1	0	1	2
×	0	1	1	0	0	1	1	0	1	1	1	1	0	0	1	3
×	0	1	1	0	1	0	0	0	0	1	1	0	0	1	1	4
×	0	1	1	0	1	0	1	0	1	0	1	1	0	1	1	5
×	0	1	1	0	1	1	0	0	1	0	1	1	1	1	1	6
×	0	1	1	0	1	1	1	0	1	1	1	0	0	0	0	7
×	0	1	1	1	0	0	0	0	1	1	1	1	1	1	1	8
×	0	1	1	1	0	0	1	0	1	1	1	1	0	1	1	9
×	0	1	1	1	0	1	0	0	0	0	0	0	0	0	0	灭
×	0	1	1	1	0	1	1	0	0	0	0	0	0	0	0	灭
×	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	灭
×	0	1	1	1	1	0	1	0	0	0	0	0	0	0	0	灭
×	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	灭
×	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0	灭

4. LED 数码显示方法和电路

点阵式显示器件不仅可以显示数字，还可显示各种符号、文字甚至图形，但点阵式显示电路较复杂，仅使用硬件电路难以实现，必须在单片机（如 8051）的控制下配以相应的软件才能实现。下面主要以 8 段 LED 显示器为例来介绍数码显示的基本方法和相关电路。

根据 LED 数码管结构可知，如果希望显示 8 字，那么除了 h 管不要点亮以外，其余管全部点亮。同理，如果要显示 1，那么，只需 b、c 两个发光二极管点亮。对于共阳结构，就是要把公构端 COM 接到电源正极，而 b、c 两个负极分别经过一个限流电阻后接低电平；对于共阴结构，就是要把公共端 COM 接低电平（电源负极），而 b、c 两个正极分别经一个限流电阻后接到高电平。接照同样的方法分析其他显示数，可以得到表 3-21 所列的段码。

表 3-21　8 段 LED 数码管段位与显示数的关系

显示	共阳									共阴								
	h	g	f	e	d	c	b	a	十六进制数	h	g	f	e	d	c	b	a	十六进制数
0	1	1	0	0	0	0	0	0	C0H	0	0	1	1	1	1	1	1	3FH
1	1	1	1	1	1	0	0	1	F9H	0	0	0	0	0	1	1	0	06H
2	1	0	1	0	0	1	0	0	A4H	0	1	0	1	1	0	1	1	5BH
3	1	0	1	1	0	0	0	0	B0H	0	1	0	0	1	1	1	1	4FH
4	1	0	0	1	1	0	0	1	99H	0	1	1	0	0	1	1	0	66H
5	1	0	0	1	0	0	1	0	92H	0	1	1	0	1	1	0	1	6DH
6	1	0	0	0	0	0	1	0	82H	0	1	1	1	1	1	0	1	7DH
7	1	1	1	1	1	0	0	0	F8H	0	0	0	0	0	1	1	1	07H
8	1	0	0	0	0	0	0	0	80H	0	1	1	1	1	1	1	1	7FH
9	1	0	0	1	0	0	0	0	90H	0	1	1	0	1	1	1	1	6FH
A	1	0	0	0	1	0	0	0	88H	0	1	1	1	0	1	1	1	77H
B	1	0	0	0	0	0	1	1	83H	0	1	1	1	1	1	0	0	7CH
C	1	1	0	0	0	1	1	0	C6H	0	0	1	1	1	0	0	1	39H
D	1	0	1	0	0	0	0	1	A1H	0	1	0	1	1	1	1	0	5EH
E	1	0	0	0	0	1	1	0	86H	0	1	1	1	1	0	0	1	79H
F	1	0	0	0	1	1	1	0	8EH	0	1	1	1	0	0	0	1	71H
灭	1	1	1	1	1	1	1	1	FFH	0	0	0	0	0	0	0	0	00H

这种规定和定义并非是一成不变的，在实际应用中，为了减少走线交叉便于电路板布线，设计者可自行定义 8 段 LED 显示器的引脚符号，并根据其工作原理编制相应的“段码表”以及设计与之相匹配的联接电路。

1)静态显示方法

所谓静态显示，就是当显示某一个数字时，代表相应笔划的发光二极管恒定发光，例如 8 段数码管的 a、b、c、d、e、f 笔段亮时显示数字 0；b、c 亮时显示 1；a、b、d、e、g 亮时显示 2 等。

图 3-35 所示是 LED 数码管静态显示电路。每位数码管的公共端 COM 接在一起接正电压(共阳数码管)或接地(共阴数码管)。段选线分别通过限流电阻与段驱动电路连接。限流电阻的阻值根据驱动电压和 LED 的额定电流确定。

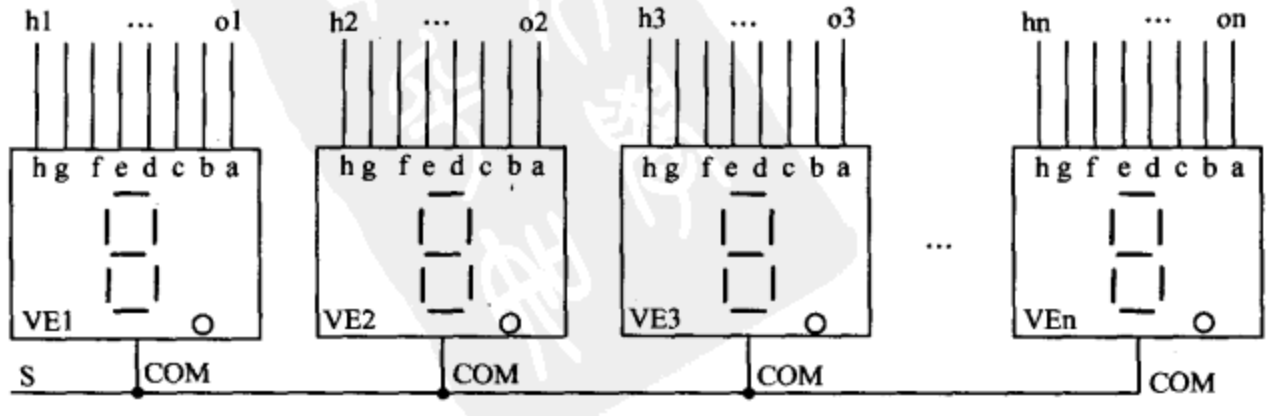


图 3-35　静态显示电路

静态显示的优点是显示稳定、在驱动电流一定的情况下显示的亮度高；缺点是使用元器件较多(每一位都需要一个驱动器，每一段都需要一个限流电阻)、连接线多。

图 3-36 所示是使用 7 段译码驱动集成电路 CD4511 构成显示电路。由于 CD4511 译码器输出的段码 g～a(见表 3-19)与共阴 LED 显示器的段码 g～a(见表 3-21)相一致，因此可以用 CD4511 来驱动 7 段共阴 LED 显示器。例如，若从 D、C、B、A 端输入 1001，由 CD4511 译码表可知，这时输出 g～a 中，除了 e 为低电平外，其余均为高电平，这与表 3-21 中显示数为 9 的那一行共阴段码 g～a 的值相同。对照 LED 数码管结构，可知 e 段不亮，因此显示 9 字。

在选择 7 段译码集成电路时应注意到所选用的 7 段 LED 显示器是否与之相匹配(共阴或共阳)，以上介绍的是共阴 LED 显示器的使用方法。若使用的是共阳 LED，必须使用段码输出为“低电平有效”的译码器，否则必须加接反相器。图 3-37 所示为共阳 LED 与译码器 74LS46/47 的连接方法。

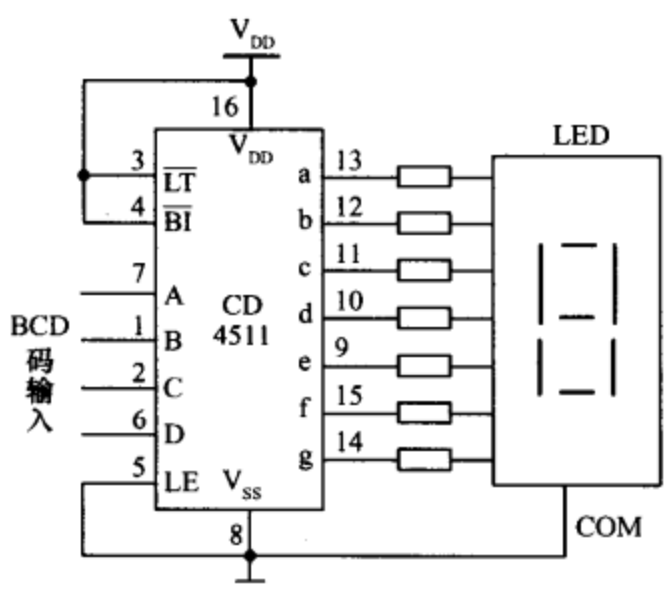


图 3-36 由 CD4511 构成的 LED 显示电路

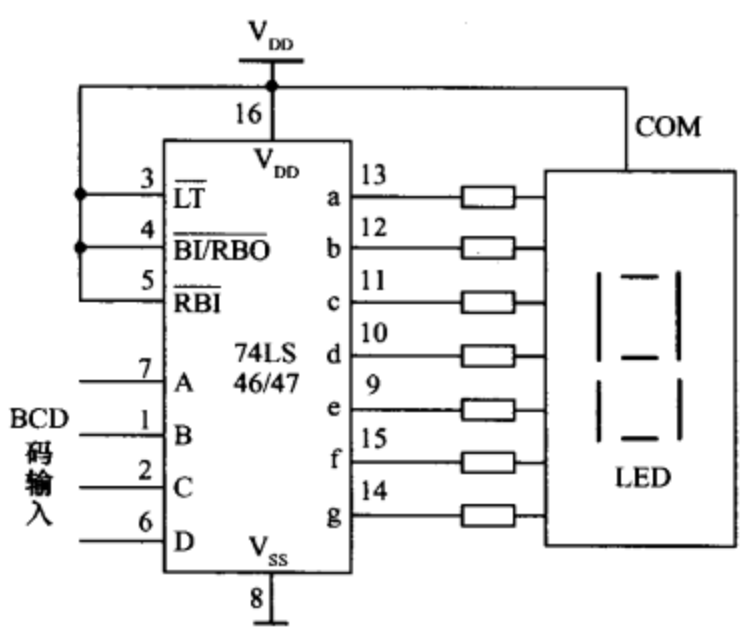


图 3-37 由 74LS46 构成的 LED 显示电路

阅读材料：软件译码 LED 显示电路

上面介绍的显示电路是利用电路本身实现译码，并将 BCD 码转换为特定的一组编码——段码输出，我们称之为硬件译码法。在单片机的应用中，产生段码的方法却完全不同，它是由单片机(如 8051)把所希望显示的数字、符号等转换为“段码”使 LED 显示器显示的。该转换工作由人为编制的程序(软件)来完成，故可称之为软件译码法。软件译码比硬件译码灵活，现有的硬件译码器一般只能显示 0～9 这 10 个数字，不能显示小数点(有些也能显示少量的几种符号)；而软件译码无需对电路作任何改动，就可轻而易举地译出任意段以及它们的任意组合，可以实现小数点的浮动显示。译码显示原理结合图如图 3-38 所示，说明如下。

图 3-38 中，集成电路 74LS273(在时序电路一章中还要介绍)是一种锁存器，它的功能是：先在输入端 D7～D0 上加二进制码，随即在 CLK 端施以一个脉冲，在该脉冲的上跳沿，事先加在输入端的二进制码立即进入集成电路内部并同时出现在输出端 Q7～Q0；在 CLK 端的脉冲上跳沿过后，该二进制码能一直保存在集成电路内部，输出端 Q7～Q0 也就一直维持这种状态，而在不管输入端 D7～D0 的状态如何改变，该集成电路的这种功能称为锁存功能。现在假设需要显示 8，不显示小数点，采用共阳 8 段 LED 显示器。则显

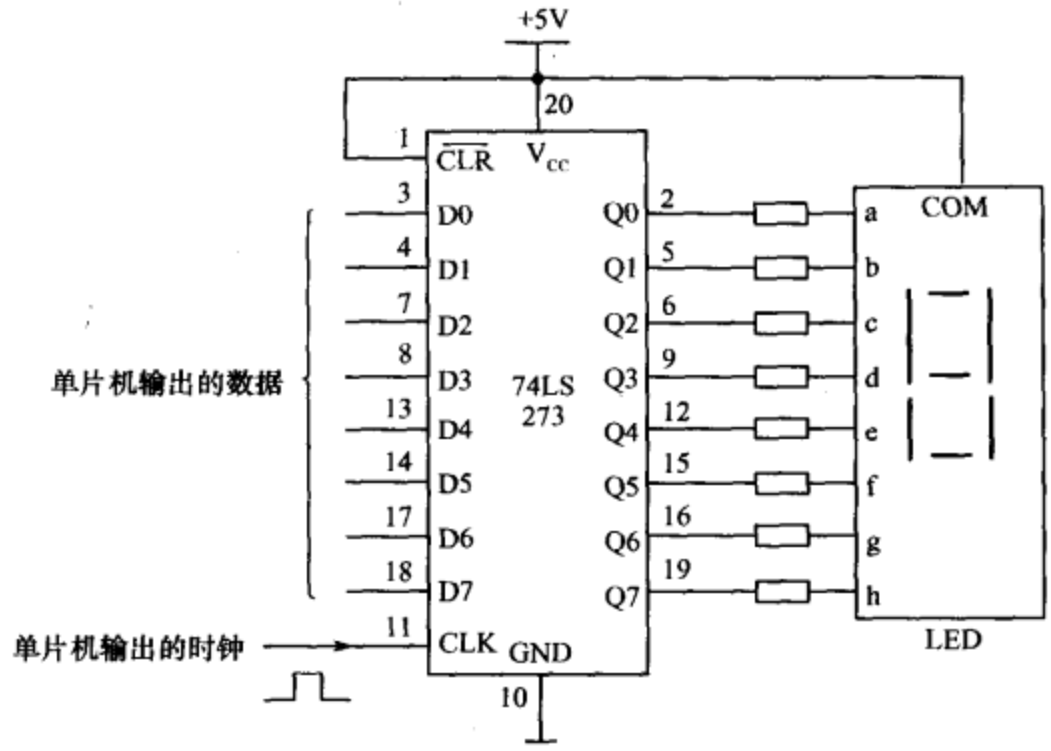


图 3-38　软件译码共阳 LED 显示器的接法

示 8 的段码 h、g、f、e、d、c、b、a 应为 10000000(记为 16 进制数 80H)，那么，单片机只需从其数据总线送出 80H 到 74LS273 的输入端 D7～D0，随即向 74LS273 的 CLK 端送一上跳变信号，80H 即出现并锁存在 74LS173 的输出端 Q7～Q0。于是共阳 LED 的 a～g 各段阴极均被接向低电平，h 段被接向高电平，那么除 h 段外，其余各段均点亮而显示 8 字。根据这一原理，可以使 LED 显示多种符号，例如，希望显示 H，根据图 LED 结构图可知，除 a、d 两段不应点亮外，其余各段均应点亮；对于共阳 LED 显示器来讲，必须使hgfedcba=00001001(09H)。因此，单片机只要从数据总线送出 09H，随即对 74LS273 的 CLK 端加上跳变信号即可。

图 3-39 是采用软件译码法的共阴 LED 显示器的一种显示电路，该电路使用的段码与前一电路相反。

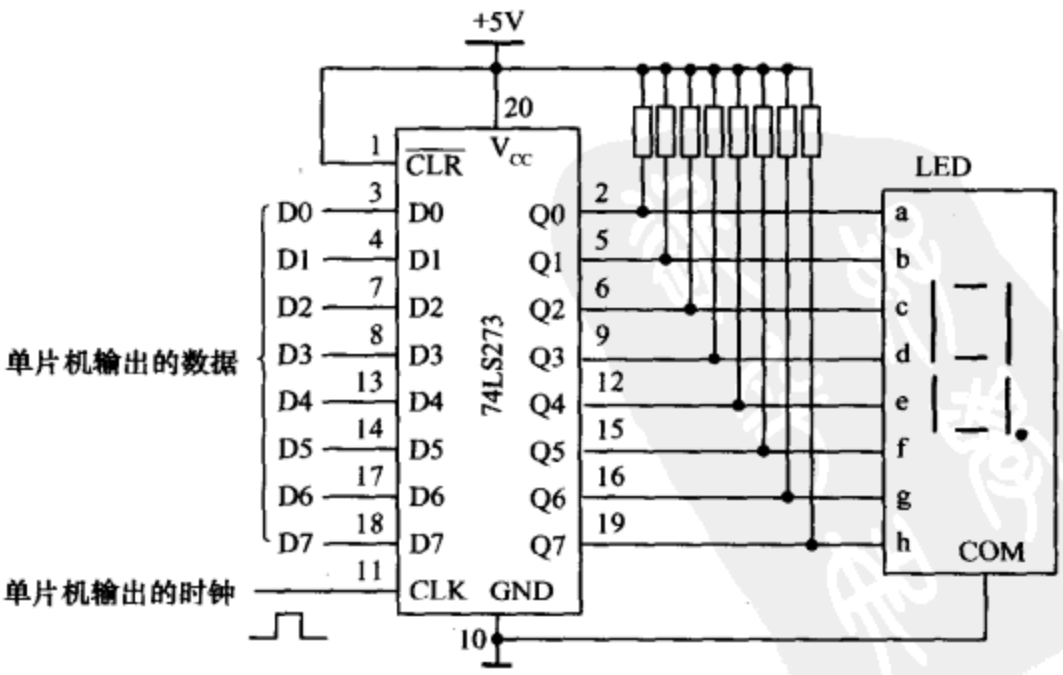


图 3-39　软件译码共阴 LED 显示器的接法

2)动态显示方法

静态显示方法的最大缺点是使用元件多、引线多、电路复杂;而动态显示使用的元件少、引线少、电路简单。仅从引线角度考,静态显示从显示器到控制电路的基本引线数为"段数×位数",而动态显示从显示器到控制电路的基本引线数为"段数+位数"。以5位显示为例,动态显示时的基本引线数为7+5=12(无小数点)或8+5=13(有小数点),而静态显示的基本引线数为7×5=35(无小数点)或8×5=40(有小数点)。在实际应用中,显示器与主电路往往不会安装在同一块电路板上,有时甚至有一段距离,因此静态显示的引线数大多会给实际安装、加工工艺带来困难。

动态显示所显示的若干位数是逐位轮流显示的,周而复始不断循环,只要轮流的速度足够快(每秒轮流25次以上),由于人眼"视觉暂留"的特性,感觉不到显示器的闪动,所看到的是连续显示一组数字。图3-40(a)所示是一种采用动态显示方法的接线图,它把所有LED显示器的各个段对应并联,而各位的公共极(本图采用共阴LED,公共极是发光二极管的阴极)受到独立控制,控制信号分别为S1、S2、S3。译码器CD4511的输入为所要显示数的BCD码,各信号之间的对应关系如图3-40(b)所示。在$t1$～$t2$期间译码器输入"个位"的BCD码,经CD4511译码输出相应的段码加到各个LED数码管的阳级a～g;在这期间只有控制信号S1为高电平,三极管T1饱和导通把个位LED的阴极接向地,使该位LED点亮,显示个位数;而控制信号S2、S3为低电平,故三极管T2、T3截止,使十位、百位LED的阴极不能接向低电平,因此十位、百位的灯不亮。在$t2$～$t3$期间,向CD4511送入"十位"的BCD码,相应地使控制信号S2为高电平,而S1、S3为低电平,故只有三极管T2饱和导通,而T1、T3截止,即只有"十位"LED点亮。同理在$t3$～$t4$期间只有"百位"LED点亮。此规律周而复始不断循环,就使得个位、十位、百位三个LED依次轮流循环显示,这就是动态扫描显示的原理,控制信号S1、S2、S3称为"位扫描"信号。从以上分析可以看到,动态扫描显示方式可以十分有效地减少元件、减少引线,尤其是在显示位数较多时,其优越性就更为突出,因此在现代数字电路应用中,大多采用这种方式。

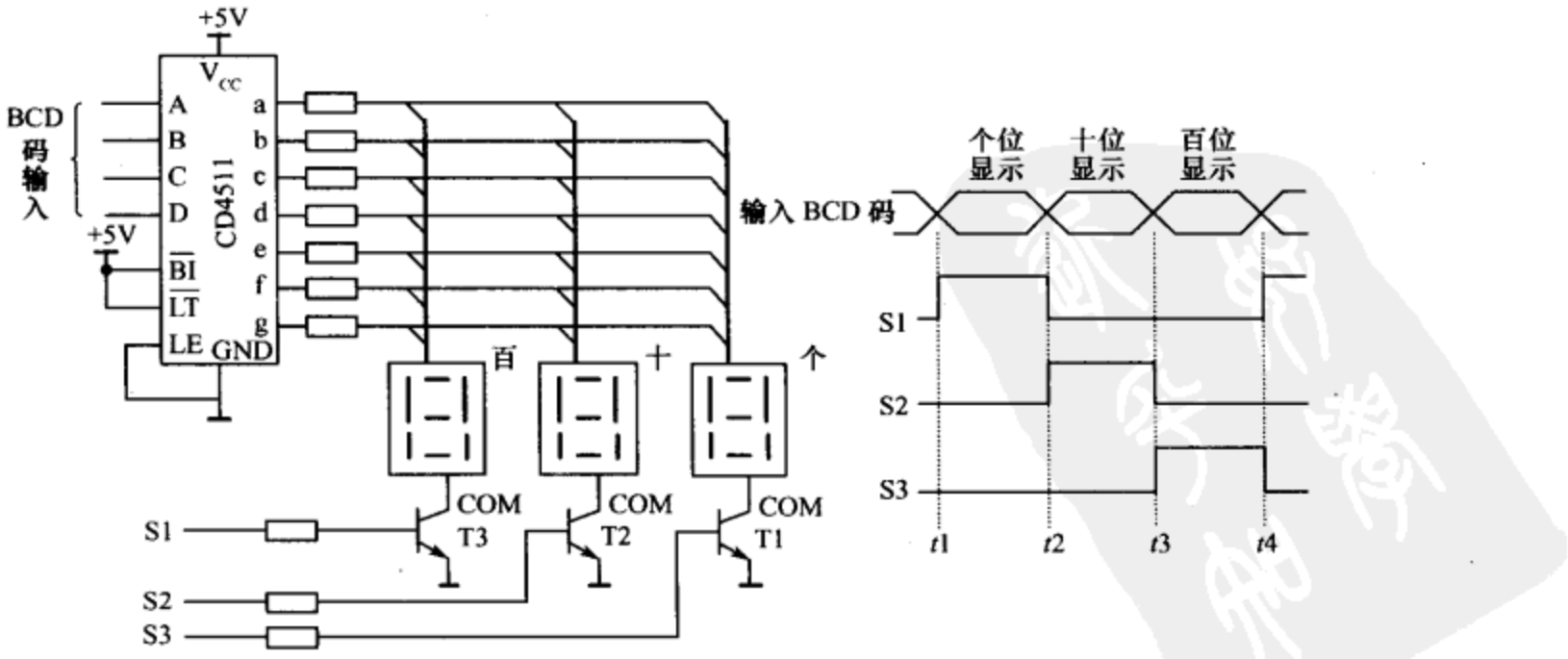


图3-40　动态显示电路

(a)接线图;(b)信号间关系。

3)串行/并行转换显示方法

在实际应用中,常常会遇到显示器安装位置离主电路板(或主机)较远的情况,这时即使采用上面的动态扫描显示方式,也仍嫌联接线太多。若采用串行/并行转换集成电路实现8段显示,可有效解决联线多的问题,其电路结构如图3-41(a)所示。串/并行转换集成芯片必须与LED显示器同安装在一块显示电路板上,不论显示位数为几位,它与主电路的联线只要4根:数据线DATA、时钟线CLOCK、电源线、地线。

串行/并行转换器件的基本功能是:由DATA端一位一位地接收串行二进制数据,当接收完8位二进制数时,从输出端并行输出8位(1个字节)的二进制数据。如果这时数据输入端还有数据送入,则原先已到达内部的二进制数会从某一指定的输出端挤出去。然后被送向下一个芯片。因此在图3-41(a)中,要把3位显示的数都送完,主电路必须通过DATA线送出24位二进制数(3个字节)。

从DATA端输入的二进制数有否被芯片接受,完全依靠时钟脉冲CLOCK的控制,图3-41(b)的时序图说明了向芯片送入8位二进制数11111001的基本过程。在$t1$时刻,DATA线上首先出现1,随后施以CLOCK脉冲,则该位的1被芯片收入;在$t2$时刻,DATA线上出现0,随后又施以CLOCK脉冲,则芯片又收入0……总之每个CLOCK脉冲,都能使芯片从DATA收入1位二进制数。

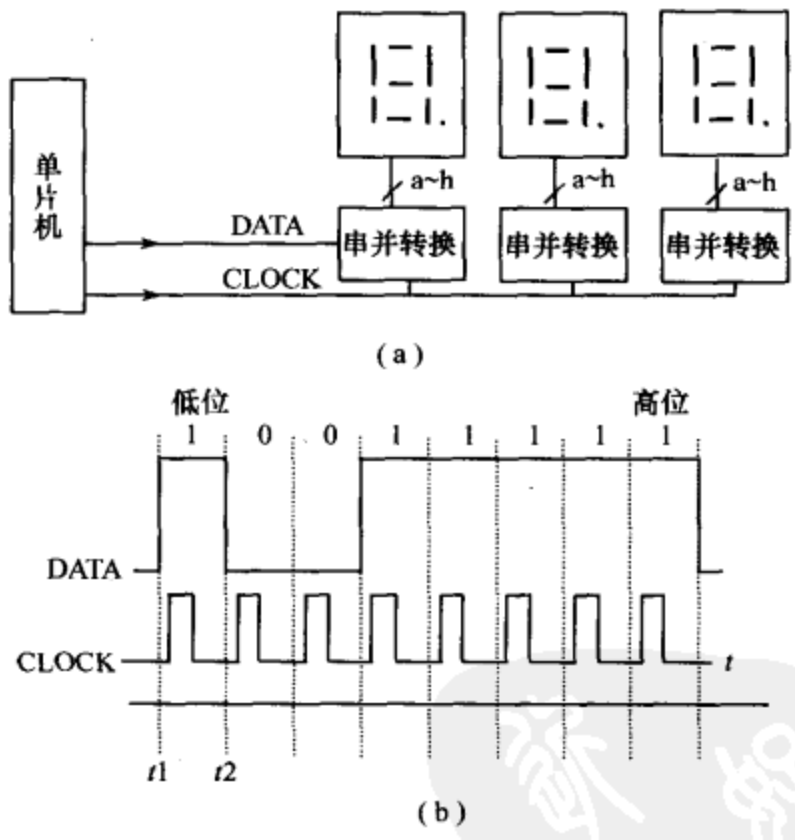


图3-41 使用串联转换电路实现八段显示

(a)使用串/并转换电路实现八段显示的示意图;(b)串行数据传送时序图。

图3-42是使用串/并转换集成电路74LS164构成的一种实用显示电路,它使用共阳8段LED显示器,74LS164的$\overline{CLR}$引脚是清零端,一般应用中也可不用,将其固定接高电平。

以上介绍的串/并转换LED显示电路仍属静态显示方法,下面介绍一种结合串/并转换和动态扫描显示原理的新型器件。

近年来,摩托罗拉公司推出一种较新的采用串/并转换原理的专用的显示驱动集成电

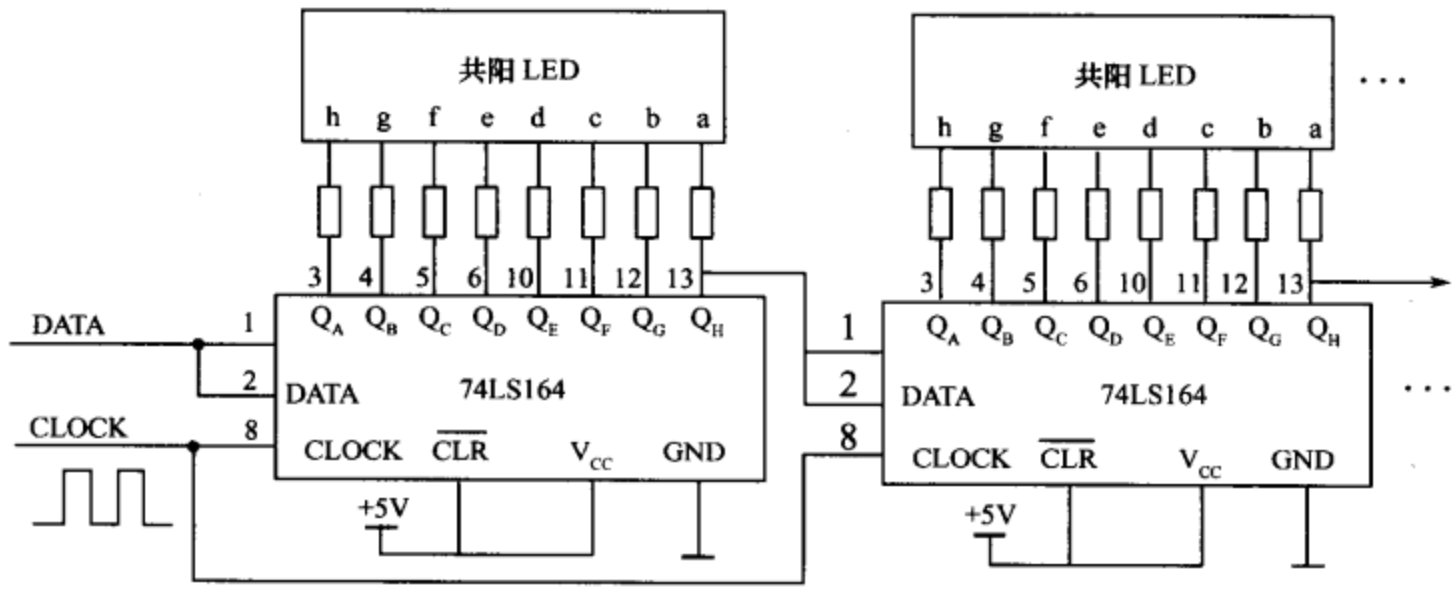


图 3-42　利用串/并转换电路 74LS164 构成的显示电路

路 MC14499。图 3-43 所示是 MC14499 的引脚功能图。

各引脚功能说明如下。

V_{DD}：电源正端。

V_{SS}：电源负端，接地。

a～g：7 段码输出。

DP：小数点输出，高电平有效。

S1～S4：字位选择输出，高电平有效。

OSC：外接电容器端，电容量的大小决定了片内振荡器的频率，即显示电路的扫描频率。

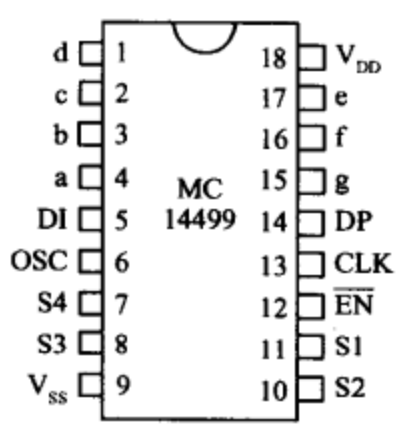


图 3-43　MC14499 引脚功能图

DI：(DATA IN)，串行数据输入端，高位先进。

CLK：(CLOCK)，时钟输入端，由外部提供串行数据接收的控制信号。

$\overline{EN}$：使能端，低电平有效，即当该端为低电平时，器件允许接收由 DI 端送入的串行数据；当该端为高电平时，器件不能接收串行数据。

1 片 MC14499 可带动 4 位 LED 显示器，输入的数据是所需要显示数字的 BCD 码。由于每位显示数的压缩 BCD 码为 4 个二进制“位”(bit)，因此四位显示器共需 16bit；又每位显示数单独占用 1bit 的小数点位，故 MC14499 接收一组完整的串行数据设计为 20bit。它们的排列顺序见表 3-22，其中当某小数点位为 1 时，相应显示位的小数点被点亮。

表 3-22　MC14499 的数据格式

小数点位	各显示位的 BCD 码			
DP4 DP3 DP2 DP1	第四位	第三位	第二位	第一位
D19 D18 D17 D16	D15 D14 D13 D12	D11 D10 D9 D8	D7 D6 D5 D4	D3 D2 D1 D0

需要注意的是，MC14499 接收串行数据的顺序是由高位到低位逐位接收的，即按 D19、D18、…、D0 的顺序接收，因此主电路在送出串行数据时应留意这一次序。图 3-44 所示是 MC14499 的典型应用连接图，当 MC14499 接收完一组完整的数据且$\overline{EN}$端信号回到高电平时，能轮流将 4 个显示数的 BCD 码译成标准显示的“7 段码”从 a～g 端输出，来驱动共阴 LED 显示器的各个阳极，同时从 S1～S4 送出相应的位选通发描信号(高电平的

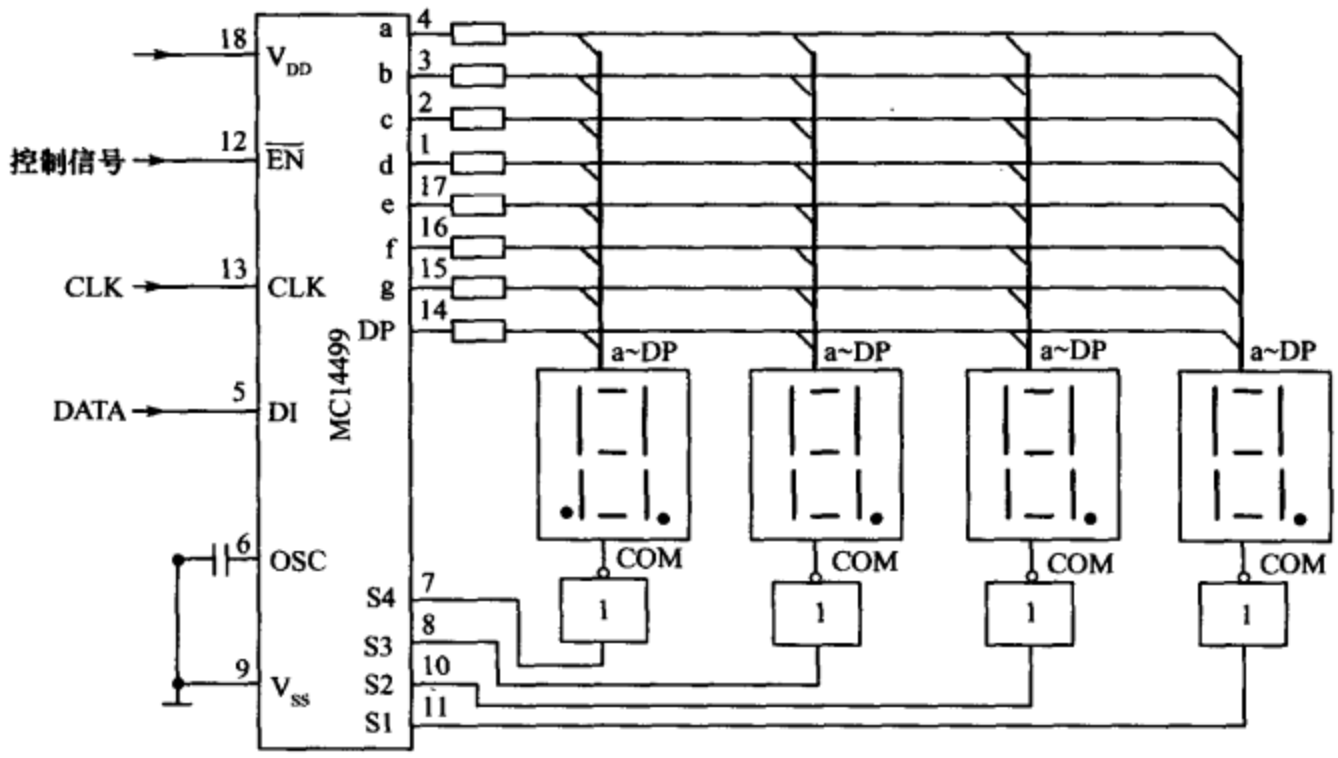


图 3-44　使用 MC14499 的显示电路

有效),经过倒相后驱动 LED 显示器的公共阴极。

5. 液晶显示器显示电路

为了使液晶显示器点亮,必须在两个电极间(其中一个电极是字段,另一个电极是公共电极)加 50Hz～500Hz 的交变电压,而在不显示期间两极间电压应为零,实际使用时要以通过异或门来达到这一目的,如图 3-45(a)所示。u_i 为对称方波,当 A=0 时,异或门的输出 $u_o=u_i$,由图 3-45(a)可知,此时显示器两电极间的电压 $u_L=0$;而当 A=1 时,u_o 与 u_i 反相,$u_L=u_o-u_i$,因此 u_L 为幅值是 u_i 两倍的对称方波,此时显示器工作。各波形关系如图 3-45(b)所示。实际使用时,从 u_i 端加入一列频率约为 50Hz～500Hz 的方波,而 A 则接向译码器的字段输出端(非反码输出)。

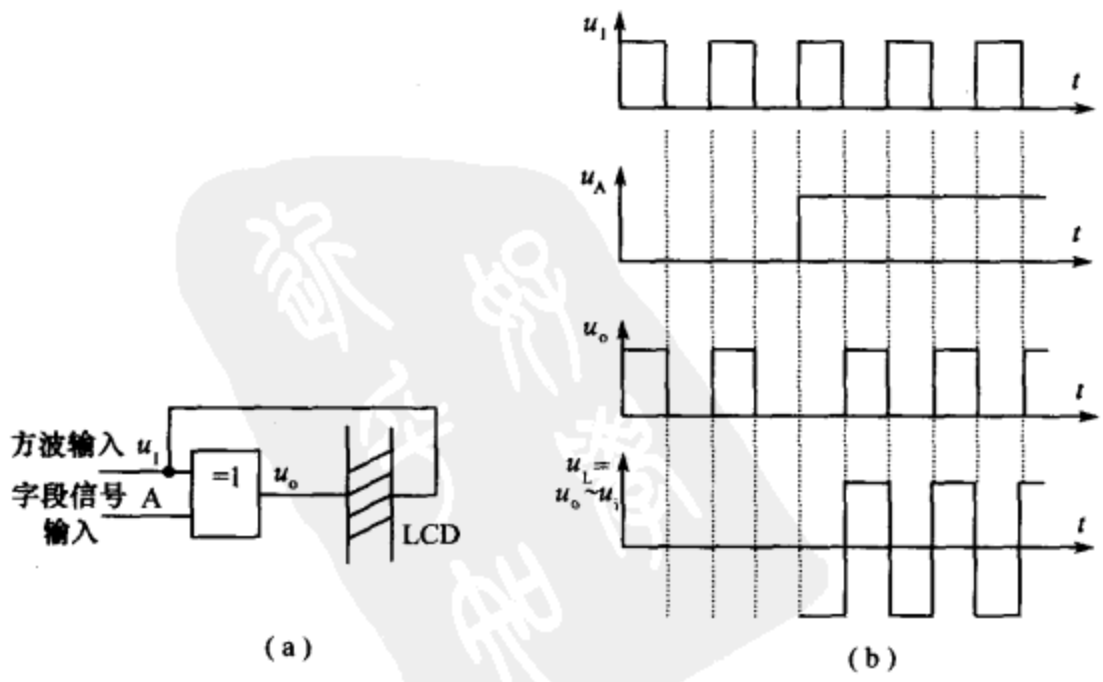


图 3-45　用异或门驱动液晶显示器

(a)电路接线;(b)工作波形。

使用输出端自带有异或门的译码器可以直接驱动 7 段液晶显示器。此类 CMOS 集成电路有多种，如 CD4543、CD4544 以及 CD4055、CD4056 等。图 3-46 给出了 CD4543 与 7 段液晶显示器连接的方法。

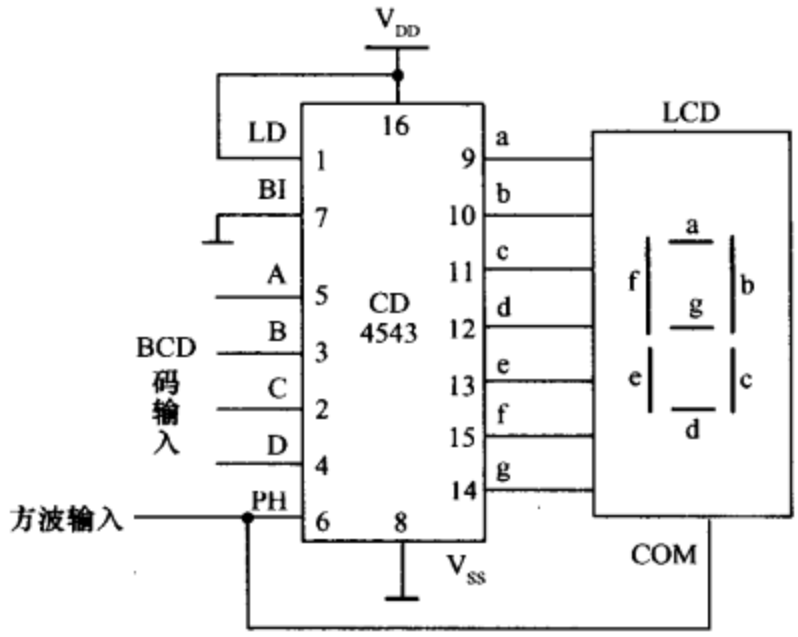


图 3-46　CD4543 译码器与 7 段 LCD 的连接方法

当 LD 端加高电平时，将加在 A、B、C、D 输入端的 BCD 码锁存在片内的译码器并被译成 LCD 数码管的段驱动信号，从 a～g 端输出，当 LD 端为低电平时，原锁存数据不变；BI 是显示控制端，当 BI 为高电平时，片内译码数据不输出，LCD 熄灭（不显示），当 BI 为低电平时，片内译码数据输出到 a～g 端，在图中将其接地，保持显示状态。PH 为对称方波输入端。例如，当显示数字 3 时，应使 a、b、c、d、g 段的方波与 COM 极上方波的相位相反，而 e、f 段的方波与 COM 极上的方波相位相同，假定 COM 极上加负方波，则段码方波极性及数字显示见表 3-23。

表 3-23　LCD 段码与显示数字

a b c d e f g	显示数字	a b c d e f g	显示数字
1 1 1 1 1 1 0	0	1 0 1 1 0 1 1	5
0 1 1 0 0 0 0	1	1 0 1 1 1 1 1	6
1 1 0 1 1 0 1	2	1 1 1 0 0 0 0	7
1 1 1 1 0 0 1	3	1 1 1 1 1 1 1	8
0 1 1 0 0 1 1	4	1 1 1 1 0 1 1	9

6. 荧光数码管显示电路

荧光数码管在使用时可以用 CMOS 译码器直接驱动，因为荧光数码管要求的阳极电压较高，而 CMOS 集成译码器输出端的电压值也可以较高（可达 18V）。如果采用 TTL 译码器则不能直接驱动，而需要加驱动器进行电平转换。图 3-47(a)所示为 CMOS 译码器 CD4547 与荧光数码管的接连方法，荧光管的工作电压为 20V，在供给 CD4547 时通过稳压管将电源电压降去 5V。图 3-47(b)则是 TTL 译码器 74LS48 经 74LS07（输出端是集电极开路型的高耐压缓冲门电路）电平转换后与荧光管连接的方法。

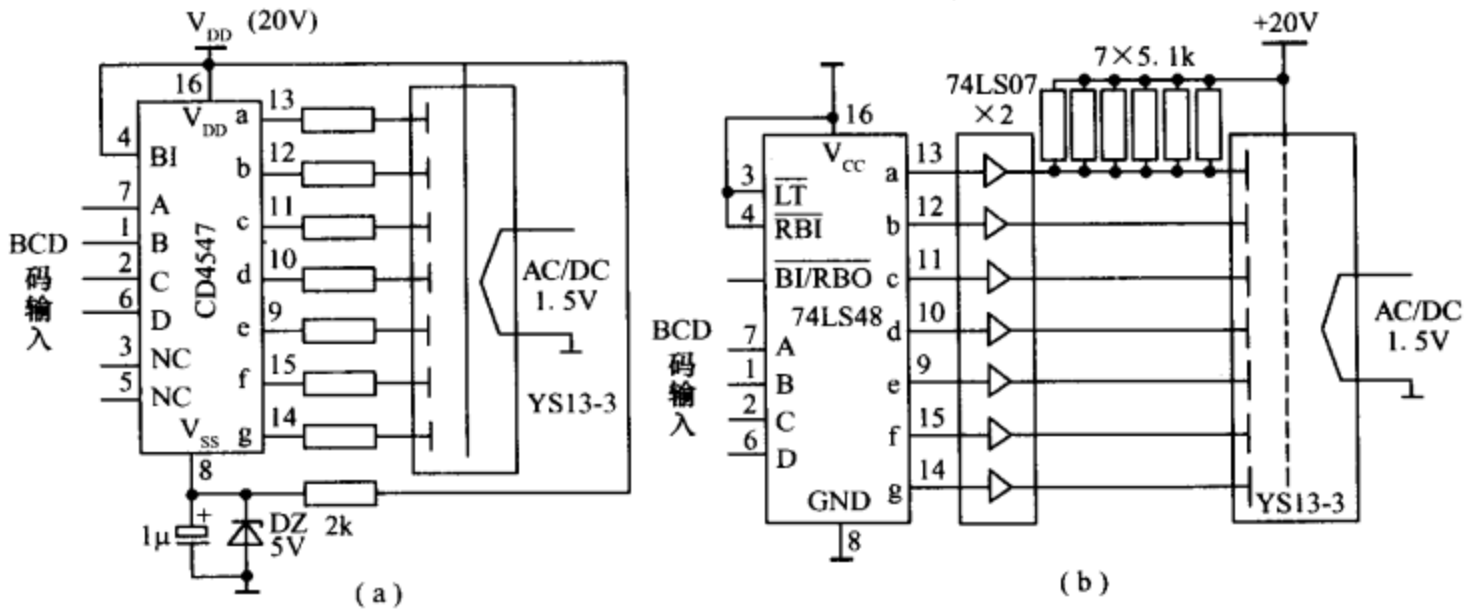


图 3-47　荧光数码管显示电路

(a)用 CD4547 驱动荧光数码管的接法；(b)用 74LS48 驱动荧光数码管的接法。

第四节　数据选择器、分配器和模拟开关

一、数据选择器

数据选择是指经过选择，把多个通道的数据传送到唯一的公共数据通道上去。实现数据选择功能的逻辑电路称为数据选择器。它的作用相当于多个输入的单刀多掷开关，其示意图如图 3-48 所示。

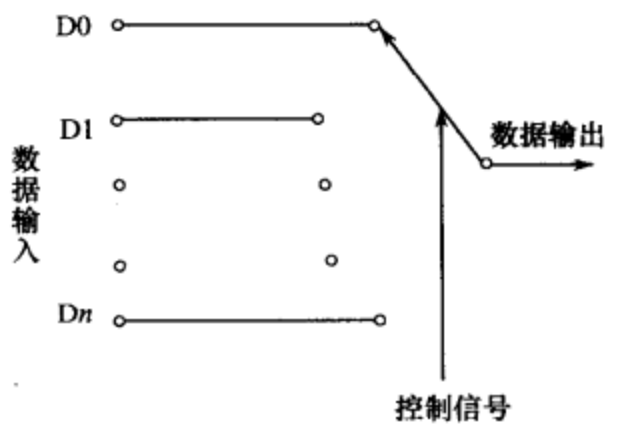


图 3-48　数据选择器示意图

集成数据选择器的规格品种较多，重要的是要能够看懂真值表，理解其逻辑功能。

1. 8 选 1 数据选择器

图 3-49 所示是集成 8 选 1 数据选择器 74151、74LS151、74251、74LS251 的外引线功能端排列图和逻辑功能示意图。图中所示 8 选 1 数据选择器有 8 个数据输入端 D0～D7，3 个地址输入端 A0～A2，1 个选通控制端 $\overline{S}$、两个互补的输出端 Y 和 $\overline{Y}$。8 选 1 数据选择器的真值表如表 3-24 所示。

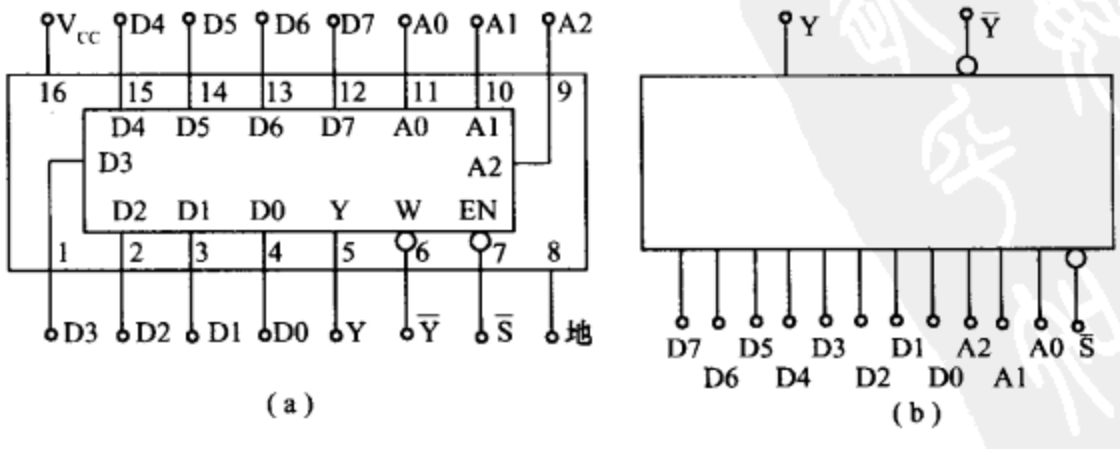


图 3-49　8 选 1 数据选择器外引线排列图和逻辑功能图

(a)外引线排列图；(b)逻辑功能示意图。

表 3-24　8 选 1 数据选择器的真值表

型号	输入					输出	
74151、74S151、74LS151	D	A2	A1	A0	$\overline{S}$	Y	$\overline{Y}$
	×	×	×	×	1	0	1
	D0	0	0	0	0	D0	$\overline{D0}$
	D1	0	0	1	0	D1	$\overline{D1}$
	D2	0	1	0	0	D2	$\overline{D2}$
	D3	0	1	1	0	D3	$\overline{D3}$
	D4	1	0	0	0	D4	$\overline{D4}$
	D5	1	0	1	0	D5	$\overline{D5}$
	D6	1	1	0	0	D6	$\overline{D6}$
	D7	1	1	1	0	D7	$\overline{D7}$

由真值表可以看出：当选通输入端信号 $\overline{S}=1$ 时，选择器被禁止，$Y=0$、$\overline{Y}=1$，输入数据和地址均不起作用；当 $\overline{S}=0$ 时选择器被选中，或者说使能（工作），$Y=D0\,\overline{A2}\,\overline{A1}\,\overline{A0}+D1\,\overline{A2}\,\overline{A1}\,A0+\cdots+D7\,A2\,A1\,A0$、$\overline{Y}=\overline{D0}\,\overline{A2}\,\overline{A1}\,\overline{A0}+\overline{D1}\,\overline{A2}\,\overline{A1}\,A0+\cdots+\overline{D7}\,A2\,A1\,A0$。

2. 集成数据选择器的扩展

利用选通控制端很容易扩展数据选择器的功能。例如，用两片 74151 连接起来，可以构成 16 选 1 数据选择器，连线图如图 3-50 所示。

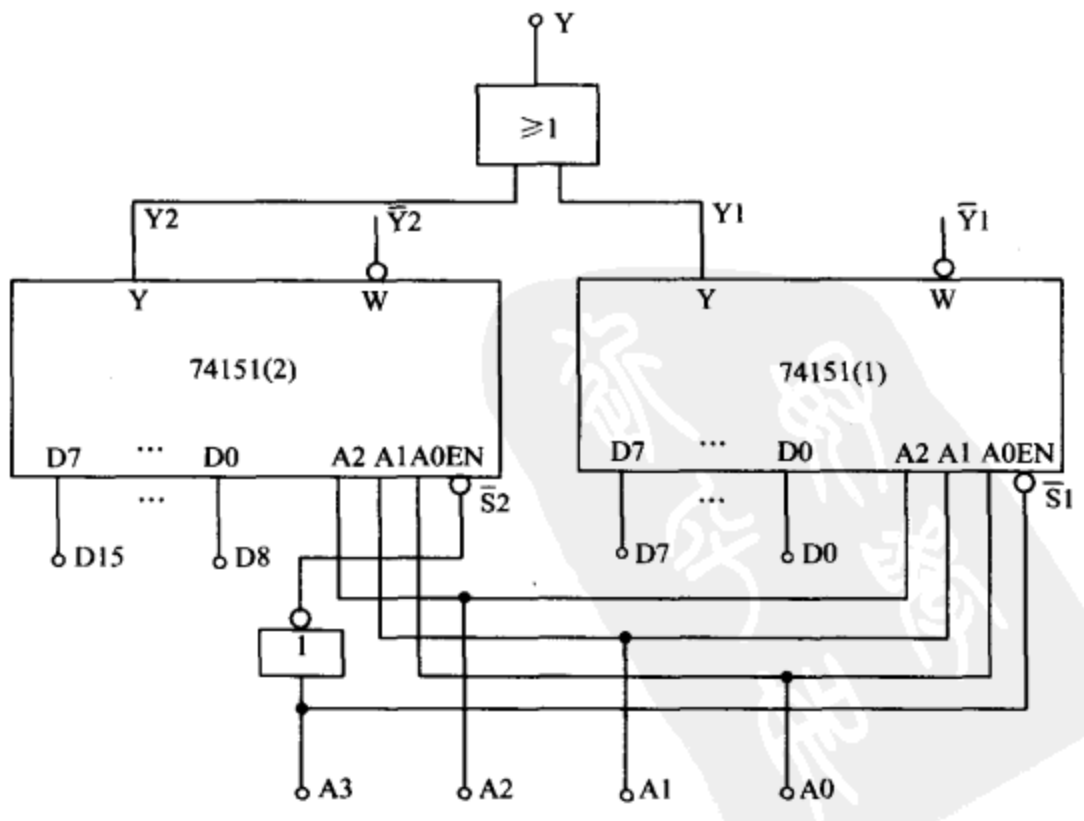


图 3-50　两片 74151 连接起来构成 16 选 1 数据选择器

由图可知：当 A 3＝0 时，$\overline{S}1$＝0、$\overline{S}2$＝1，片(2)禁止，片(1)使能；当 A 3＝1 时，$\overline{S}1$＝1、$\overline{S}2$＝0，片(1)禁止，片(2)使能。因此，图中所示电路的连接是正确的。

二、数据分配器

能够将 1 个输入数据，根据需要传送到 n 个输出端的任何 1 个输出端的电路，叫做数据分配器，又称为多路分配器，其逻辑功能正好与数据选择器相反。如图 3-51 所示。

数据分配器和译码器有着相同的基本电路结构形式。其实集成数据分配器就是带选通控制端(使能端)的二进制集成译码器。只要在使用时，把二进制集成译码器的选通控制端当作数据输入端、二进制代码输入端当作选择控制端就可以了。例如，74LS139 是集成 2 线—4 线译码器，也是集成 1 路—4 路数据分配器，74LS138 是集成 3 线—8 线译码器，也是集成 1 路—8 路数据分配器，而且它们的型号也相同。

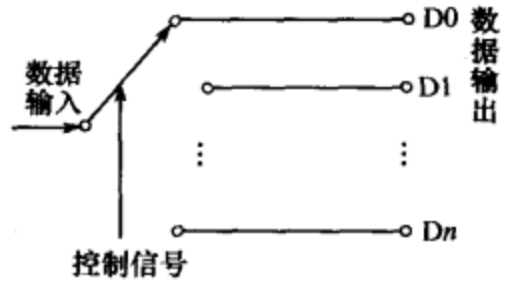


图 3-51　数据分配器示意图

三、模拟开关

对于一个良好的开关，要求开关接通时，两端之间的电阻应尽可能小，而当开关断开时，电阻尽可能大，并且希望有尽可能高的开关速度；同时，还要求在传输模拟信号时具有良好的线速度，以减小被传输信号的失真。

CMOS 模拟开关电路具有无残余电压的优点，并且具有双向传输性能，因此，得到了广泛的应用。根据特性和集成度的不同，CMOS 开关的种类比较多，下面简要介绍几种常见的模拟开关电路。

1. 4 组双向模拟开关 CD4066

CD4066 是一种双向模拟开关，在集成电路内有 4 组独立的能控制数字及模拟信号传输的模拟开关，如图 3-52 所示。每个开关有一个输入端和一个输出端，它们可以互换使用，还有一个选通端(又称控制端)，当选通端为高电平时，开关导通，当选通端为低电平时，开关截止，使用时选通端不允许悬空。CD4066 切换控制情况见表 3-25。

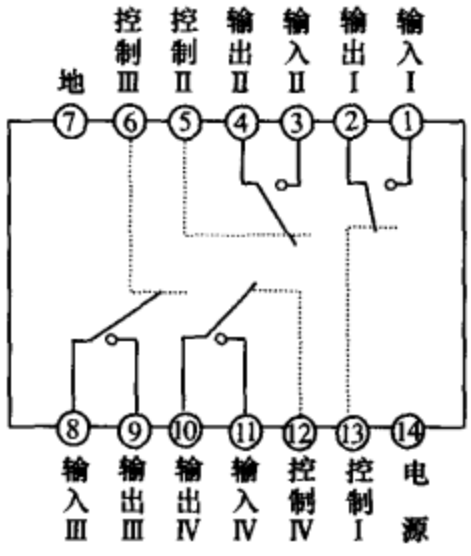


图 3-52　CD4066 内部框图

表 3-25　4066 切换控制表

控制引脚	电平	接通的引脚
13 脚	H	1、2 脚接通
5 脚	H	3、4 脚接通
6 脚	H	8、9 脚接通
12 脚	H	10、11 脚接通

2. 8 选 1 模拟开关 CD4051

8 选 1 模拟开关 CD4051 内含控制电路及开关，开关有 8 个输入/输出端和 1 个输出/输入端。9、10、11 脚为控制端，在控制电路的控制下，任一输入端子都可分别与输出端子接通。6 脚为禁止端，当 6 脚为高电平时，所有开关均不能接通。CD4051 管脚功能如图 3-53 所示，其控制情况见表 3-26。

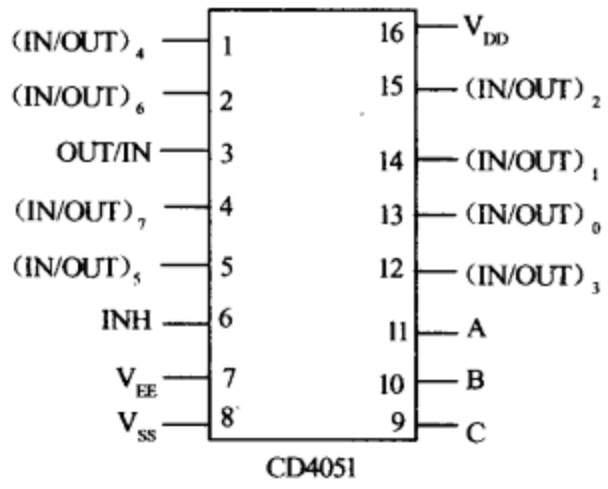


图 3-53　CD4051 管脚功能

表 3-26　CD4051 切换控制表

控制脚电平				与公共端
6 脚(INH)	9 脚(C)	10 脚(B)	11 脚(A)	3 脚接通的脚
L	L	L	L	13 脚
L	L	L	H	14 脚
L	L	H	L	15 脚
L	L	H	H	12 脚
L	H	L	L	1 脚
L	H	L	H	5 脚
L	H	H	L	2 脚
L	H	H	H	4 脚
H	X	X	X	不接通

由于这各此致敬礼关的引出端除了有电源 V_{DD} 和地 V_{SS} 外，还设有另一组电源端 V_{EE}，以作为电平转换时使用。

3. 双路 4 选 1 模拟开关 CD4052

双路 4 选 1 模拟开关 CD4052 内含控制电路及两路开关，每路开关均有 4 个输入端和 1 个输出端。9 脚、10 脚为控制端，在控制电路的控制下，任一输入端子都可分别与输出端子接通。6 脚为禁止端，当 6 脚为高电平时，所有开关均不能接通。CD4052 管脚功能如图 3-54 所示，其控制情况见表 3-27。

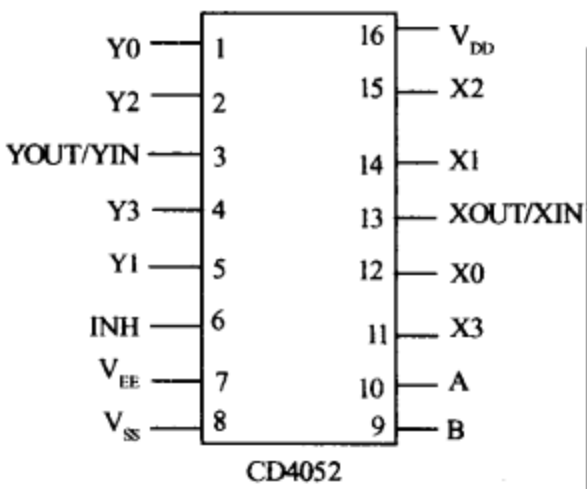


图 3-54　CD4052 管脚功能

表 3-27　CD4052 切换控制表

控制脚电平			与公共引脚接通的脚	
6 脚(INH)	9 脚(B)	10 脚(A)	和 13 脚(XOUT/XIN)接通的脚	和 3 脚(YOUT/YIN)接通的脚
L	L	L	12 脚(X0)	1 脚(Y0)
L	L	H	14 脚(X1)	5 脚(Y1)
L	H	L	15 脚(X2)	2 脚(Y2)
L	H	H	11 脚(X3)	4 脚(Y3)
H	X	X	不接通	不接通

4. 3 路 2 选 1 模拟开关 CD4053

CD4053 为 CMOS 数字集成电路多路开关，用于选择与混合模拟信号或数字信号，内含 3 路切换开关，每路开关有 2 个输入端子和 1 个输出端子，通过控制内部开关的接通方式，便可将相应的输入信号切换至输出端。由于每路开关的接通电阻低，因此可与低输入阻抗的电路相连接。该集成块采用双列直插 16 脚封装，管脚功能如图 3-55 所示，切换控制情况见表 3-28。

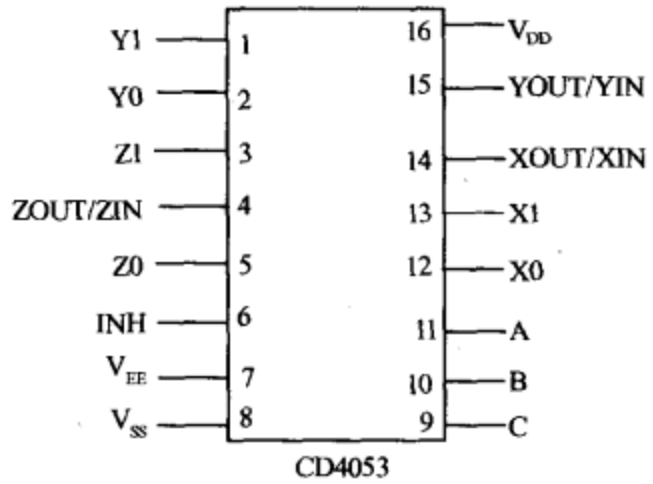


图 3-55　CD4053 管脚功能

表 3-28　CD4053 切换控制表

控制脚电平				与公共引脚接通的脚		
6 脚(INH)	9 脚(C)	10 脚(B)	11 脚(A)	14 脚(XOUT/XIN)	15 脚(YOUT/YIN)	4 脚(ZOUT/ZIN)
L	L	L	L	12 脚(X0)	2 脚(Y0)	5 脚(Z0)
L	L	H	L	12 脚(X0)	1 脚(Y1)	5 脚(Z0)
L	H	L	L	12 脚(X0)	2 脚(Y0)	3 脚(Z1)
L	H	H	L	12 脚(X0)	1 脚(Y1)	3 脚(Z1)
L	L	L	H	13 脚(X1)	2 脚(Y0)	5 脚(Z0)
L	L	H	H	13 脚(X1)	1 脚(Y1)	5 脚(Z0)
L	H	L	H	13 脚(X1)	2 脚(Y0)	3 脚(Z1)
L	H	H	H	13 脚(X1)	1 脚(Y1)	3 脚(Z1)
H	X	X	X	不接通	不接通	不接通

第五节　基本算术运算电路和数值比较器

一、基本算术运算电路

基本的逻辑运算是逻辑与、逻辑或及逻辑非，而最基本的算术运算是加、减、乘、除，但数字电路中的加、减、乘、除都要通过分解变成加法来运算，所以最基本的算术运算就是加法运算。

加法器主要有半加器和全加器两种电路，它们都是二进制数中的加法运算。

1. 半加器

两个一位的(1 比特)二进制数相加，叫作半加，实现两个一位二进制数相加运算的电路叫做半加器电路，半加器可完成两个一位二进数的求和运算，根据半加器电路的这一定义，半加器是一个由加数、被加数、和数、向高位进位数组成的运算电路，它仅考虑本位数相加，而不考虑低位来的进位数。

图 3-56 所示是半加器的电路符号，半加器具有以下特点：

(1)这种电路共有 4 个端子，其中包括 2 个输入端子和 2 个输出端子。

(2)输入端 A_i 和 B_i 分别是加数输入端和被加数输入端，A_i 和 B_i 只有 1 或 0 两个变量，

注意这里的 1 和 0 是二进制数中的两个数码，不是高电平 1 和低电平 0。

(3)输出端 S_i 是本位和数输出端子，即两个二进制数相加后本位的结果输出，如果是 0+0，本位则是 0；1+0 本位是 1；1+1 应等于 10，但本位是 0，所以此时 S_i 端仍然输出 0。

(4)输出端 C_i 是进位数端子，两个二进制数相加后若出现进位数，如 1+1=10，此时 1 就是进位数，所以此时 C_i 端会输出 1。如果是 1+0=1，则进位数是 0。

根据以上分析可得半加器真值表，见表 3-29。

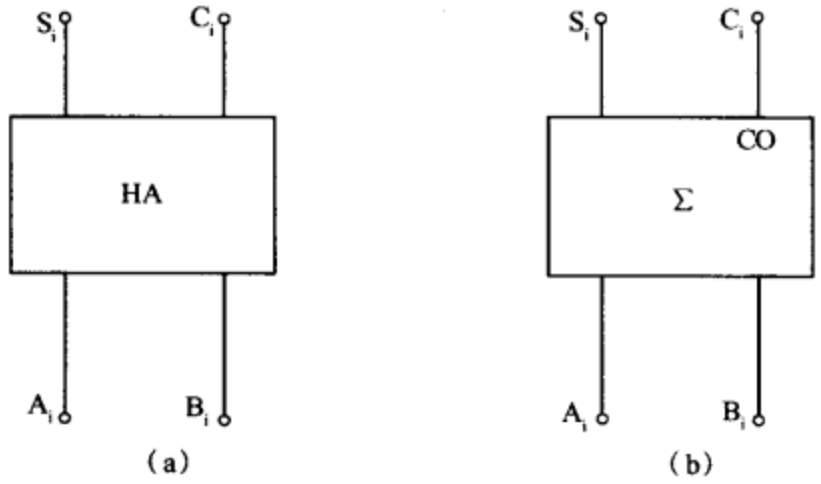


图 3-56　半加器符号

(a)曾用符号；(b)国标符号。

表 3-29　半加器真值表

输入端		输出端	
加数端 A_i	被加数端 B_i	和数端 S_i	进位数端 C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

2. 全加器

前面介绍的半加器只有两个输入端，不能处理由低位送来的进位数，全加器则能够实现二进制全加运算。全加器在对两个二进制数进行加法运算时，除了能将本位的两个数 A_i、B_i 相加外，还要加上低位送来的进位数 C_{i-1}。所以，全加器比半加器电路多 1 个输入端，共有 3 个输入端。全加器仍然是一个 1bit 加法器电路，与半加器相比只是多了一个低位进位数端。

图 3-57 所示是全加器电路符号，由图可见，它与半加器不同之处就是多了一个输入端 C_{i-1}，称为低位进位数端。A_i 是加数输入端，B_i 是被加数输入端，S_i 是和数输出端，C_{i-1} 是向高位进位数输出端。

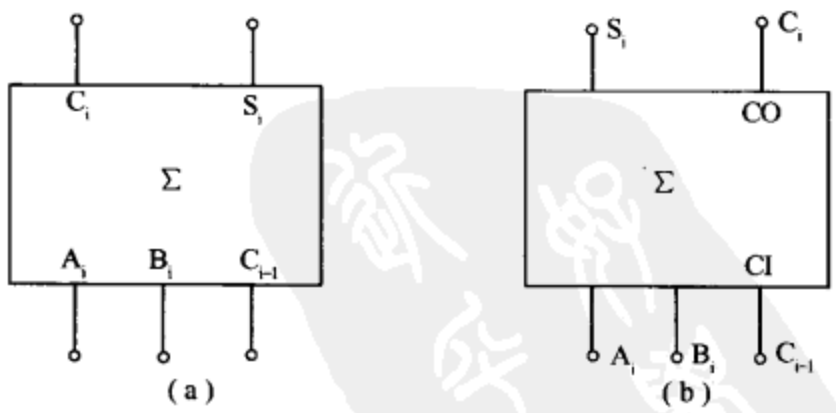


图 3-57　全加器的符号

(a)曾用符号；(b)国标符号。

根据全加器的定义，可得出全加器的真值表，见表 3-30。

图 3-58 所示是 TTL 双全加器 74LS183 和 CMOS 双全加器 C661 和外引线功能图，在这种集成电路中，集成了两个两个功能相同而又互相独立的全加器，因此，也称为集成双全加器。

表 3-30　全加器真值表

输入端			输出端	
加数 A_i	被加数 B_i	低位进位数 C_{i-1}	和数 S_i	进位数 C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

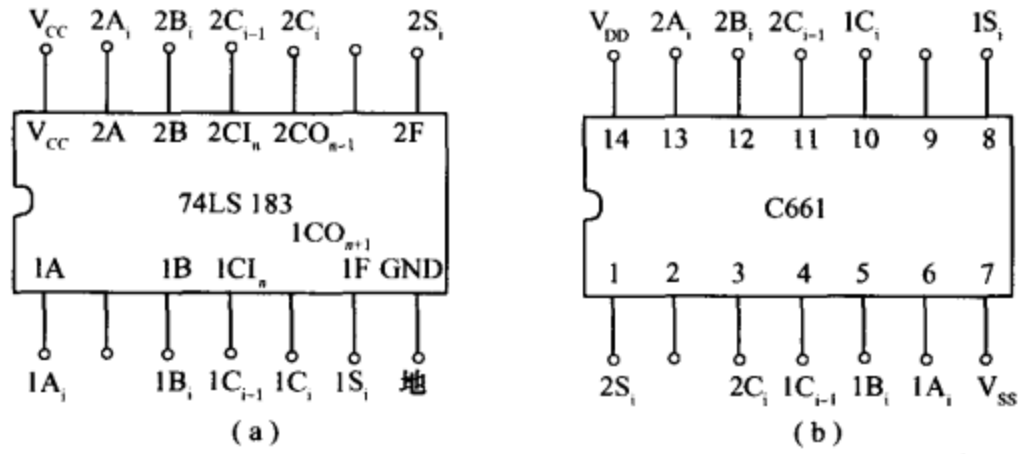


图 3-58　集成双全加器外引线功能图

(a)TTL 电路；(b)CMOS 电路。

集成双全加器具有独立的全加和与进位输出，既可将每个全加电路单独使用，又可将一个全加器的进位输出端与另一个全加器的进位输入端连接起来，组成 2 位串行加法器。这种集成双全加器级联方便、使用十分灵活。

3. 多位二进制数加法器

前面介绍的半加器和全加器都是一位二进制数的加法运算电路，多位二进制数的加法运算要用多位加法器，这种多位二进制数加法器电路形式很多，图 3-59 所示是采用全加器构成的多位二进制数加法器，这是一种结构最简单的电路，也称为 4 位串行进位加法器。

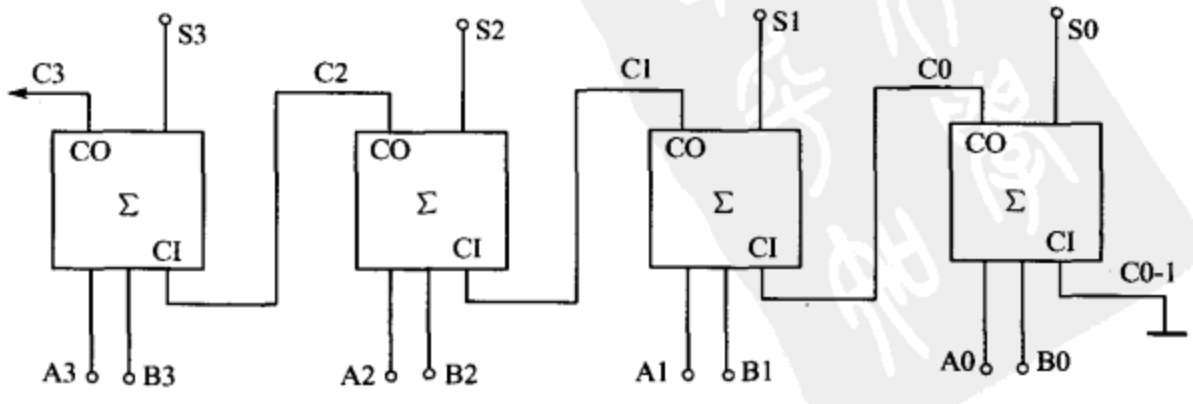


图 3-59　4 位串行进位加法器

从图 3-59 中可以看出，这一电路就是将 4 个全加器串联起来，将第一个全加器的进位数端 C_1 与第二个全加器的低位进位数端相连，依照这一方法将各全加器串联起来就得到了多位二进制数加法器电路。

电路中，A1～A4 是加数输入端，B1～B4 是被加数输入端，S1～S4 是本位和数输出端，C1～C4 是进位数输出端。

串行进位加法器的优点是电路简单、连接方便；缺点是运算速度不高。为了提高加法运算速度，可采用超前进位方式。

所谓超前进位加法器，就是在做加法运算时，各位数的进位信号由输入二进制数直接产生的加法器。4 位超前进位加法器就是由 4 个全加器和相应的进位逻辑电路组成的。图 3-60(a)所示为其逻辑结构示意图，图 3-60(b)所示为集成超前进位加法器 CC4008(CMOS)电路引线图，图 3-60(c)所示为集成超前进位加法器 74283(TTL)电路引线图。

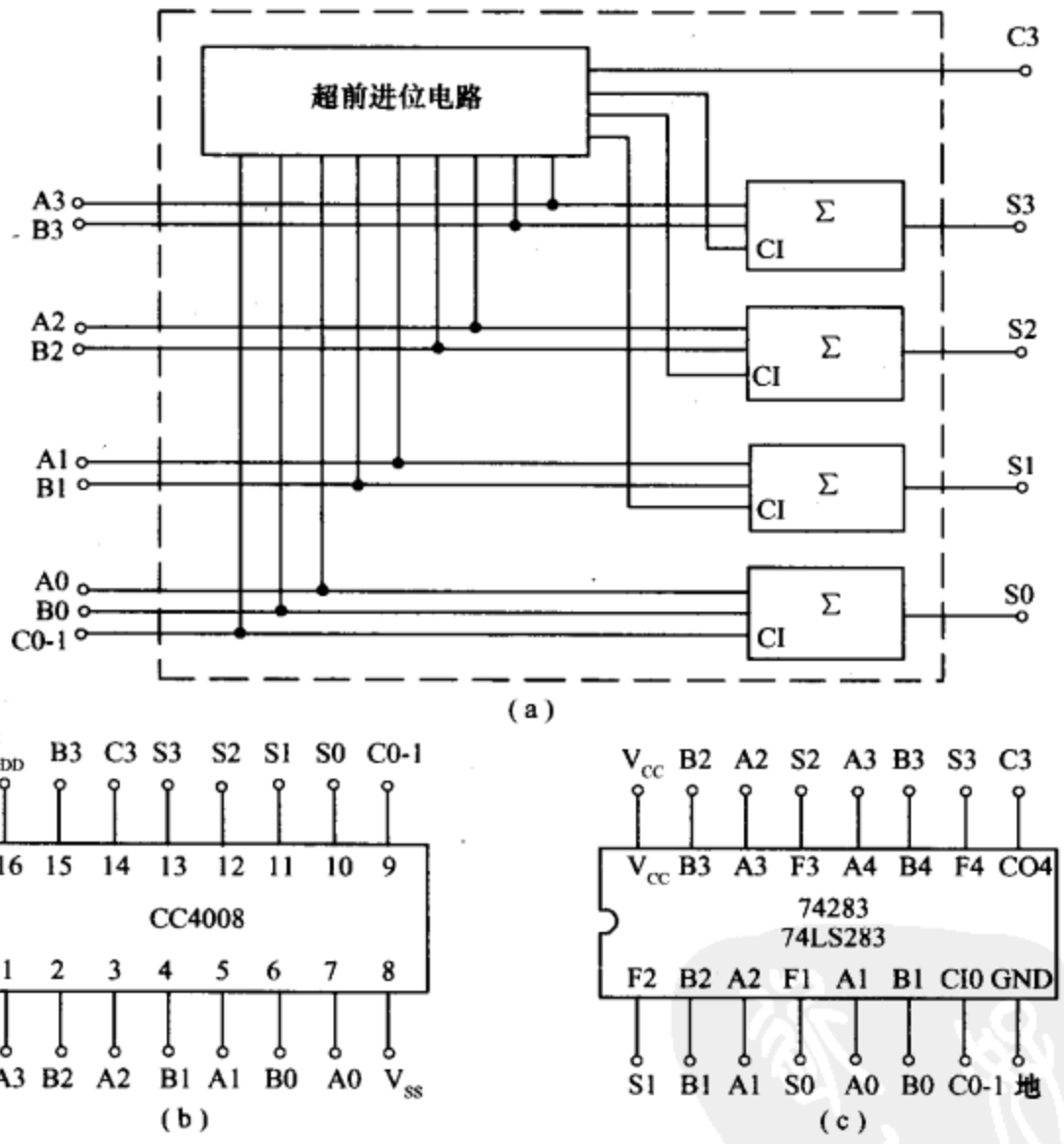


图 3-60　4 位超前进位加法器

(a)逻辑结构示意图；(b)CMOS 电路引线图；(c)TTL 电路引线图。

二、数值比较器

比较器有 1 位数码比较器和多位数码比较器两种，前者只能对 1 位二进制数进行比较，后者则能对多位二进制数进行比较。

1. 1 位数比较器

1 位数值比较器是多位比较器的基础。当 A 和 B 都是 1 位数时，它们只能取 0 或 1

两种值，由此可写出 1 位数值比较器的真值表，见表 3-31。

表 3-31　1 位数值比较器真值表

输入		输　出		
A	B	$Y_{A=B}$	$Y_{A>B}$	$Y_{A<B}$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

由真值表得到如下逻辑表达式：$Y_{A>B}=A\overline{B}$，$Y_{A=B}=\overline{A}\,\overline{B}+AB$，$Y_{A<B}=\overline{A}B$。由以上逻辑表达式可画出图 3-61 所示的逻辑电路。实际应用中，可根据具体情况选用逻辑门。

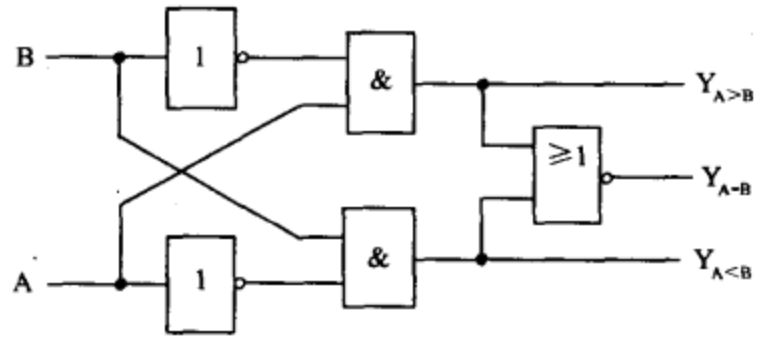


图 3-61　1 位数值比较器

2. 集成 4 位数比较器

图 3-62 所示是集成 4 位数值比较器（CC14585、C663、7485、74LS85）外引线功能排列图，电路中，A0～A3、B0～B3 为 8 个输入端；A＞B、A＝B、A＜B 为 3 个串联输入端，如果只是用做 4 位数比较器时，这 3 个串联输入端不起作用，如果要用这种电路进行更多位数的比较时，这 3 个串联输入端将与另一个多位比较器电路相串联，从而可构成大于 4 位数的比较器电路。$Y_{A>B}$、$Y_{A=B}$、$Y_{A<B}$是 3 个输出端，这与 1 位比较器电路的 3 个输出端作用相同。

4 位数比较器真值表见表 3-32。

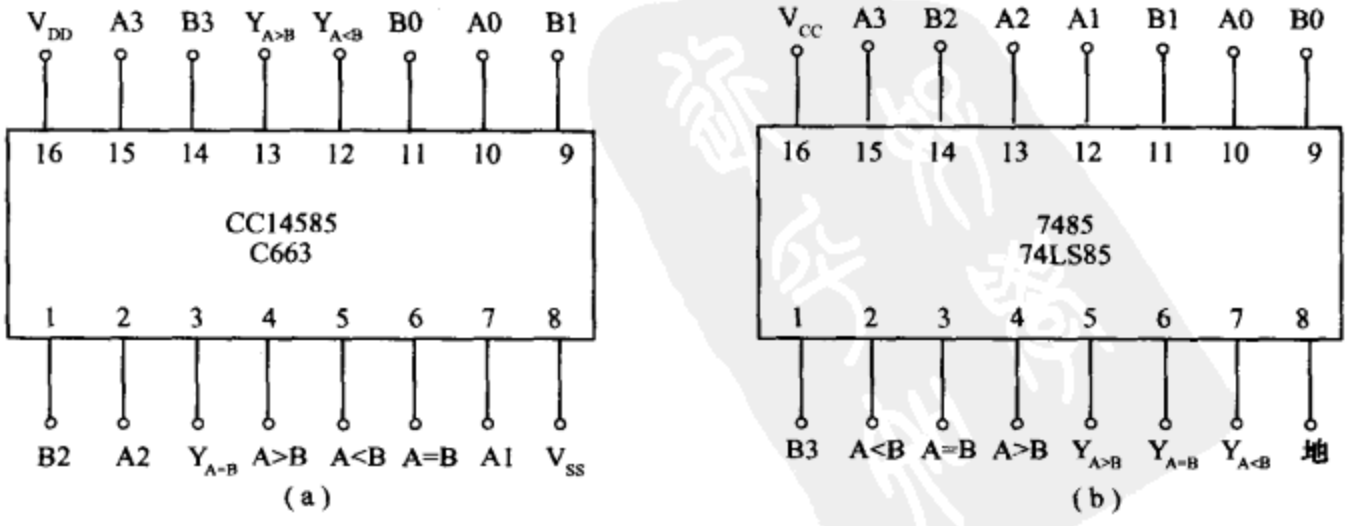


图 3-62　集成 4 位数值比较器

(a)CMOS 比较器；(b)TTL 比较器。

表 3-32　集成 4 位数值比较器真值表

输 入 端				级联输入			输 出 端		
A3　B3	A2 B2	A1　B1	A0 B0	A<B	A=B	A>B	$Y_{A<B}$	$Y_{A=B}$	$Y_{A>B}$
A3>B3	×	×	×	×	×	×	0	0	1
A3=B3	A2>B2	×	×	×	×	×	0	0	1
A3=B3	A2=B2	A1>B1	×	×	×	×	0	0	1
A3=B3	A2=B2	A1>B1	A0>B0	×	×	×	0	0	1
A3=B3	A2=B2	A1>B1	A0=B0	0	0	1	0	0	1
A3=B3	A2=B2	A1>B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1>B1	A0=B0	1	0	0	1	0	0
A3<B3	×	×	×	×	×	×	1	0	0
A3=B3	A2<B2	×	×	×	×	×	1	0	0
A3=B3	A2=B2	A1<B1	×	×	×	×	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	×	×	×	1	0	0

3. 数值比较器的扩展

图 3-63 所示为两个 TTL4 位数值比较器串联而成为一个 8 位数值比较器。我们知道，对于两个 8 位数，若高 4 位相同，它们的大小则由低 4 位的比较结果确定。因此，低 4 位的比较结果应作为高 4 位的条件，即低 4 位比较器的输出端应分别与高 4 位比较器的 $Y_{A>B}$、$Y_{A=B}$、$Y_{A<B}$端连接。另外，最低位的 A=B 端应接 1，A<B 和 A>B 端应接 0。

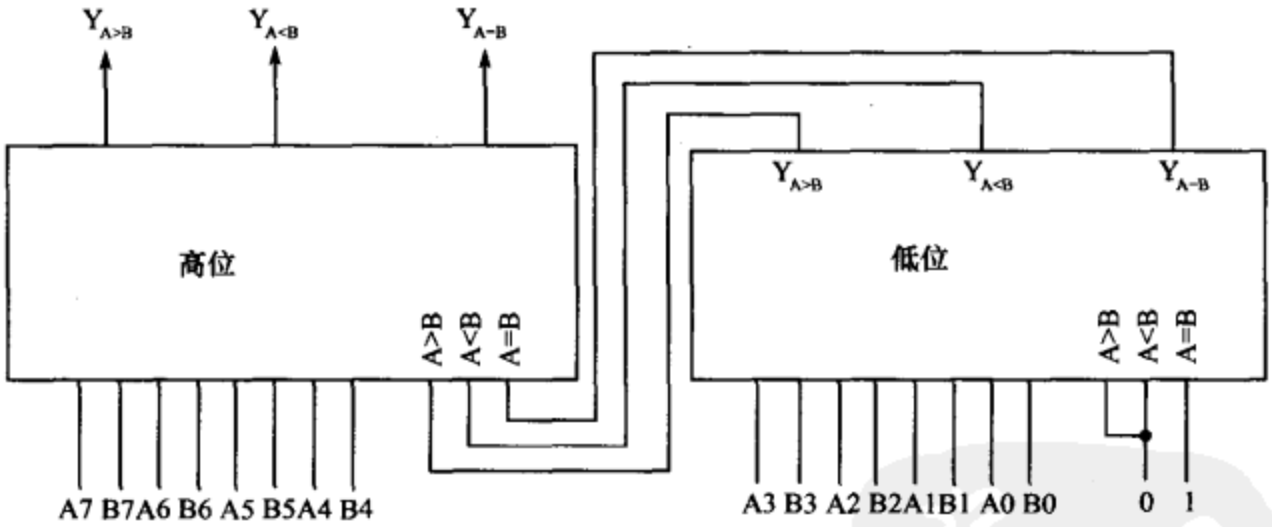


图 3-63　两个 4 位比较数值比较器串联

第四章　双稳态触发器

前面介绍了组合逻辑电路，组合电路的特点是，在任何时刻，电路的输出仅仅取决于当时的输入，它没有记忆功能。双稳态触发器(Flip-Flop)是一种具有记忆功能，可以存储二进制信息的双稳态电路，它是组成时序逻辑电路的基本单元。本章首先介绍各种双稳态触发器的电路结构和逻辑功能表示方法，然后简要介绍几种典型集成双稳态触发器的工作特性和应用。

第一节　双稳态触发器的特点及分类

逻辑门电路有一个特点，就是输出端状态完全由输入端决定，没有输入信号就没有输出信号，即输入信号一旦消失，输出信号也就不存在，所以这种逻辑电路没有记忆功能，但在数字系统电路中经常需要对运算数据进行存储，这就需要具有记忆功能的部件，双稳态触发器就是这种具有记忆功能的基本逻辑部件。

一、双稳态触发器的特点

双稳态触发器具有以下几个特点。

(1)触发器有两个输出端和多个输入端。触发器的两个输出端一般用 Q 和 $\overline{Q}$ 来分别表示，在没有具体说明是哪一个输出端时，通常是指输出端 Q 而不是输出端 $\overline{Q}$。触发器的输入端对不同类型的触发器其数目不等。

(2)触发器具有记忆功能。各种触发器的基本功能是能够存储二进制码，具有记忆二进制数码的能力。由于触发器具有记忆功能，所以触发器在受输入信号触发后进行工作时，不仅受到输入信号的影响，还要受到触发器本身所记忆数码(即前次触发结果)的影响，这一点与逻辑门电路完全不同。

触发器在输入端触发作用过去后，触发器会保持稳定状态，这说明触发器能够将输入信号保存下来，一个触发器能够保存一位二进制数码信息。

(3)触发器具有两个互为相反的输出端。触发器的两个输出端 Q 和 $\overline{Q}$ 其输出状态始终相反，从两个输出端的字母符号上也可看出这一点，当 Q=1 时$\overline{Q}$=0，当 Q=0 时$\overline{Q}$=1。规定触发器的输出端状态是指输出端 Q 的输出状态，即 Q=1 时说成触发器输出高电平 1，Q=0 时就是触发器输出低电平 0。

(4)触发器的两个输出端输出状态必须相反。如果两个输出端的输出状态相同或不是一个输出 1，一个输出 0，都说明触发器已不能进行正常的工作。

(5)触发器的两个稳定状态是可翻转的。触发器有两个稳定状态，即 1 态和 0 态，在没有输入信号作用时，一直稳定在其中的一个状态。触发器的 1、0 两个稳定状态就是表

示了二进制码中的 1 与 0。

触发器两个稳定状态是可以发生翻转的，如果触发器稳定在 1 态（Q=1，$\overline{Q}$=0），在输入端有效触发信号的作用下，触发器可以翻转到输出 0 态；同理，如果触发器的输出状态稳定在 0 态，在输入端有效信号的触发下即翻转到 1 态。无论触发器如何翻转，其输出状态都在 1 和 0 之间变化。

二、双稳态触发器的分类

触发器是一种基本逻辑元件，触发器按其稳定工作状态可分为双稳态触发器、单稳态触发器及无稳态触发器（多谐振荡器）等，本章主要介绍双稳态触发器。

双稳态触发器的种类较多，可以按电路结构分类，也可以按逻辑功能分类。电路结构决定触发器的脉冲工作特性；逻辑功能反映触发器在特定的输入条件下，现态与次态的关系。双稳态触发器的分类可概括如下：

- 触发器
 - 从电路结构分类
 - 基本 RS 触发器
 - 可控（同步）RS 触发器
 - 主从触发器
 - 边沿触发器
 - 从逻辑功能分类
 - RS 触发器
 - D 触发器
 - JK 触发器
 - T 触发器

值得注意的是，同一电路结构可组成不同逻辑功能的触发器；反之，同一逻辑功能的触发器可由不同的电路结构来实现。另外触发器可由 TTL 门电路组成，也可由 CMOS 电路组成。理解触发器的逻辑功能是学习触发器部分的重点。

同步触发器、主从触发器、边沿触发器，都是在时钟信号 CP 脉冲操作下工作的，都是时钟触发器。不过，在这里约定，时钟触发器仅限于主从触发器和边沿触发器，也就是说，这里讲的时钟触发器不包括同步触发器。

第二节　基本RS 触发器

基本触发器中，输入信号直接加到输入端。它是触发器的基本电路结构形式，是构成其他类型触发器的基础。

一、与非门基本 RS 触发器

1. 电路组成

图 4-1(a)所示是用两个与非门交叉连接起来构成的基本 RS 触发器。$\overline{R}$、$\overline{S}$ 是信号输入端，字母上面的反号表示低电平有效，即 $\overline{R}$、$\overline{S}$ 端为低电平时表示有信号，为高电平时表示无信号，Q、$\overline{Q}$ 既表示触发器的状态，又是两个互补的信号输出端。

图 4-1(b)所示是基本 RS 触发器的逻辑符号，方框下面输入端处的小圆圈表示低电平有效，这是一种约定，只有当所加信号的实际电压为低电平时才表示有信号，否则就是

无信号。方框上面的两个输出端，一个无小圆圈，为 Q 端，一个有小圆圈，为 $\overline{Q}$ 端，在正常工作情况下，两者状态是互补的，即一个为高电平，另一个就是低电平；反之亦然。

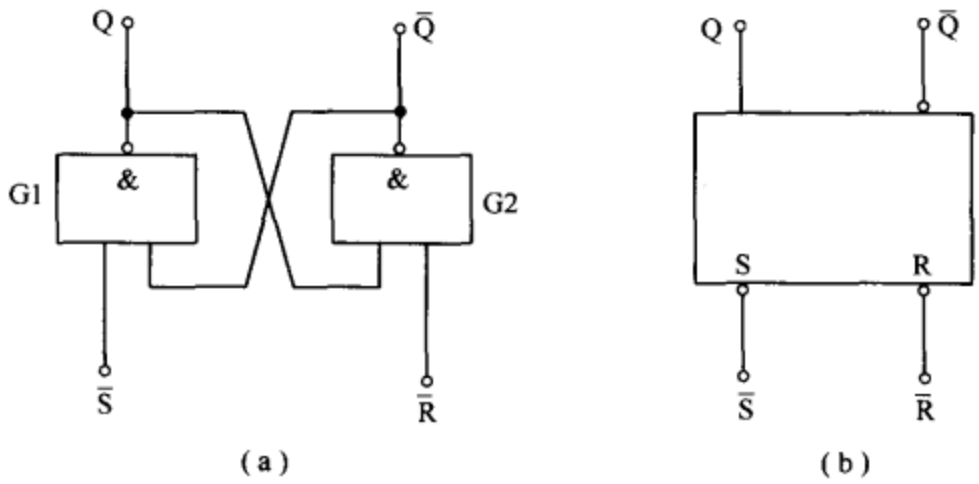


图 4-1　由与非门组成的基本 RS 触发器

(a)逻辑电路图；(b)逻辑符号。

2. 工作原理

下面分四种情况进行讨论。

(1)$\overline{R}=\overline{S}=1$ 时。电路无输入信号，即 $\overline{R}=\overline{S}=1$ 时，有两个稳定状态。

0 状态：我们把 $Q=0$、$\overline{Q}=1$ 的状态定义为 0 状态。由于 $Q=0$ 送到了与非门 G2 的输入端，保证 $\overline{Q}=1$，而 $\overline{Q}=1$ 和 $\overline{S}=1$ 一起使与非门 G1 导通，维持 $Q=0$，显然电路的这种状态可以自己保持，是稳定的。

1 状态：我们把 $Q=1$、$\overline{Q}=0$ 的状态定义为 1 状态。由于 $\overline{Q}=0$ 送到了与非门 G1 的输入端，保证 $Q=1$，而 $Q=1$ 和 $\overline{R}=1$ 一起使与非门 G2 导通，维持 $\overline{Q}=0$，不难理解，电路的这种状态也可以自己保持，是稳定的。

由以上分析可知，$\overline{R}=\overline{S}=1$ 时，触发器将保持原先状态，即输出状态不变。

(2)$\overline{R}=1$，$\overline{S}=0$ 时。$\overline{R}=1$，$\overline{S}=0$ 时，触发器将变成 1 状态，也即将有 $Q=1$、$\overline{Q}=0$。

如果触发器原来是处在 0 状态，则根据与非门的逻辑特性，可以肯定门 G1 输出为高电平、门 G2 输出为低电平，即有 $Q=1$、$\overline{Q}=0$；如果触发器原来就处在 1 状态，则仍保持 1 状态，也即仍有 $Q=1$、$\overline{Q}=0$。

因为在 $\overline{S}$ 端加输入信号——负脉冲，能也只能将触发器置成 1 状态，所以把 $\overline{S}$ 端叫做置 1 输入端，习惯上称之为置位端。

(3)$\overline{R}=0$，$\overline{S}=1$ 时。$\overline{R}=0$，$\overline{S}=1$ 时，触发器将变成 0 状态，也即将有 $Q=0$、$\overline{Q}=1$。

如果触发器原来是处在 0 状态，则仍将保持 0 状态不变，即 $Q=0$，$\overline{Q}=1$ 的状态不会改变，如果触发器原来是处在 1 状态，则根据与非门的逻辑特性，肯定门 G2 将为高电平，即 $\overline{Q}=1$，而 $\overline{Q}=1$ 和 $\overline{S}=1$ 又会导致门 G1 输出为低电平，即 $Q=0$，也就是说，触发器肯定会变成 0 状态。

(4)$\overline{R}=0$，$\overline{S}=0$ 时。如果在 $\overline{R}$ 端和 $\overline{S}$ 端同时加输入信号，即 $\overline{R}=0$，$\overline{S}=0$ 时，则根据与非门的逻辑特性知道，Q 端和 $\overline{Q}$ 端都将为高电平。对触发器来说，这是一种未定义的状态，没有意义，因为这既不是 0 状态，也不是 1 状态。所以在正常工作情况下，基本 RS 触发器用做存储单元时，不允许出现 $\overline{R}$ 端和 $\overline{S}$ 端同时为 0 的情况。

3. 现态、次态和特性表

1)现态

把触发器接收输入信号之前所处的状态称为现态，并用 Q^n 和 $\overline{Q^n}$ 表示。以上已经介绍，触发器有两个稳定状态，在未接收输入信号或输入信号未到来之前，它总是处在某一个稳态，不是 0 就是 1，即 Q^n 不是 0 就是 1。

2)次态

把触发器接收输入信号之后所处的新的状态叫做次态，并用 Q^{n+1} 和 $\overline{Q^{n+1}}$ 表示。大家知道，当输入信号到来时，触发器会根据输入信号的取值更新状态，显然，Q^{n+1} 的值不仅和输入信号有关，而且还取决于现态 Q^n。

3)特性表

反映触发器次态 Q^{n+1} 和现态 Q^n 和输入信号之间对应关系的表格叫做特性表。根据前面工作原理的分析，可得出表 4-1 所列的特性表。

表 4-1 中，R、S 为原变量，在图 4-1 所示电路中，输入信号是 $\overline{R}$、$\overline{S}$，当 $\overline{R}=1$ 时 $R=0$，$\overline{R}=0$ 时 $R=1$，同样，当 $\overline{S}=1$ 时 $S=0$、$\overline{S}=0$ 时 $S=1$。据此便可以很容易地理解以上所示特性表。

由表 4-1 可明显地看出：当 $R=S=0$，即 $\overline{R}=\overline{S}=1$ 时，触发器保持原来状态不变，也即 $Q^{n+1}=Q^n$；当 $R=0$、$S=1$，即 $\overline{R}=1$、$\overline{S}=0$ 时，触发器置 1，也即 $Q^{n+1}=1$；当 $R=1$、$S=0$，即 $\overline{R}=0$、$\overline{S}=1$ 时，触发器置 0，也即 $Q^{n+1}=0$；而 $R=S=1$，即 $\overline{R}=\overline{S}=0$ 是不允许的，属于不用情况。表 4-2 所示是一种常用的特性表的简化形式。

表 4-1　基本 RS 触发器的特性表

R	S	Q^n	Q^{n+1}
0	0	0	0
		1	1
0	1	0	1
		1	1
1	0	0	0
		1	0
1	1	0	不用
		1	

表 4-2　基本 RS 触发器的简化特性表

R	S	Q^{n+1}	说明
0	0	Q^n	保持
0	1	1	置 1
1	0	0	置 0
1	1	不用	不允许

从真值表可得出基本 RS 触发器的特性方程：

$$\begin{cases} Q^{n+1}=S+\overline{R}Q^n \\ RS=0(\text{约束条件}) \end{cases}$$

在遵守约束条件 $RS=0$ 的前提下，可以根据输入信号 R、S 的取值和现态 Q^n，利用特性方程计算次态 Q^{n+1}。

二、由或非门构成的基本 RS 触发器

图 4-2(a)所示是用两个或非门交叉耦合起来构成的基本 RS 触发器；和与非门基本 RS 触发器电路相比较，不仅 R、S 的几何位置不同，而且其上无反号，如果注意到了这种区别，就能够很容易地理解其工作原理。R、S 上面无反号，表示高电平有效，即 R 端、S 端为高平时表示有信号，为低电平时表示无信号。Q、$\overline{Q}$ 同样既表示触发器的状态，又是两

个互补的输出端。

重点提示：图 4-2(b)也是基本 RS 触发器的逻辑符号，与前面介绍的与非门基本 RS 触发器的逻辑符号相比，R 和 S 端无小圆圈，表示高电平有效，即在 R、S 端加的输入信号为高电平时表示有信号，为低电平时表示无信号，这也是一种约定，至于 Q、$\overline{Q}$ 端的含义两者并无区别。

由或非门构成的基本 RS 触发器真值表与表 4-2 相同，具体情况不再分析。

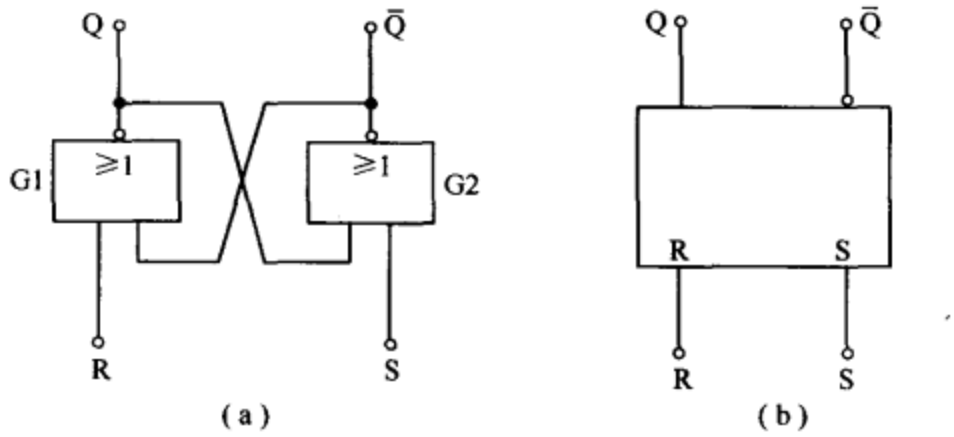


图 4-2　由或非门构成的基本 RS 触发器

(a)逻辑电路图；(b)逻辑符号。

三、分立元件组成的双稳态电路

图 4-3 是采用分立元件构成的双稳态电路，从电路中可以看出，一只三极管的集电极与另一只三极管的基极耦合，U_{o1}、U_{o2}是这一双稳态电路的两个输出信号。两管的基极通过 R3 和 R5 接触发信号 U_i。通常，这种电路中的元器件参数对称，即 VT1、VT2 性能参数一致，$R1=R6$，$R2=R4$，$R3=R5$。

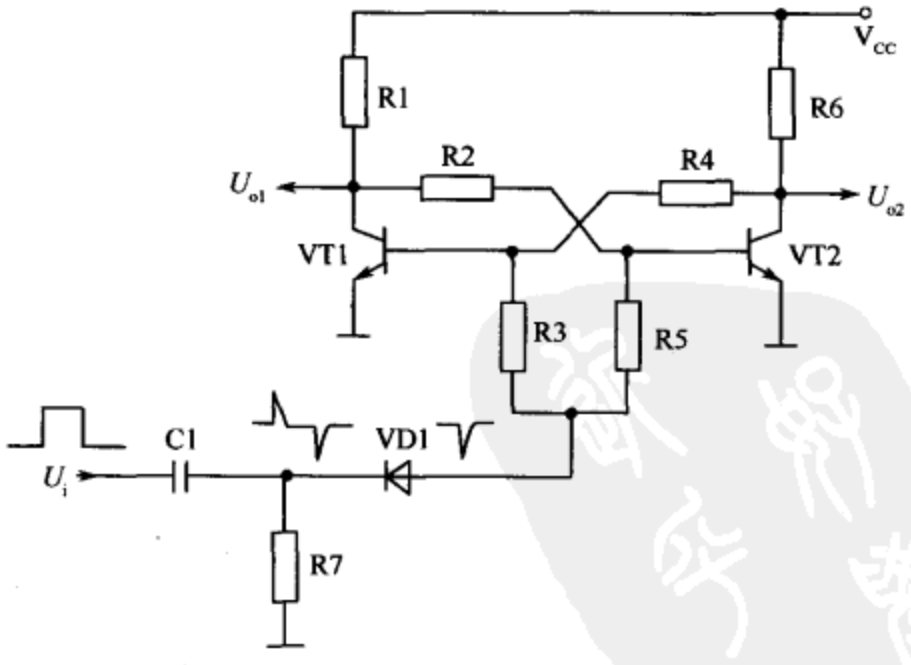


图 4-3　分立元件组成的双稳态电路

(1)当没有输入触发信号时，接通直流工作电压 V_{CC}，虽然电路中元器件参数对称，但不可能是绝对一样的，设接通电源后 VT1 的导通程度大于 VT2，这样 VT1 管的基极和集电极电流增大较快(V_{CC}经 R1 加到 VT1 集电极，R6 和 R4 为 VT1 提供基极电流)，使 VT1 的集电极电压下降较快，通过 R2 使 VT2 基极电压下降，其集电极电压上升，再经

R4 使 VT1 的基极电压进一步上升，其基极电流更大，显然这是正反馈过程，所以很快使 VT1 处于饱和状态。

由于 VT1 饱和后集电极电压（饱和压降）只有 0.2V，这一电压经 R2 加到 VT2 的基极，使 VT2 处于截止状态。此时，VT1 集电极输出电压 U_{o1} 为低电平；VT2 集电极输出电压 U_{o2} 为高电平。只要外电路中没有出现有效的触发信号，这一电路将始终保持 VT1 饱和、VT2 截止的稳定状态。

如若在电源接通之后设 VT2 导通电流大于 VT1，则通过电路的正反馈过程，会使 VT1 处于截止、VT2 处于饱和的稳定状态，此时 U_{o1} 为高电平，U_{o2} 低电平。只要外电路中没有出现有效的触发信号，这一电路始终保持这一稳定状态。

（2）当有触发信号作用于电路时，电路的状态将发生变化。电路中，C1 和 R7 构成微分电路，输入脉冲信号 U_i 经过微分后，获得正、负尖顶脉冲，由于二极管 VD1 的单向导电性，只能让负尖顶脉冲通过，将正尖顶脉冲去掉。

设初始时双稳态电路处于 VT1 饱和、VT2 截止的稳态。触发电路送来的负尖顶脉冲通过 R3 和 R5，同时加到 VT1 和 VT2 基极。由于 VT2 截止，所以负脉冲加到 VT2 基极后使基极电压更低，这对 VT2 无作用。

负脉冲加到饱和管 VT1 的基极后，使 VT1 的基极电压下降，其基极电流和集电极电流减小，集电极电压升高，通过 R2 耦合使 VT2 的基极电压升高，其集电极电压下降，又通过 R4 耦合使 VT1 的基极电压进一步下降，这一正反馈过程，很快使 VT1 从饱和转为截止，而 VT2 则从截止转为饱和，这样，电路在第一个负尖顶脉冲的触发下，从 VT1 饱和、VT2 截止的稳态转为 VT1 截止、VT2 饱和的另一个稳态，电路完成了一次翻转。

当第二个尖顶脉冲通过 R3 和 R5，加到 VT1 和 VT2 基极后，同样的道理，这一负尖顶脉冲对已处于截止状态的 VT1 无影响，但对饱和状态的 VT2 有触发作用，电路再次从一个稳态转换到另一个稳态。

从上述电路可知，来一个负尖顶触发脉冲，电路就能从一个稳态翻转到另一个稳态，没有负尖顶脉冲的触发，电路保持原来的某一种稳定输出状态。

四、基本 RS 触发器的应用

基本 RS 触发器常用做键盘消抖动电路。

键盘是由一组按键开关组成的。通常，按键所用开关为机械弹性开关，均利用了机械触点的通、断作用。由于机械触点的弹性作用，一个按键开关从开始接上至接触稳定要经过数毫秒的弹跳时间，即在几十毫秒的时间里连续产生多个脉冲，在断开时也不会一下子断开，存在同样的问题，按键抖动信号波形如图 4-4 所示。因而按键开关在闭合及断开的瞬间均伴随有一连串的抖动。抖动时间的长短由按键的机械特性决定，一般为 5ms～10ms，而按键的稳定闭合期的长短则是由操作人员的按键动作决定的，一般为十分之几秒的时间。

在电子电路中，一般不允许出现这种抖动现象，因为这种干扰信号会导致电路工作出错。因此，为了保证电路可靠工作，必须设法消除抖动的影响。利用基本 RS 触发器的记忆作用可以消除上述按键开关振动所产生的影响，开关与触发器的连接方法如图 4-5 所示。

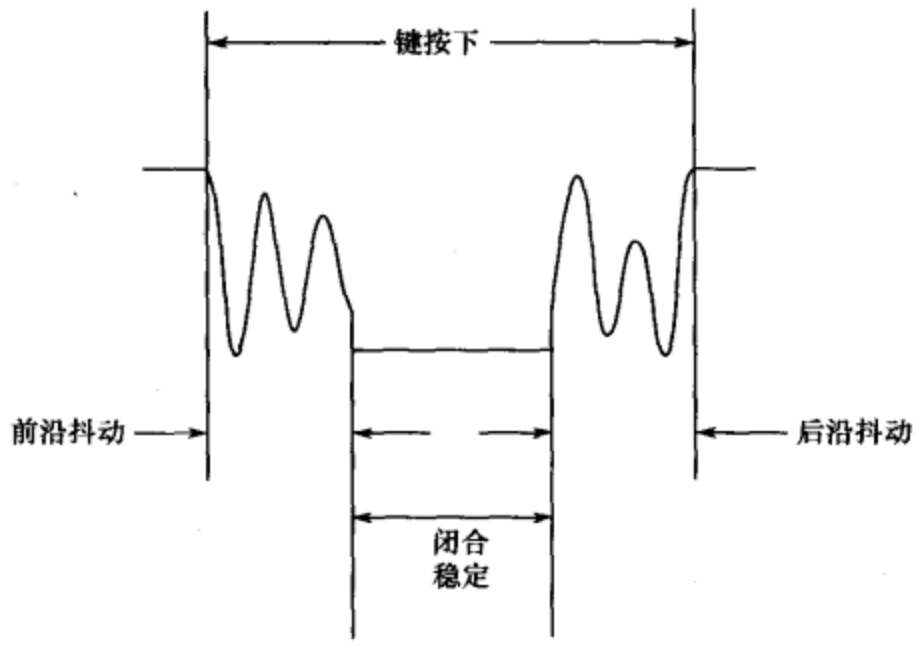


图 4-4　按键抖动信号波形

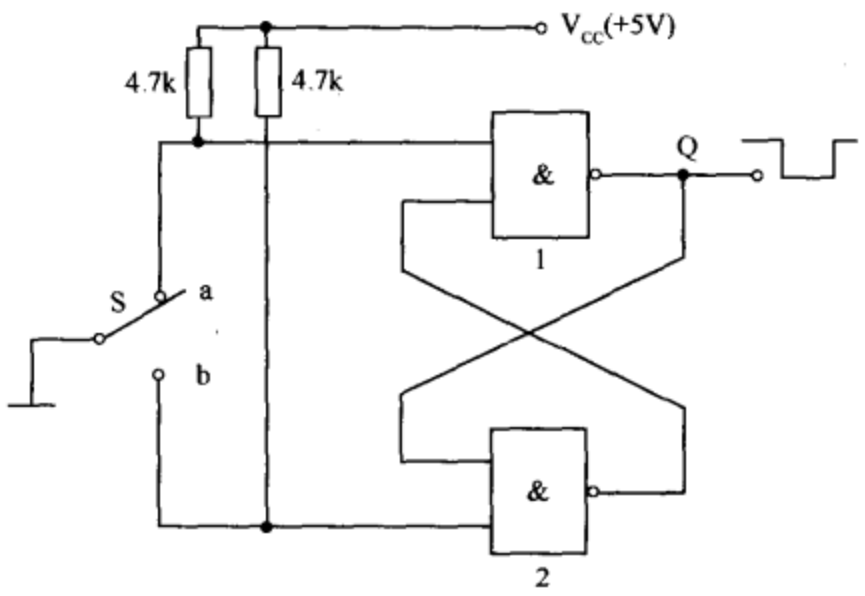


图 4-5　消抖动电路

图 4-5 中用两个与非门构成一个基本 RS 触发器。当按键未按下时，因 a=0，b=1，输出 Q 为 1；当按键按下时，因按键的机械性能，使按键因弹性抖动而产生瞬时不闭合(抖动跳开 b)，当开关 S 没有稳定到达 b 时，因与非门 2 输出为 0 反馈到与非门 1 的输入端，封锁了与非门 1，双稳态电路的状态不会改变，输出保持为 1，不会产生抖动的波形。当开关 S 稳定到达 b 时，因 a=1，b=0，从而使 Q=0，状态产生翻转。当松开开关 S，在开关未稳定达到 a 端时，因 Q=0，所以封锁了与非门 2，从而消除了后沿的抖动，使 Q=0 不变。只有当开关稳定地达到 a 端后，输出才重新返回到原状态。也就是说，即使开关输出的电压波形是抖动的，但经双稳态电路之后，其输出为正规的矩形方波，不会出现“毛刺”的现象。

第三节　同步触发器

同步触发器中，输入信号是经过控制门输入的，而管理控制门的则是叫做时钟脉冲

(CP,Clock Pulse)信号。只有在 CP 信号到来时,输入信号才能进入触发器,否则就会被拒之门外,对电路不起作用。

一、同步 RS 触发器

1. 电路组成

图 4-6(a)所示是同步 RS 触发器的逻辑电路图。与非门 G1、G2 构成基本触发器,与非门 G3、G4 是控制门,输入信号 R、S 通过控制门进行传送,CP 时钟脉冲是输入的控制信号。图 4-6(b)为同步 RS 触发器的符号。

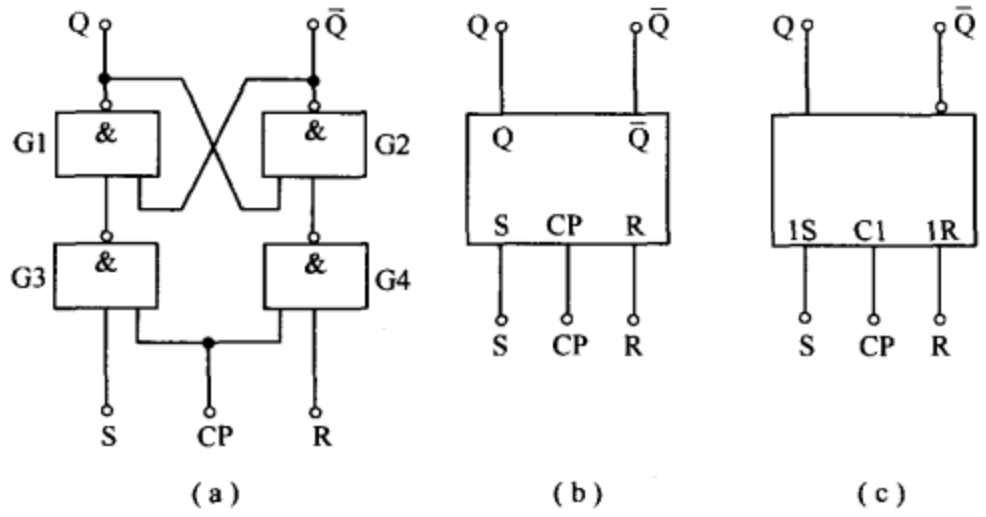


图 4-6　同步 RS 触发器

(a)逻辑电路;(b)曾用符号;(c)国标符号。

2. 工作原理

同步 RS 触发器的工作原理和逻辑功能基本上与 RS 触发器相同,不同之处是它的工作过程(翻转)受到 CP 脉冲的控制,在加入 CP 脉冲之后,触发器的工作过程将发生一些变化,下面分 CP=1 和 CP=0 两种情况进行讨论。

(1)CP=0。由图 4-6 可知,G3 和 G4 同时受 CP 信号控制,当 CP 为 0 时,G3 和 G4 被封锁,R、S 不会影响触发器的状态,即触发器保持原来状态不变。

(2)CP=1。当 CP 为 1 时,G3 和 G4 打开,将 R、S 端的信号传送到基本 RS 触发器的输入端,触发器触发翻转。结合基本 RS 触发器的工作原理,我们可以得到以下结论:

①当 R=1,S=0 时,与非门 G4 有两输入端都是 1,G4 输出 0,这就相当于在基本 RS 触发器的 $\bar{R}$ 端输入 0,所以,此时同步 RS 触发器的输出端 Q=0,这是置 0 过程。

②当 R=0,S=1 时,与非门 G3 有两输入端都是 1,所以输出为 0,这就相当于在基本 RS 触发器的 $\bar{S}$ 端输入 0,所以此时同步 RS 触发器的输出端 Q=1,这是置 1 过程。

③当 R=0,S=0 时,这种情况与基本 RS 触发器相同,同步 RS 触发器的输出状态不变。

④当 R=1,S=1 时,这种情况与基本 RS 触发器相同,同步 RS 触发器的输出状态不定,同步 RS 触发器在工作时应该避免这种情况发生。

综合以上所述,可得到表 4-3 所列的特性表。

需要说明的是,当 CP=1 时,同步 RS 触发器的特性方程与基本 RS 触发器的特性方程是一致的。

表 4-3　同步 RS 触发器特性表

CP	R	S	Q^n	Q^{n+1}	说明
0	×	×	×	Q^n	保持
1	0	0	0	0	
1	0	0	1	1	
1	0	1	0	1	置 1
1	0	1	1	1	
1	1	0	0	0	置 0
1	1	0	1	0	
1	1	1	0	不用	不允许
1	1	1	1	不用	

二、同步 D 触发器

1. 电路组成

图 4-7 所示是同步 D 触发器原理图，D 为输入端，CP 为时钟脉冲。

仔细观察会发现，同步 D 触发器是在同步 RS 触发器的基础上，增加了反相器 G5，通过它把加在 S 端的 D 信号反相之后送到 R 端，除此之外，同步 D 触发器和同步 RS 触发器没有别的差异。

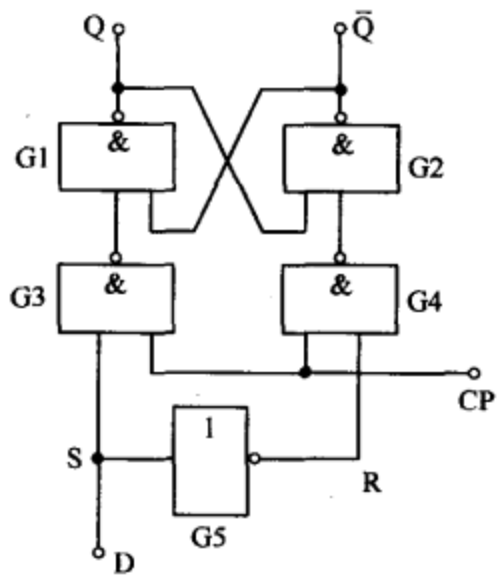


图 4-7　同步 D 触发器

由同步 D 触发器电路图可得：S=D、R=$\overline{D}$，代入同步 RS 触发器的特性方程可得到同步 D 触发器的特性方程：

$$Q^{n+1}=S+\overline{R}Q^n=$$
$$D+\overline{\overline{D}}Q^n=$$
$$D(CP=1\text{ 期间有效})$$

同步 D 触发器具有以下特点：在 CP=1 期间，输出端 Q 和 $\overline{Q}$ 的状态跟随 D 变化，D 若变为 1，则 Q 随之变为 1，$\overline{Q}$ 随之变为 0。只有当 CP 脉冲下降沿到来时才锁存，锁存的内容是 CP 下降沿瞬间 D 的值。

2. 集成同步 D 触发器(D 锁存器)

由若干个同步 D 触发器构成的一次能存储多位二进制代码的时序逻辑电路叫锁存器。下面介绍两种常见集成 D 锁存器。

1)TTL 集成同步 D 触发器 74LS375

TTL 4 位集成同步 D 触发器 74LS375 有 4 个触发器单元，其引脚功能如图 4-8 所示，图中 CP1、2 是单元 1、2 共用的时钟脉冲，CP3、4 是单元 3、4 共用的时钟脉冲。

同步 D 触发器 74LS375 具有以下功能：CP=0 时，触发器保持原来状态不变；CP=1 时，信号 D 可以进入触发器中，且 $Q^{n+1}=D$。

2)CMOS 集成同步 D 触发器 CC4042

CMOS 集成同步 D 触发器 CC4042 集成了 4 个触发器单元，其引脚功能如图 4-9 所

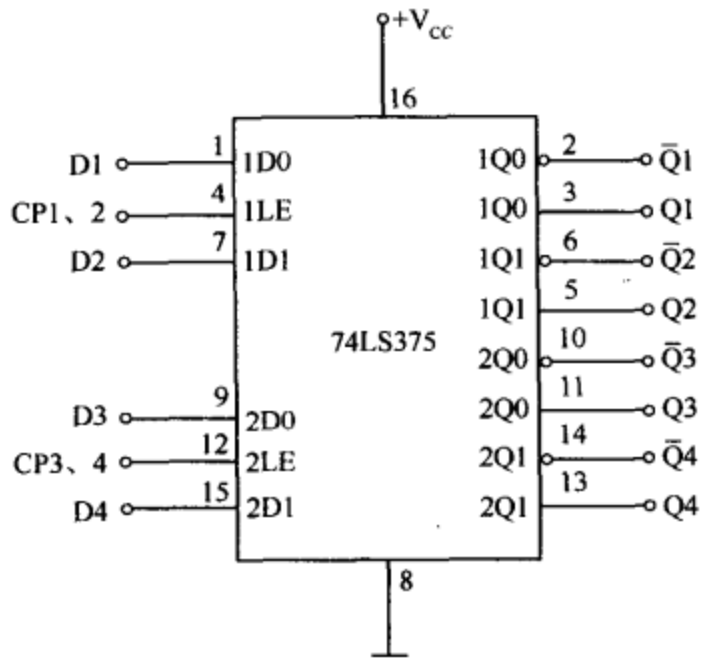


图 4-8　集成同步 D 触发器 74LS375 引脚功能图

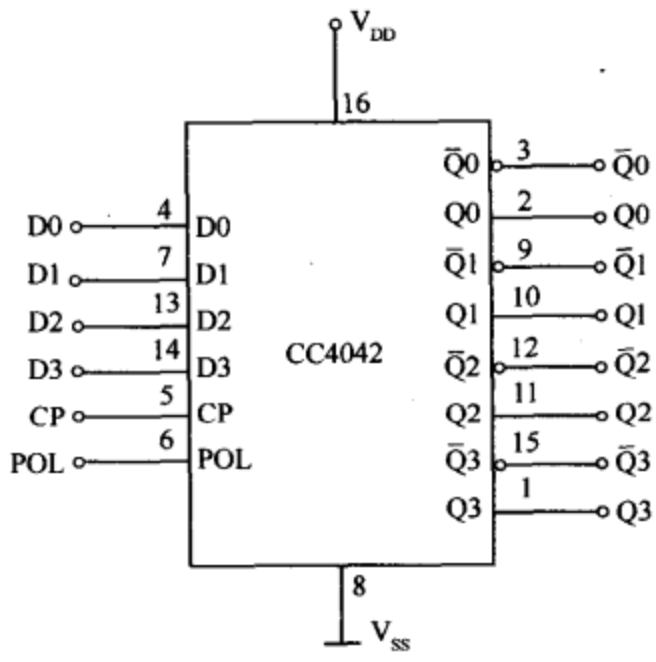


图 4-9　CMOS 集成同步 D 触发器 CC4042 引脚功能图

示。图中 POL 是 CP 极性控制信号。

CMOS 集成同步 D 触发器 CC4042 具有以下功能：

①当 POL＝1 时，若 CP＝0 时，触发器保持原来状态不变；若 CP＝1，信号 D 可以进入触发器中，Q^{n+1}＝D，且触发器锁存 CP 下降沿瞬间输入信号 D 的值。

②当 POL＝0 时，若 CP＝1 时，触发器保持原来状态不变；若 CP＝0，信号 D 可以进入触发器中，Q^{n+1}＝D，且触发器锁存 CP 上升沿瞬间输入信号 D 的值。

集成同步 D 触发器 CC4042 的特性见表 4-4。

表 4-4　集成同步 D 触发器 CC4042 的特性表

D	CP	POL	Q^n	Q^{n+1}	说明
×	0	1	0	0	保持
×	0	1	1	1	
×	1	0	0	0	
×	1	0	1	1	
0	1	1	×	0	接收
1	1	1	×	1	
0	0	0	×	0	
1	0	0	×	1	

集成同步 D 触发器 CC4042 的真值表见表 4-5。

表 4-5　集成同步 D 触发器 CC4042 的真值表

D	CP	POL	Q	说明
D	0	0	D	接收
D	1	1	D	
D	↑	0	锁存	CP 上升沿锁存
D	↓	1	锁存	CP 下降沿锁存

3. D 触发器的应用

D 触发器的应用比较广泛，下面以抢答器电路为例进行简要说明，有关电路如图 4-10 所示。

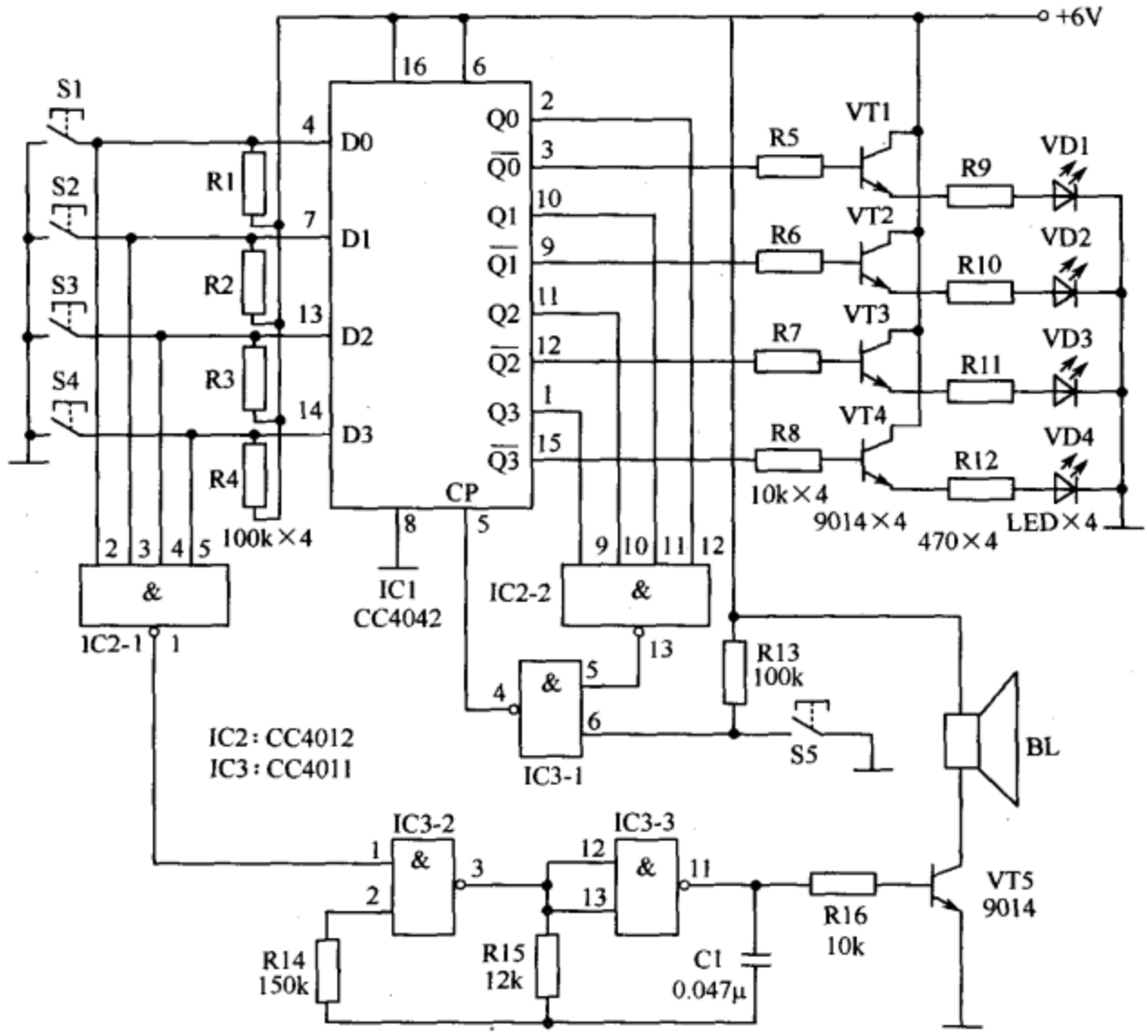


图 4-10　抢答器电路

抢答器电路由 3 部分组成：一是锁存 D 型触发器集成电路 IC1(CC4042)和与非门 IC2 等构成的控制电路；二是晶体管 VT1～VT4、发光二极管 VD1～VD4 等构成的指示电路；三是与非门 IC3-2、IC3-3、扬声器 BL 等构成的音响提示电路。S1～S4 为参赛者的抢答按钮，S5 为主持人的复位按钮。

抢答器电路的初始状态是：因为 IC1 中所含的 4 个 D 触发器的数据输入端 D0～D3 通过电阻 R1～R4 接+6V，D0～D3 均为 1，所以 4 个 D 触发器的输出端 Q0～Q3 为 1、$\overline{Q0}$～$\overline{Q3}$为 0，VT1～VT4 截止，发光二极管 VD1～VD4 均不亮。这时，与非门 IC2-2 输出为 0，与非门 IC3-1 输出为 1，即 CP＝1，D 触发器处于数据传输状态。

抢答开始时，设抢答按钮 S1 首先被按下，D0＝0，Q0＝0，使与非门 IC2-2 输出变为 1，与非门 IC3-1 输出变为 0，即 CP＝0，D 触发器处于数据锁存状态，电路对在此时间以后的信号便不再响应，也就是其他抢答按钮不再有效。同时$\overline{Q0}$＝1，晶体管 VT1 导通，驱动发光二极管 VD1 发光，指示出鉴别到的第一信号，表示 S1 抢得了发言权。

一轮抢答结束后，主持人按下复位按钮 S5，与非门 IC3-1 的一个输入端被置 0，使 IC3-1 输出为 1，即 CP＝1，电路又回复到 Q0～Q3 均为 1、$\overline{Q0}$～$\overline{Q3}$均为 0 的初始状态。

与非门 IC3-2、IC3-3 构成脉冲键控多谐振荡器。当抢答按钮 S1～S4 中有任一个被

按下时，与非门 IC2-1 输出即为 1，使多谐振荡器起振，通过 VT5 驱动扬声器 BL 发出约 800Hz 的提示音。

第四节　主从JK 触发器

主从触发器结构框图如图 4-11 所示，它由两级触发器——主触发器和从触发器组成，主触发器的数据输入即为整个主从触发器的数据输入。其工作分两步：CP＝1 时，主触发器接收输入数据，从触发器被封锁(状态不变)；CP 由 1 变 0 后，主触发器的输出值由从触发器转移到输出端，此时主触发器被封锁，从而使主从触发器每来一个 CP，状态改变一次。

比较常见的主从触发器有主从 RS 触发器和主从 JK 触发器，其中，以主从 JK 触发器最为常见。下面主要以 JK 触发器为例进行介绍。

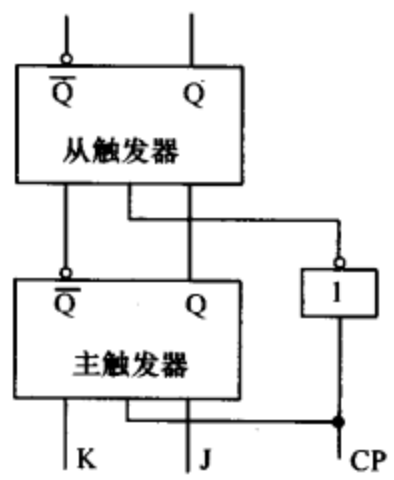


图 4-11　主从触发器框图

一、电路结构

主从 JK 触发器的电路结构如 4-12(a)所示。J、K 为信号输入端，CP 为时钟脉冲，Q、$\overline{Q}$ 为信号输出端。与非门 G1～G4 组成从触发器，门 G5～G8 组成主触发器，由于电路采用了主从结构形式，而输入信号变为了 J 和 K，故名主从 JK 触发器。

图 4-12(b)所示是曾用符号，CP 端的小圆圈表示只有在 CP 下降沿时刻，触发器的输出端才会改变状态。

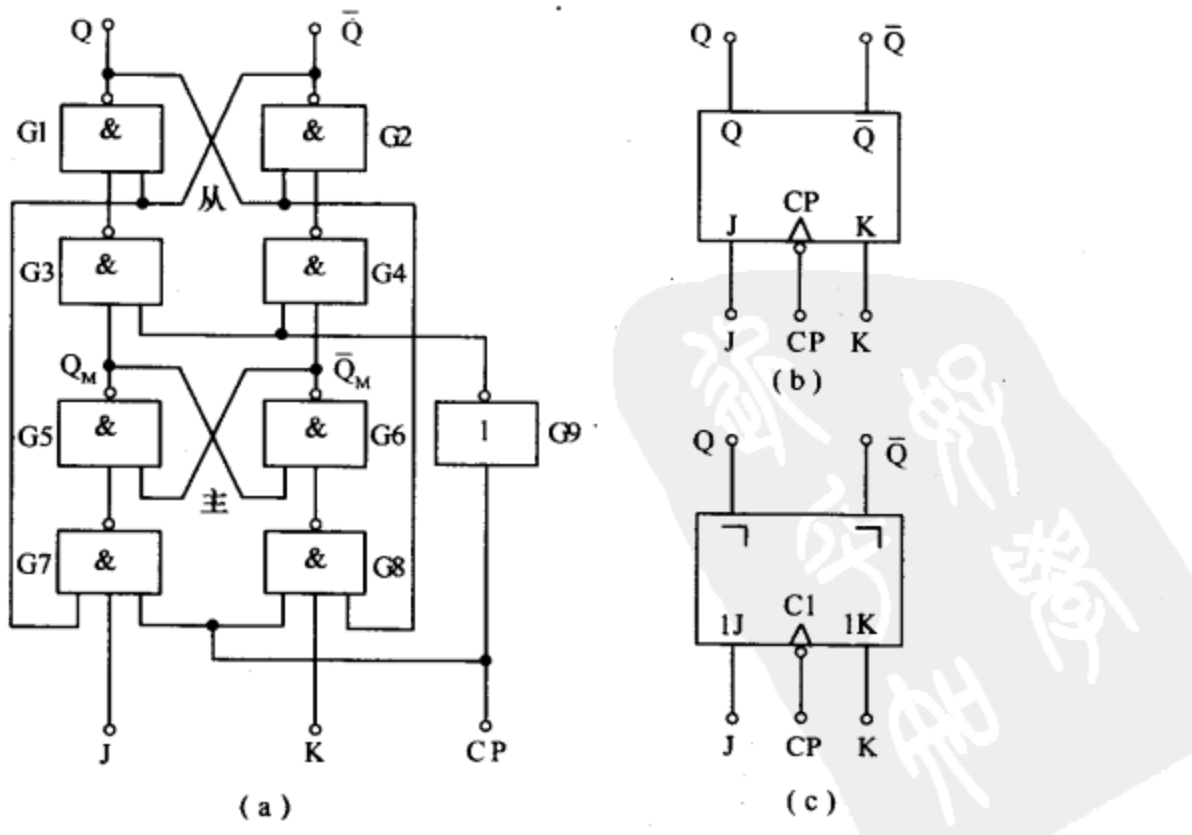


图 4-12　主从 JK 触发器及其符号

(a)逻辑电路图；(b)曾用符号；(c)国标符号。

图 4-12(c)是国际符号，输出端有小圆圈者为 $\overline{Q}$ 端，无者为 Q 端；方框内的符号“⊓”表示延迟，即直到 CP 脉冲下降沿到来时 Q 端和 $\overline{Q}$ 端才会改变状态；1J、1R 是信号输入端；C1 是时钟脉冲端，小圆圈表示 CP 下降沿有效。

二、工作原理

对图 4-12 所示的主从 JK 触发器电路，下面分以下几种情况进行分析。

1)J＝1，K＝1 时

由于 J＝K＝1，当 CP＝1 时，逻辑门 G7 和 G8 具备了打开的条件之一(是否打开还要受另一个输入端的影响)，此时主触发器的输出状态由 JK 触发器的输出 Q 和 $\overline{Q}$ 反馈信号决定。当 J＝K＝1 时，可以分成两种情况进行讨论：

(1)设 JK 触发器的初始输出状态为 Q＝0，$\overline{Q}$＝1。由于 Q＝0，使逻辑门 G8 封闭，G8 门输出 1。由于 $\overline{Q}$＝1，逻辑门 G7 打开，G7 门输出 0，这样使主触发器输出状态为 Q_M＝1，$\overline{Q_M}$＝0。此时，由于逻辑门 1 输出 0，使从触发器关闭，这样主触发器输出状态不影响 JK 触发器的输出，即 JK 触发器输出状态仍然是 Q＝0，$\overline{Q}$＝1。

当 CP 从 1 变到 0 后，即在时钟脉冲的下降沿，由于 CP＝0，将逻辑门 G7 和 G8 关闭，此时的 Q 和 $\overline{Q}$ 输出状态对主触发器无影响，这样可确保一个 CP 脉冲主触发器只翻转一次。此时，由于逻辑门 1 的输出状态为 1，使逻辑门 G3 和 G4 具有打开条件之一。

此时，由于 $\overline{Q_M}$＝0，将逻辑门 G4 关闭，G4 门输出为 1。由于 Q_M＝1，逻辑门 G3 打开，G3 门输出为 0，这样 Q 输出为 1，即此时 JK 触发器输出端状态为 Q＝1，$\overline{Q}$＝0，主触发器输出状态转换到从触发器输出端。

(2)设 JK 触发器的初始输出状态为 Q＝1，$\overline{Q}$＝0。由于 $\overline{Q}$＝0，使逻辑门 G7 封闭，G7 门输出 1。由于 Q＝1，逻辑门 G8 打开，G8 门输出 0，使主触发器输出状态为 Q_M＝0，$\overline{Q_M}$＝1。此时，由于逻辑门 1 输出为 0，使从触发器关闭，这样主触发器输出状态不影响 JK 触发器的输出，即 JK 触发器输出状态仍然是 Q＝1，$\overline{Q}$＝0。

当 CP 从 1 变到 0 后，由于 CP＝0，将主触发器关闭。此时，由于逻辑门 1 的输出状态为 1，使逻辑门 G3 和 G4 具有打开条件之一。此时，由于 Q_M＝0，将逻辑门 G3 关闭，G3 门输出为 1。

由于 $\overline{Q_M}$＝1，逻辑门 G4 打开，G4 门输出为 0，这样从触发器输出端状态为 Q＝0，$\overline{Q}$＝1。

从上述分析可知，当 J＝K＝1 时，无论 JK 触发器初始状态是怎样，JK 触发器都要完成一次翻转，或从 1 翻转到 0，或从 0 翻转到 1。注意：JK 触发器只在时钟脉冲的下降沿才进行翻转，在时钟上升沿时触发器不翻转。

2)J＝1，K＝0 时

在这种输入情况下，根据 JK 触发器初始状态的不同，还要分成下面两种情况进行讨论：

(1)设 JK 触发器的初始状态为 Q＝0，$\overline{Q}$＝1。在 CP＝1 时，由于 $\overline{Q}$＝1，使逻辑门 G7 打开，G7 门输出为 0。由于 K＝0，使得逻辑门 G8 关闭，G8 输出为 1，这样主触发器的输出状态为 Q_M＝1，$\overline{Q_M}$＝0。此时，由于逻辑门 1 输出为低电平 0，从触发器被关闭。

当 CP 从 1 变到 0 时，由于 CP＝0，将主触发器关闭。由于逻辑门 1 输出高电平 1，使

逻辑门 G3 和 G4 具有打开条件之一。

此时 $Q_M=1$，所以逻辑 G3 被打开，G3 门输出为 0。由于 $\overline{Q_M}=0$，使逻辑门 G4 关闭，G4 门输出为 1，这样从触发器输出状态为 $Q=1,\overline{Q}=0$。

(2)设 JK 触发器的初始状态为 $Q=1,\overline{Q}=0$。由于主触发器被 $\overline{Q}=0$ 和 $K=0$ 封闭，所以从触发器不作翻转，这样 JK 触发器保持原状态不变，即此时为 $Q=1,\overline{Q}=0$。

通过上述分析可知，当 $J=1,K=0$ 时，无论 JK 触发器初始状态是怎样，JK 触发器的输出状态总是 $Q=1,\overline{Q}=0$，这是置 1 过程。

3)$J=0,K=1$ 时

在这种情况下，无论 JK 触发器初始状态如何，JK 触发器输出状态总是 $Q=0,\overline{Q}=1$，这是置 0 过程，具体情况不再分析。

4)$J=0,K=0$ 时

当 $J=0$ 和 $K=0$ 时，由于主触发器被 $J=0$ 和 $K=0$ 封闭，所以从触发器不作翻转，这样 JK 触发器保持原状态不变。

三、特性表和特性方程

根据以上分析，可得出主从 JK 触发器的特性表，见表 4-6。

表 4-6　主从 JK 触发器特性表

J	K	Q^n	Q^{n+1}	说　明
0	0	0	0	$Q^{n+1}=Q^n$ 保持
0	0	1	1	
0	1	0	0	$Q^{n+1}=0$ 置 0
0	1	1	0	
1	0	0	1	$Q^{n+1}=1$ 置 1
1	0	1	1	
1	1	0	1	$Q^{n+1}=\overline{Q^n}$ 翻转
1	1	1	0	

根据主从 JK 触发器的特性表，可推导出主从 JK 触发器的特性方程：

$$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$$

需要说明的是，主从 JK 触发器的两个输入信号 J 和 K 没有约束条件，且在 $J=K=1$ 时，每输入一个时钟脉冲，触发器翻转一次。触发器的这种工作状态称为计数状态，由触发器翻转的次数可以计算出输入时钟脉冲的个数。

例 1　设下降沿触发的主从 JK 触发器的时钟脉冲和 J、K 信号的波形如图 4-13 所示，画出输出端 Q 的波形。设触发器的初始状态为 0。

解　(1)下降沿触发的主从 JK 触发器在时钟脉冲 CP 后沿翻转，从时钟脉冲的后沿向下引虚线。

(2)在时钟的顶部标上 1、2、3、……

(3)触发器的原始状态为 0，即 $Q^n=0$。

(4)根据主从型 JK 触发器的特性表，从第一个 CP 的后沿开始，确定输出端 Q 的状态。

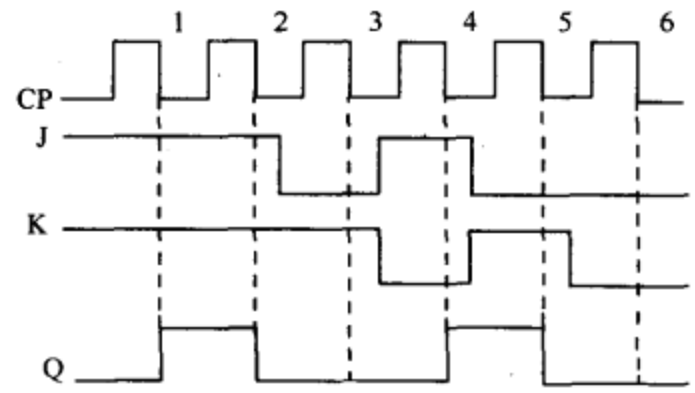


图 4-13　下降沿触发主从 JK 触发器波形

从图中可以看出，在第一个时钟 CP 后沿，J＝1，K＝1，Q^n＝0，翻转，Q^{n+1}＝；

在第二个时钟 CP 后沿，J＝1，K＝1，Q^{n+1}＝1，翻转，Q^{n+2}＝0；

在第三个时钟 CP 后沿，J＝0，K＝1，Q^{n+2}＝0，置 0，Q^{n+3}＝0；

在第四个时钟 CP 后沿，J＝1，K＝0，Q^{n+3}＝0，置 1，Q^{n+4}＝1；

在第五个时钟 CP 后沿，J＝0，K＝1，Q^{n+4}＝1，置 0，Q^{n+5}＝0；

在第六个时钟 CP 后沿，J＝0，K＝0，Q^{n+5}＝0，保持，Q^{n+6}＝0。

据此，可画出 Q 端的波形，如图 4-13 所示。

重点提示：由图看出，在第一、第二个 CP 脉冲作用期间，J、K 均为 1，每输入一个脉冲，Q 端的状态就改变一次，这时 Q 端的方波频率是时钟脉冲频率的二分之一。若以 CP 端为输入，Q 端为输出，则该触发器就可作为二分频电路，两个这样的触发器串联就可获得四分频电路，其余类推。

四、具有直接复位和直接置位功能的主从 JK 触发器

图 4-14 所示是具有直接复位和直接置位功能的主从 JK 触发器的逻辑符号。图中 J、K 叫做同步输入端，因为加在 J、K 端的输入信号能否进入触发器而被接收，是受时钟脉冲 CP 同步控制的，CP 信号不到来它们就都被拒之于门外，对触发器不起作用。R_D、S_D 叫做异步输入端，也称之为直接复位和直接置位端。当 $\overline{R}_D$＝0 时，触发器就被复位到 0 状态；$\overline{S}_D$＝0 时，触发器被置位到 1 状态。其作用与时钟脉冲 CP 无关。因此，直接复位和直接置位拥有最高的权限。

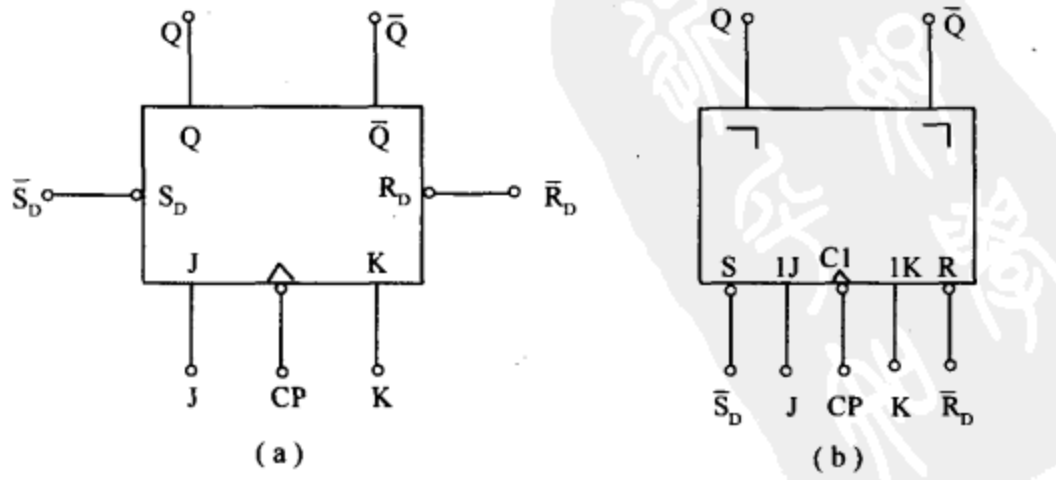


图 4-14　直接复位和置位的主从 JK 触发器的逻辑符号

(a)曾用符号；(b)国标符号。

五、集成主从 JK 触发器

集成主从 JK 触发器的产品较多，以下介绍一种比较典型主从 JK 触发器 7472。该触发器内含两个相同的 JK 触发器，它们都带有预置和清零输入，其逻辑符号如图 4-15 所示，其特性表见表 4-7。

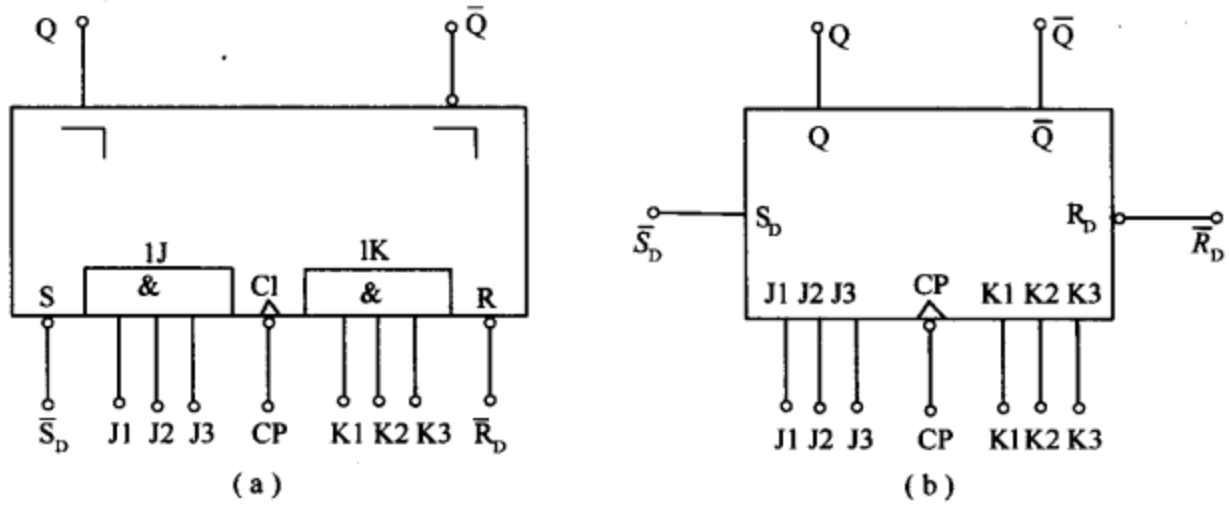


图 4-15　7472 逻辑符号

(a)国标符号；(b)曾用符号。

表 4-7　集成主从 JK 触发器 7472 的特性表

输　入					输出	说明
$\overline{S}_D$	$\overline{R}_D$	CP	J	K	Q^{n+1}	
0	0	×	×	×	不用	不允许
0	1	×	×	×	1	异步置 1
1	0	×	×	×	0	异步置 0
1	1	↓(下降沿)	0	0	Q^n	保持
1	1	↓(下降沿)	0	1	0	置 0
1	1	↓(下降沿)	1	0	1	置 1
1	1	↓(下降沿)	1	1	$\overline{Q}^n$	翻转

从特性表可以看出，当异步输入端工作时，CP、J、K 均不起作用，Q^{n+1} 仅决定于 $\overline{R}_D$ 和 $\overline{S}_D$ 的取值。而且不允许出现 $\overline{R}_D=\overline{S}_D=0$ 的情况，否则 Q 端和 $\overline{Q}$ 端将会同时为高电平。如果 $\overline{R}_D$ 和 $\overline{S}_D$ 同时撤销，即由 0 跳变到 1，则会出现竟态现象，触发器的状态无法预先确定。当 $\overline{R}_D=\overline{S}_D=1$，即均为高电平时，触发器才会按照特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 的规定，在时钟脉冲 CP 的操作下转换状态。

六、主要特点

主从 JK 触发器功能完善，J、K 之间也没有约束，使用十分灵活，但其抗干扰能力较差，存在一次变化问题。

主从 JK 触发器中的主触发器，在 CP=1 期间，其状态能且只能变化一次，这种变化既可能发生在 CP 上升沿，也可能发生在 CP=1 期间某时刻，甚至发生在 CP 下降沿前一瞬间，既可以是 J、K 变化引起，也可以是干扰脉冲造成。这是由于把输出 Q、$\overline{Q}$ 引回到输

入端——主触发器的输入控制门 G7、G8 造成的。从图 4-12 所示电路不难看出：

(1)如果在 CP=0 时，$Q=Q_M=0$、$\overline{Q}=\overline{Q}_M=1$，则当 CP 跳变到 1 时，因 Q=0 封锁了门 G8，输入信号只能从 J 端经门 G7 进入主触发器，显然主触发器一旦从 0 变成 1 以后，其状态就不可能再改变了。当 CP 下降沿到来时，从触发器的控制门 G3、G4 被打开。主触发器的 1 便进入从触发器，使 Q=1、$\overline{Q}=0$。

(2)如果在 CP=0 时 $Q=Q_M=1$、$\overline{Q}=\overline{Q}_M=0$，则当 CP 跳变到 1 时。因 $\overline{Q}=0$ 封锁了门 G7，输入信号只能从 K 端经门 G8 进入主触发器。显然主触发器一旦从 1 变成 0 以后，其状态也不可能再改变了。直至 CP 下降沿到来时，控制门 G3、G4 被打开，主触发器的 0 进入从触发器，使 Q=0、$\overline{Q}=1$ 为止。

综上所述可知：如果是干扰信号引起一次变化，则该变化结果在 CP 下降沿到来时将被送入从触发器，造成永久性错误；如果是 J、K 变化造成，则也需判断一次变化产生的时刻，因为在此时刻之后 J、K 的变化再也不会起作用了。所以，一般情况下，主从 JK 触发器要求在 CP=1 期间输入信号的取值应保持不变。

第五节　边沿触发器

所谓边沿触发器，就是只有在时钟脉冲 CP 的上升边沿(从 0 变化到 1)或下降边沿(从 1 变化到 0)时，触发器才能接收输入端的控制信号进行触发器的翻转，而在时钟脉冲 CP 为 1 期间或为 0 期间，输入端控制信号的任何变化都不会使触发器产生翻转动作，这样的触发器称为边沿触发器。可见，边沿触发器提高了抗干扰能力，工作十分可靠。边沿触发器主要有边沿 JK 触发器和维持—阻塞式 D 触发器，下面分别进行介绍。

一、边沿 JK 触发器

为解决主从 JK 触发器抗干扰差的问题，出现了边沿 JK 触发器，边沿 JK 触发器在内部电路上做了较大的改进，因此，抗干扰能力大大增强。

1. 边沿 JK 触发器的符号和种类

边沿 JK 触发器主要有负边沿(下降沿)和正边沿(上升沿)两种触发方式。负边沿触发 JK 触发器的逻辑符号如图 4-16 所示，正边沿触发的 JK 触发器逻辑符号如图 4-17 所示。

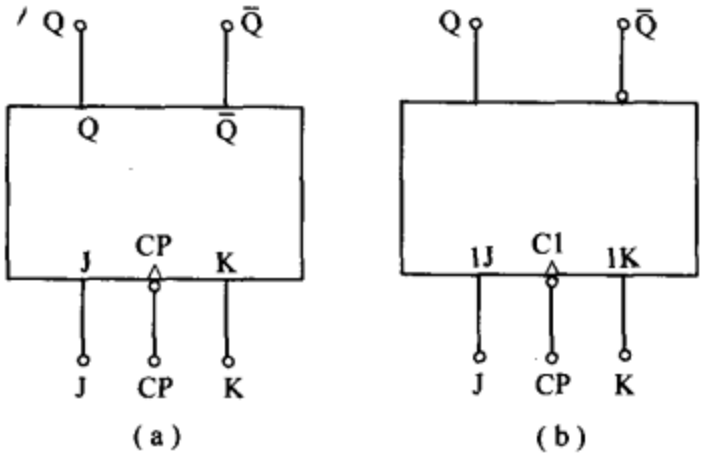


图 4-16　负边沿触发 JK 触发器的逻辑符号

(a)曾用符号；(b)国标符号。

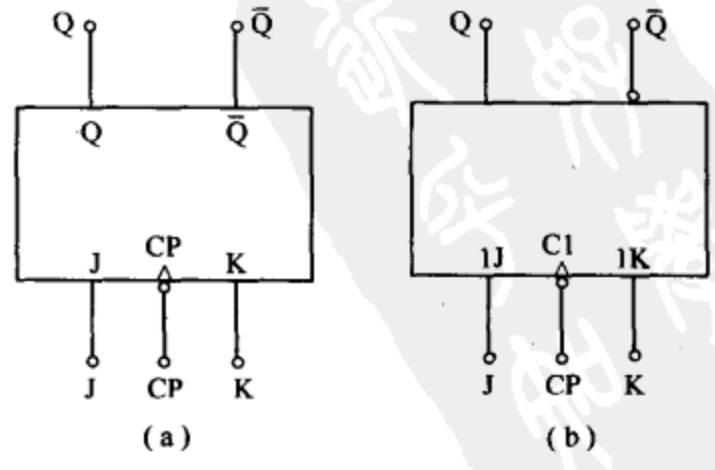


图 4-17　正边沿触发 JK 触发器的逻辑符号

(a)曾用符号；(b)国标符号。

从图 4-16、图 4-17 中可以看出，负边沿触发的 JK 触发器的 CP 端有打“。”符号，而正边沿触发的 JK 触发器 CP 端没有打“。”符号。

负边沿 JK 触发器在 CP 为 0、上升沿和 1 时，输入信号 J、K 都不起作用，只有在 CP 为下降沿时，触发器才按照特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 更新状态。而正边沿 JK 触发器则相反，在 CP 为 0、下降沿和 1 时，输入信号 J、K 都不起作用，只有在 CP 为上升沿时，触发器才按照特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 更新状态。

常用的负边沿触发集成电路 JK 触发器有 74LS76/7476/74HC76、74LS112/74112/74HC112、74HC108、74HC107、74LS114/74114/74HC114 等，它们都是在一片芯片内部集成了两个相同且独立的 JK 触发器。常用的正边沿触发集成电路 JK 触发器有 74LS109、74109、74HC109 等，它们也是在一片芯片内包含了两个相同且独立的 JK 触发器，故称为双 JK 触发器。

2. 集成边沿 JK 触发器介绍

集成 JK 触发器的产品较多，以下介绍几种比较典型的边沿 JK 触发器。

1)CMOS 边沿 JK 触发器 CC4027

CMOS 边沿 JK 触发器 CC4027 引脚功能如图 4-18 所示，其特性表见表 4-8。

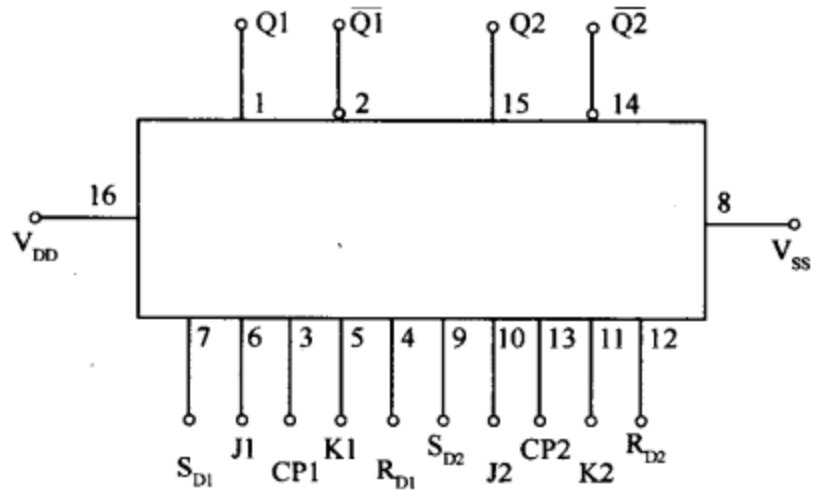


图 4-18　CMOS 边沿 JK 触发器 CC4027 引脚功能

表 4-8　CMOS 边沿 JK 触发器 CC4027 特性表

J	K	Q^n	R_D	S_D	CP	Q^{n+1}	说明
×	×	×	0	1	×	1	异步置 1
×	×	×	1	0	×	0	异步置 0
×	×	×	1	1	×	不用	不允许
×	×	0	0	0	↓	0	不变
×	×	1	0	0	↓	1	
0	0	0	0	0	↑	0	保持
0	0	1	0	0	↑	1	
0	1	0	0	0	↑	0	同步置 0
0	1	1	0	0	↑	0	
1	0	0	0	0	↑	1	同步置 1
1	0	1	0	0	↑	1	
1	1	0	0	0	↑	1	翻转
1	1	1	0	0	↑	0	

由特性表可知，当 $R_D=S_D=0$ 时，CP 上升沿瞬间，触发器按照特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 的规定转换状态，CP 下降沿无效，即 CP 下降沿不起作用，相应地触发器仍维持原来状态不变；当异步输入端工作时，J、K、Q^n、CP 均无效，即对 Q^{n+1} 不起作用，触发器输出端的状态仅决定于 R_D、S_D的取值，当 $R_DS_D=01$ 时置 1，$R_DS_D=10$ 时置 0，$R_DS_D=11$ 不允许，即 R_D、S_D的取值应遵守约束条件 $R_DS_D=0$，否则不仅会出现触发器 Q 端和 $\overline{Q}$ 端均为高电平的不正常情况，而且当 R_D、S_D同时跳变到 0 时还要产生竞态现象，造成触发器状态不能预先确定的后果。

2）TTL 边沿 JK 触发器 74LS112

TTL 边沿 JK 触发器 74LS112 引脚功能如图 4-19 所示，其特性表如表 4-9 所示。

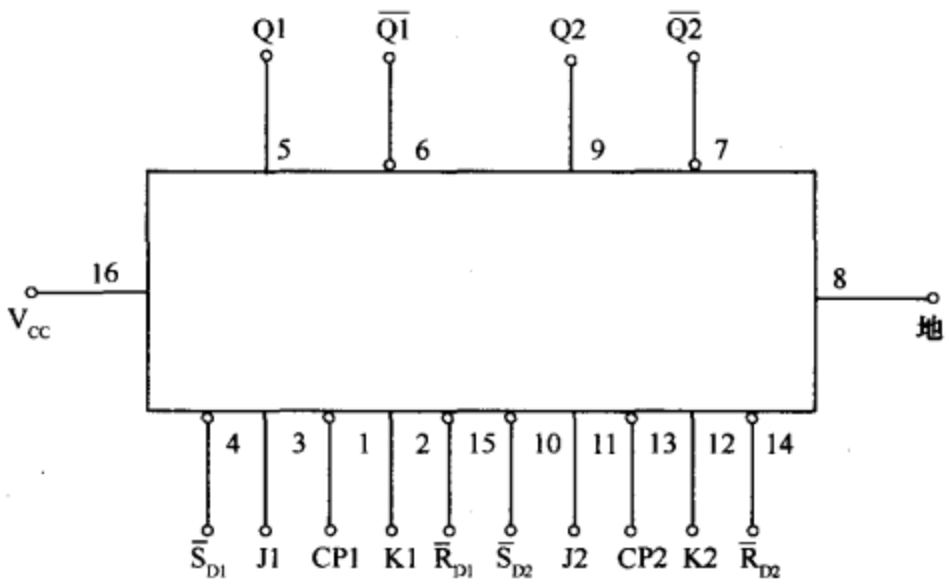


图 4-19　TTL 边沿 JK 触发器 74LS112 引脚功能

表 4-9　TTL 边沿 JK 触发器 74LS112 特性表

J	K	Q^n	$\overline{R}_D$	$\overline{S}_D$	CP	Q^{n+1}	说明
×	×	×	0	1	×	1	异步置 0
×	×	×	1	0	×	0	异步置 1
×	×	×	0	0	×	不用	不允许
×	×	0	1	1	↑	0	不变
×	×	1	1	1	↑	1	
0	0	0	1	1	↓	0	保持
0	0	1	1	1	↓	1	
0	1	0	1	1	↓	0	同步置 0
0	1	1	1	1	↓	0	
1	0	0	1	1	↓	1	同步置 1
1	0	1	1	1	↓	1	
1	1	0	1	1	↓	1	翻转
1	1	1	1	1	↓	0	

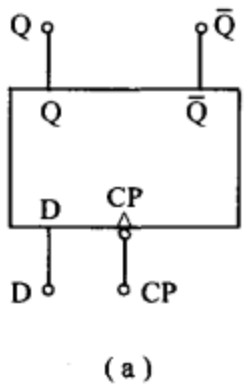
由特性表可知，74LS112 中集成的两个单元电路都是 CP 下降沿触发的边沿 JK 触发器。当 $\overline{R}_D=\overline{S}_D=1$ 时，电路在 CP 下降沿瞬间，将按照特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 的规

定，由现态转换到次态；当异步输入端工作时，J、K、Q^n 和 CP 均无效，若 $\overline{R}_D\overline{S}_D=01$，则触发器置 0；若 $\overline{R}_D\overline{S}_D=10$，则触发器置 1，$\overline{R}_D\overline{S}_D=00$ 是不允许的取值情况。

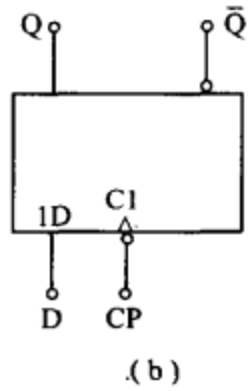
二、边沿 D 触发器

1. 边沿 D 触发器的符号

边沿 D 触发器主要有负边沿（下降沿）和正边沿（上升沿）两种触发方式。负边沿触发 D 触发器的逻辑符号如图 4-20 所示，正边沿触发的 D 触发器逻辑符号如图 4-21 所示。



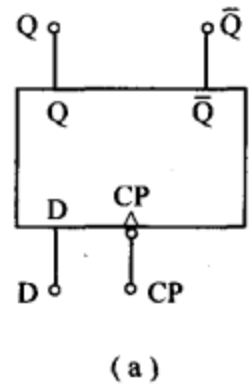
(a)



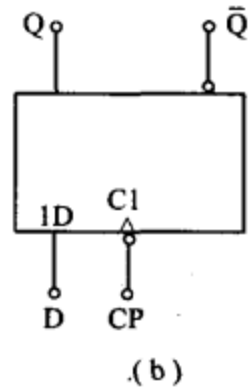
(b)

图 4-20　负边沿触发 D 触发器的逻辑符号

(a)曾用符号；(b)国标符号。



(a)



(b)

图 4-21　正边沿触发 D 触发器的逻辑符号

(a)曾用符号；(b)国标符号。

从图 4-20、图 4-21 中可以看出，负边沿触发的 D 触发器的 CP 端有“。”符号，而正边沿触发的 D 触发器 CP 端没有“。”符号。

负边沿 D 触发器在 CP 为 0、上升沿和 1 时，输入信号 D 都不起作用，只有在 CP 为下降沿时，触发器才按照特性方程 $Q^{n+1}=D$ 更新状态。而正边沿 D 触发器则相反，在 CP 为 0、下降沿和 1 时，输入信号 D 都不起作用，只有在 CP 为上升沿时，触发器才按照特性方程 $Q^{n+1}=D$ 更新状态。

在边沿 D 触发器中，上升沿 D 触发器最为常见，其时序波形如图 4-22 所示。

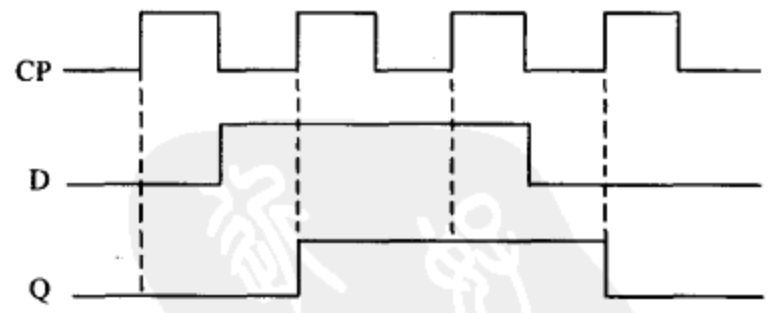


图 4-22　上升沿触发边沿 D 触发器时序波形图

2. 集成边沿 D 触发器介绍

1）CMOS 边沿 D 触发器 CC4013

CMOS 边沿 D 触发器 CC4013 引脚功能如图 4-23 所示。

CC4013 中集成了两个触发器单元，都是 CP 上升沿触发的边沿 D 触发器，R_D、S_D 均为高电平有效，即 $R_D=1$ 时触发器复位到 0，$S_D=1$ 时触发器置位到 1。

CMOS 边沿 D 触发器 CC4013 特性表见表 4-10。

表 4-10　CMOS 集成边沿 D 触发器 CC4013 特性表

输　入				输出	说明
CP	D	R_D	S_D	Q^{n+1}	
×	×	0	1	1	异步置 1
×	×	1	0	0	异步置 0
×	×	1	1	不用	不允许
↓	×	0	0	Q^n	保持(↓无效)
↑	0	0	0	0	同步置 0
↑	1	0	0	1	同步置 1

从特性表可以看出，当 $R_D=S_D=0$ 时，电路按照特特方程 $Q^{n+1}=D$ 转换状态，CP 上升沿时刻有效；当异步输入端工作时，CP、D 均无效，若 $R_DS_D=01$ 则置 1，若 $R_DS_D=10$ 则置 0，R_D、S_D取值时不能同时为 1。

2)TTL 边沿 D 触发器 7474

TTL 边沿 D 触发器 7474 引出端功能如图 4-24 所示。

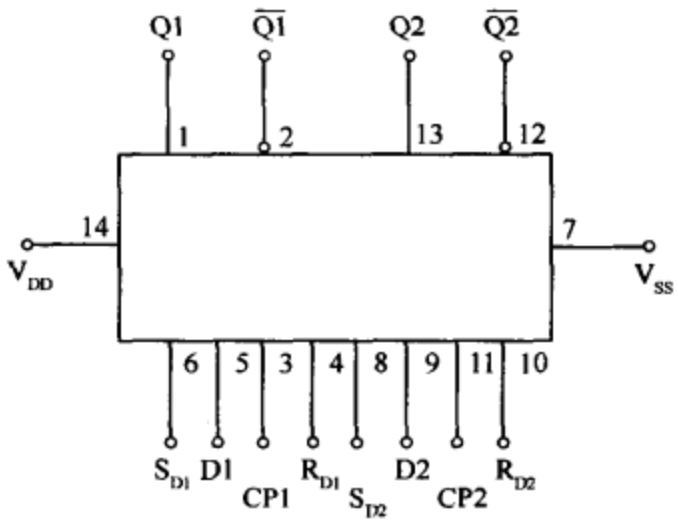


图 4-23　CMOS 边沿 D 触发器 CC4013 引脚功能图

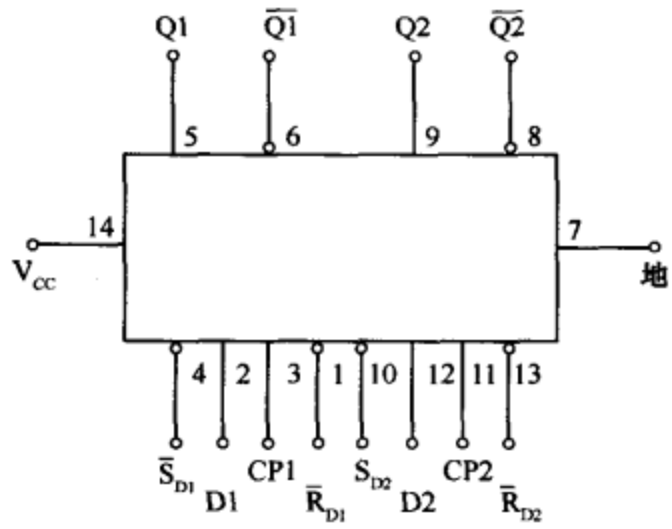


图 4-24　TTL 边沿 D 触发器 7474 引脚功能图

7474 中集成了两个触发器单元，它们都是 CP 上升沿触发的边沿 D 触发器，异步输入端 $\overline{R}_D$、$\overline{S}_D$ 为低电平有效。

TTL 边沿 D 触发器 7474 的特性见表 4-11。

表 4-11　TTL 边沿 D 触发器 7474 的特性表

输　入				输出	说明
CP	D	$\overline{R}_D$	$\overline{S}_D$	Q^{n+1}	
×	×	0	1	0	异步置 0
×	×	1	0	1	异步置 1
×	×	0	0	不用	不允许
↓	×	1	1	Q^n	保持(↓无效)
↑	0	1	1	0	同步置 0
↑	1	1	1	1	同步置 1

由特性表可以看出，当 $\overline{R}_D=\overline{S}_D=1$ 时，电路在 CP 上升沿瞬间，将按照特性方程 $Q^{n+1}=D$的规定，由现态转换到次态；当异步输入端工作时，D、CP 均无效，若 $\overline{R}_D\overline{S}_D=01$，则触发器置 0；若 $\overline{R}_D\overline{S}_D=10$，则触发器置 1，$\overline{R}_D\overline{S}_D=00$ 是不允许的取值情况。

3. 边沿 D 触发器的特点

边沿 D 触发器具有以下几个特点：

(1)CP 边沿(上升沿或下降沿)触发。在 CP 脉冲上升沿(或下降沿)时刻，触发器按照特性方程 $Q^{n+1}=D$ 的规定转换状态，实际上是加在 D 端的信号被锁存起来，并送到输出端。

(2)抗干扰能力极强。因为是边沿触发，只要在触发沿附近一个极短暂的时间内，加在 D 端的输入信号保持稳定，触发器就能够可靠地接收，在其他时间里输入信号对触发器不会起作用。

(3)没有翻转功能。在某些情况下，使用起来不如 JK 触发器方便，因为 JK 触发器在时钟脉冲操作下，根据 J、K 取值不同，具有保持、置 0、置 1 和翻转四种功能。

第六节　T 型和T′型触发器

一、T 型触发器

在时钟脉冲操作下，根据输入信号 T 取值的不同，凡是具有保持和翻转功能的电路，即当 T=0 时能保持状态不变，T=1 时翻转的电路，都称之为 T 型时钟触发器，简称为 T 型触发器或 T 触发器。

图 4-25 所示是 T 触发器的逻辑符号，1T 是信号输入端，C1 是时钟脉冲端，小圆圈表示 CP 下降沿触发。T 触发器的特性见表 4-12。

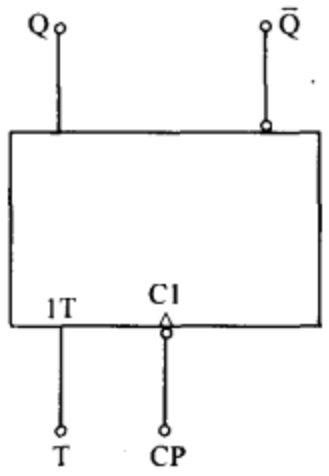


图 4-25　T 型触发器逻辑符号

表 4-12　T 型触发器特性表

T	Q^n	Q^{n+1}	说明
0	0	0	保持
0	1	1	
1	0	1	翻转
1	1	0	

由特性表可得到 T 型触发器的特性方程：

$$Q^{n+1}=\overline{T}Q^n+T\overline{Q}^n$$

二、T′型触发器

凡是每来一个时钟脉冲就翻一次的电路，都叫做 T′型时钟触发器，简称为 T′型触发

器或 T′触发器。不难看出，在 T 触发器中，若 T=1，T 触发器便成了 T′触发器。

图 4-26 所示是 T′触发器的逻辑符号，表 4-13 是 T′触发器的特性表。

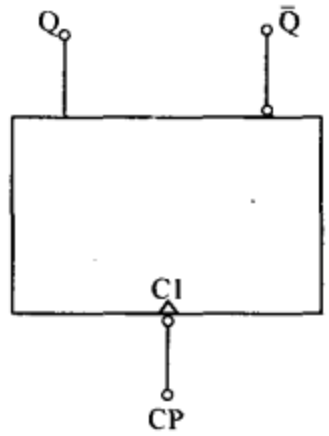


图 4-26　T′触发器的逻辑符号

表 4-13　T′触发器的特性表

Q^n	CP	Q^{n+1}	说明
0	↓	1	翻转
1	↓	0	

由特性表可得出 T′型触发器的特性方程：

$$Q^{n+1}=\overline{Q}^n \text{（CP 下降沿有效）}$$

第七节　触发器的转换

实际生产的集成时钟触发器，只有 JK 型和 D 型两种，而在设计和应用时，可能需要其他典型的触发器，下面简要介绍如何把 JK 触发器和 D 触发器转换为其他触发器的方法。

一、JK 触发器转换为 D、T 和 T′触发器

1. JK 触发器转换为 D 触发器

JK 触发器的特性方程为

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$$

D 触发器的特性方程为

$$Q^{n+1}=D$$

变换 D 触发器的特性方程，使之与 JK 触发器的特性方程形式一致。

$$Q^{n+1}=D=D(\overline{Q}^n+Q^n)=D\overline{Q}^n+DQ^n$$

比较 D 触发器的特性方程 $Q^{n+1}=D\overline{Q}^n+DQ^n$ 和 JK 触发器的特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 可得：

$$\begin{cases}J=D\\K=\overline{D}\end{cases}$$

据此，可得到 JK 触发器转换为 D 触发器的电路图，如图 4-27 所示。

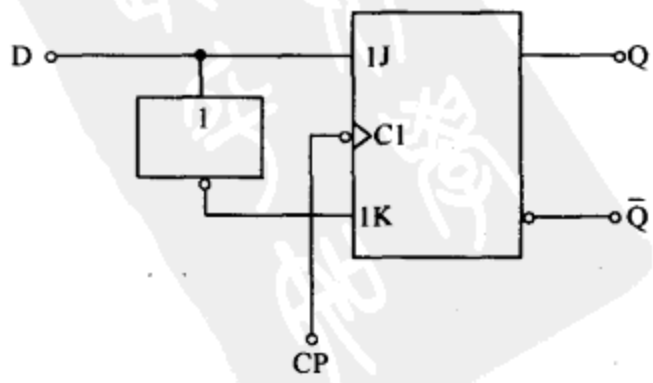


图 4-27　JK 触发器转换为 D 触发器的电路图

2. JK 触发器转换为 T 触发器

比较 T 触发器的特性方程 $Q^{n+1}=\overline{T}Q^n+T$

$\overline{Q}^n$ 和 JK 触发器的特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 可得：

$$\begin{cases}J=T\\K=T\end{cases}$$

据此，可得到 JK 触发器转换为 T 触发器的电路图，如图 4-28 所示。

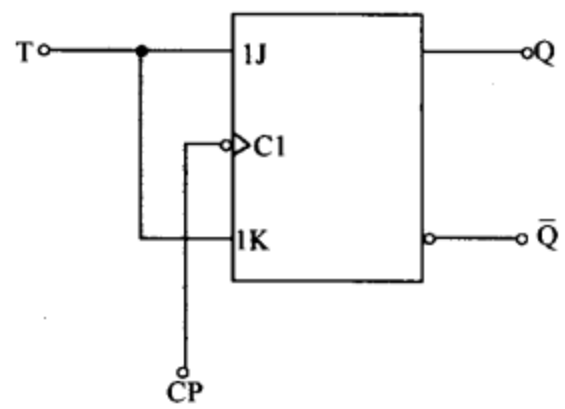


图 4-28　JK 触发器转换为 T 触发器的电路图

3. JK 触发器转换为 T′触发器

T′触发器的特性方程为

$$Q^{n+1}=\overline{Q}^n$$

变换 T′触发器的特性方程，使之与 JK 触发器的特性方程形式一致，即：

$$Q^{n+1}=\overline{Q}^n=$$
$$1\cdot\overline{Q}^n+\overline{1}\cdot Q^n$$

比较 T′触发器的特性方程 $Q^{n+1}=1\cdot\overline{Q}^n+\overline{1}\cdot Q^n$ 和 JK 触发器的特性方程 $Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$ 可得：

$$\begin{cases}J=1\\K=1\end{cases}$$

据此，可得到 JK 触发器转换为 T′触发器的电路图，如图 4-29 所示。

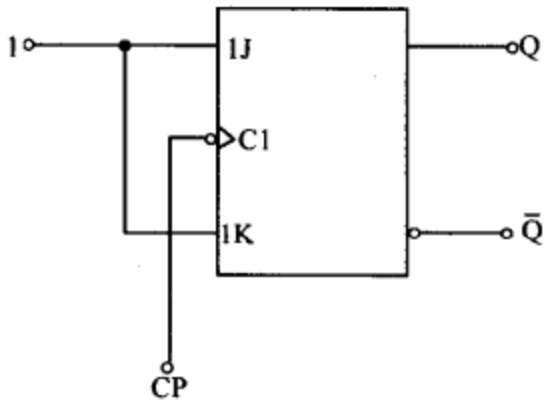


图 4-29　JK 触发器转换为 T′触发器的电路图

二、D 触发器转换为 JK、T 和 T′触发器

1. D 触发器转换为 JK 触发器

JK 触发器的特性方程为

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$$

D 触发器的特性方程为

$$Q^{n+1}=D$$

若令 $D=J\overline{Q}^n+\overline{K}Q^n$，则两式必相等。据此，可得到 D 触发器转换为 JK 触发器的电路图，如图 4-30 所示。

2. D 触发器转换为 T 触发器

T 触发器的特性方程为

$$Q^{n+1}=\overline{T}Q^n+T\overline{Q}^n=T\oplus Q^n$$

D 触发器的特性方程为

$$Q^{n+1}=D$$

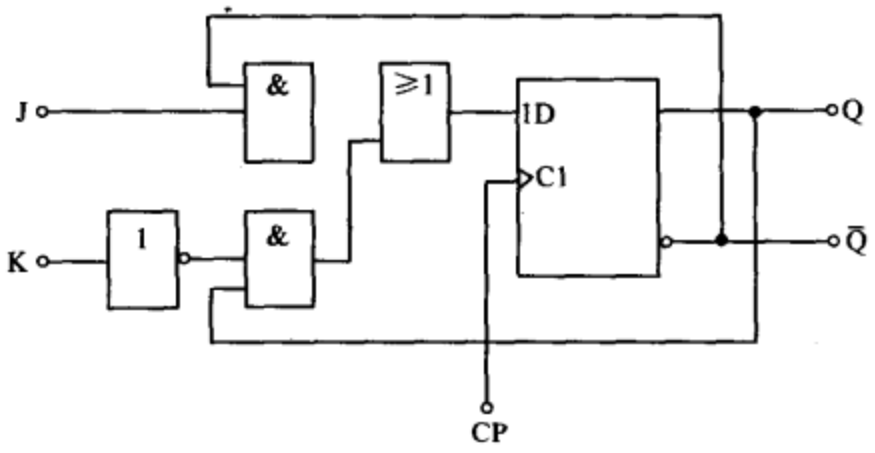


图 4-30　D 触发器转换为 JK 触发器的电路图

若令 $D=T\oplus Q^n$，则两式必相等。据此，可得到 D 触发器转换为 T 触发器的电路图，如图 4-31 所示。

3. D 触发器转换为 T′触发器

T′触发器的特性方程为

$$Q^{n+1}=\overline{Q}^n$$

D 触发器的特性方程为

$$Q^{n+1}=D$$

若令 $D=\overline{Q}^n$，则两式必相等。据此，可得到 D 触发器转换为 T′触发器的电路图，如图 4-32 所示。

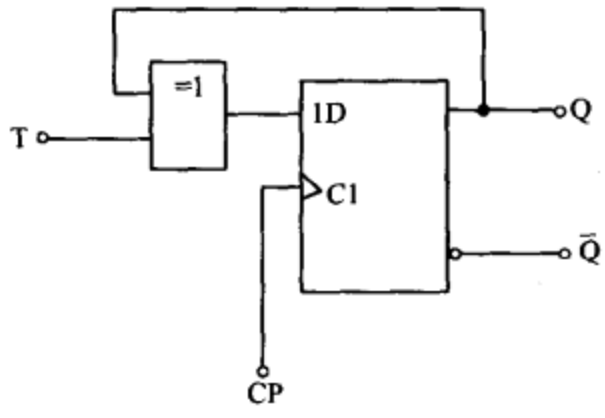


图 4-31　D 触发器转换为 T 触发器的电路图

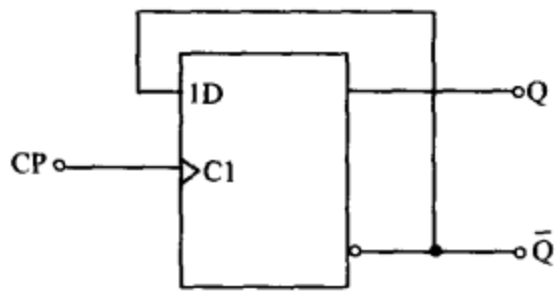


图 4-32　D 触发器转换为 T′触发器的电路图

第五章　时序逻辑电路

在数字电路中，凡是任一时刻的稳定输出不仅取决于该时刻的输入，而且还和电路原来的状态有关的电路称为时序逻辑电路，简称时序电路。按照这样的定义，第四章所介绍的 JK 触发器和 D 触发器也应属于时序电路。本章首先讲述时序电路的特点及分类，然后分类介绍几种典型的寄存器，最后对计数器作详细的分析和介绍。

第一节　时序逻辑电路的特点及分类

逻辑电路分为两类：一类是组合逻辑电路，另一类是时序逻辑电路。在组合逻辑电路中，任一时刻的输出仅与该时刻输入变量的取值有关，而与输入变量的历史情况无关；在时序逻辑电路中，任一时刻的输出不仅与该时刻输入变量的取值有关，而且与电路的原状态，即与过去的输入情况有关。前面介绍的触发器就是最简单的时序逻辑电路。

一、时序电路的特点

图 5-1 为时序逻辑电路的结构框图。与组合逻辑电路相比，时序逻辑电路有两个特点：第一，时序逻辑电路包含组合逻辑电路和存储电路两部分，存储电路具有记忆功能，通常由触发器组成；第二，存储电路的状态反馈到组合逻辑电路的输入端，与外部输入信号共同决定组合逻辑电路的输出。组合逻辑电路的输出除包含外部输出外，还包含连接到存储电路的内部输出，它将控制存储电路状态的转移。

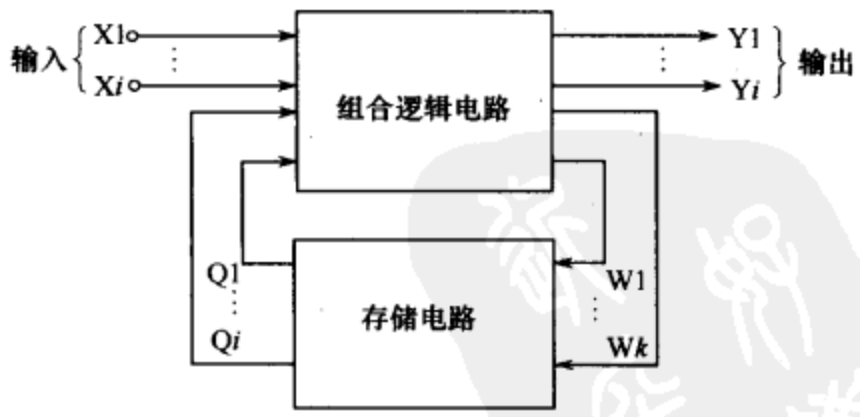


图 5-1　时序电路的结构框图

需要说明的是，时序电路中可以没有组合电路，但不能没有存储电路（触发器）。

二、时序电路的分类

常用的时序逻辑电路有计数器和寄存器，寄存器分为数据寄存器和移位寄存器。计数器种类较多，有同步计数器、异步计数器；有二进制计数器、十进制计数器、任意进制计

数器；有加法计数器、减法计数器等。具体分类如下：

- 计数器
 - 同步计数器
 - 二进制计数器
 - 加法计数器
 - 减法计数器
 - 可逆计数器
 - 十进制计数器
 - 任意进制计数器
 - 异步计数器
 - 二进制计数器
 - 十进制计数器
 - 任意进制计数器

计数器电路众多，但只要掌握了时序逻辑电路的分析方法，应该都会分析。

此外，时序电路按能否编程有可编程时序电路和不能编程时序电路之分；按集成度不同又有 SSI、MSI、LSI、VLSI 之别；按使用的开关元件类型还有 TTL 和 CMOS 等时序电路之分。

重点提示：对于同步时序电路，电路状态改变时，电路中要更新状态的触发器是同步翻转的。因为在这种时序电路中，其状态的改变受同一个时钟脉冲 CP 控制。

对于异步时序电路，电路状态改变时，电路中要更新状态的触发器，有的先翻转，有的后翻转，是异步进行的。因为在这种时序电路中，有的触发器，其 CP 信号就是输入时钟脉冲，有的触发器则不是，而是其他触发器的输出。

第二节　寄存器

把二进制数据或代码暂时存储起来的操作叫做寄存，具有寄存功能的电路称为寄存器。寄存器是一种基本时序电路，在各种数字系统中，几乎是无所不在。因为任何现代数字系统，都必须把需要处理的数据、代码先寄存起来，以便随时取用。

一、寄存器的特点和分类

1. 寄存器的主要特点

从电路组成看，寄存器是由具有存储功能的触发器组合起来构成的，使用的可以是基本触发器、同步触发器、主从触发器或边沿触发器，电路结构比较简单。

从基本功能看，寄存器的任务主要是暂时存储二进制数据或者代码，一般情况下，不对存储内容进行处理，逻辑功能比较单一。

2. 寄存器分类

寄存器一般可分成两大类：一类是基本寄存器，一类是移位寄存器。

1）基本寄存器

数据或代码只能并行送入寄存器中，需要时也只能并行输出。存储单元用基本触发器、同步触发器、主从触发器及边沿触发器均可。

2）移位寄存器

存储在寄存器中的数据或代码，在移位脉冲的操作下，可以依次逐位右移或左移，而数据或代码，既可以并行输入、并行输出，也可以串行输入、串行输出，还可以并行输入、串

行输出，串行输入、并行输出，十分灵活，用途也很广。存储单元则只能用主从触发器或者边沿触发器。

为便于读者对寄存器有一个基本的认识，图 5-2 给出了 TTL 基本寄存器和移位寄存器常见集成电路。图 5-3 给出了 CMOS 基本寄存器和移位寄存器常见集成电路。

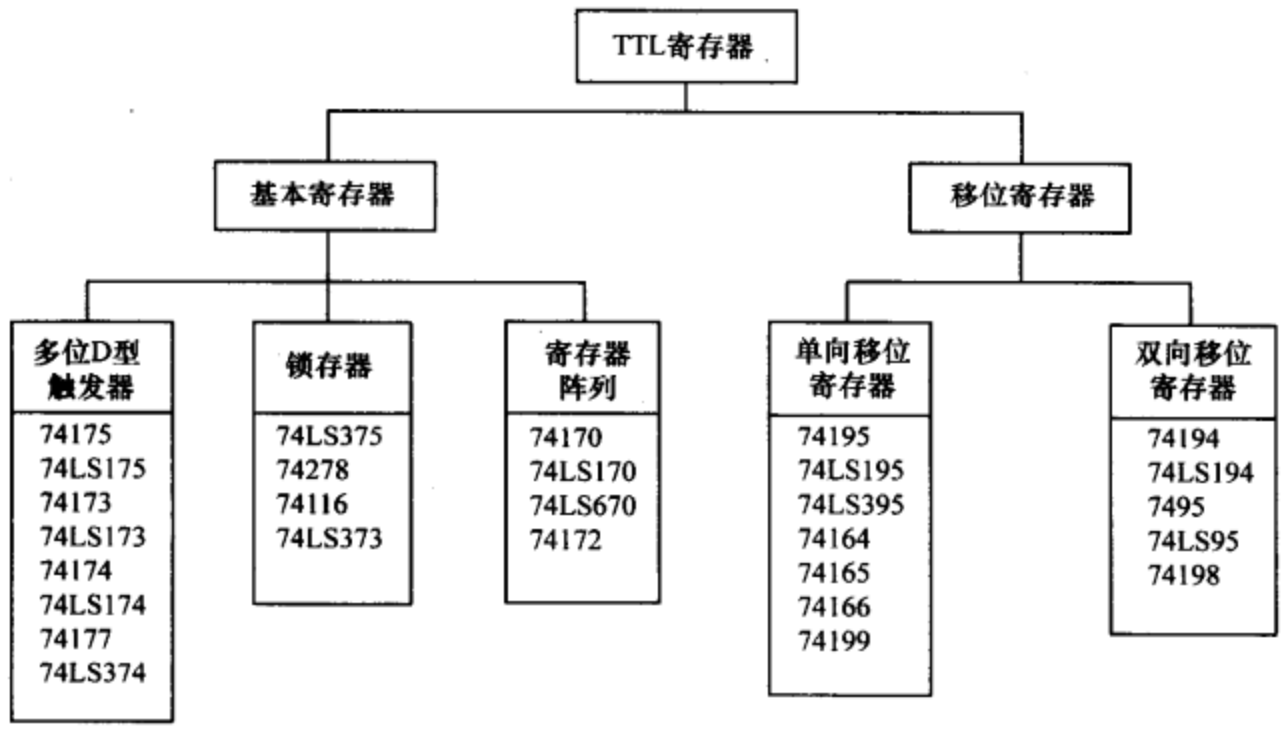


图 5-2　TTL 基本寄存器和移位寄存器常见集成电路

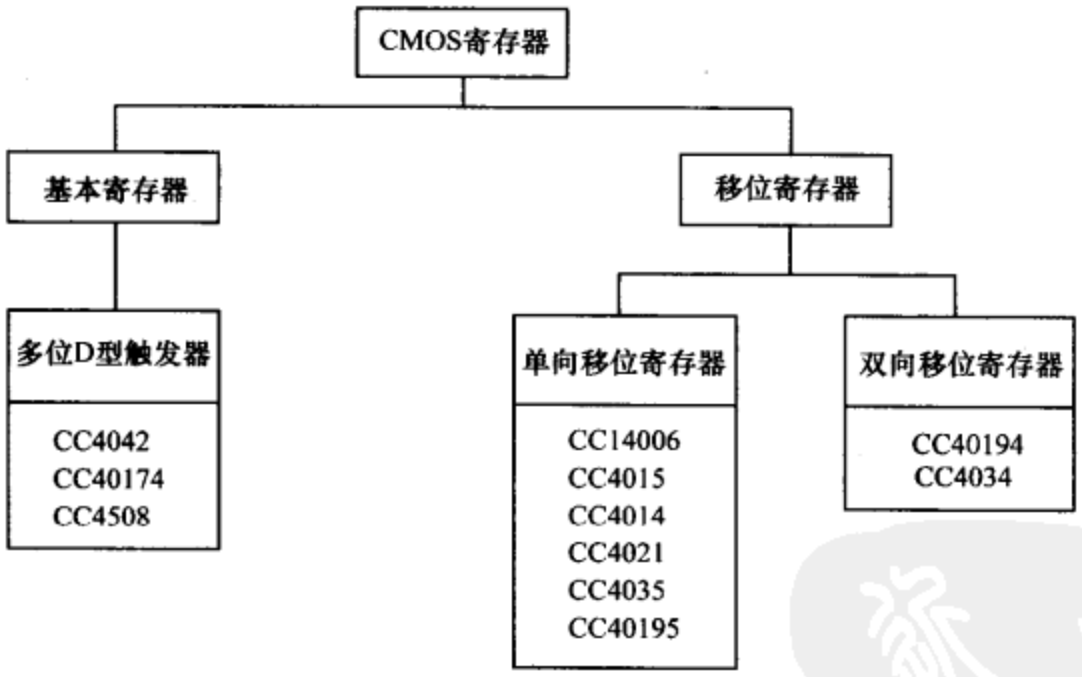


图 5-3　CMOS 基本寄存器和移位寄存器常见集成电路

二、基本寄存器

1 个触发器可以储存 1 位二进制数，寄存 n 位二进制数码，需要 n 个触发器。

1. 4D 寄存器 74175(74LS175)

4D 寄存器 74175(74LS175)内含 4 个边沿 D 触发器，其内部逻辑电路和引脚功能如图 5-4(a)、5-4(b)所示。

图中，D0～D3 是并行数据输入端，Q0～Q3 和 $\overline{Q}0$～$\overline{Q}3$ 是并行数据输出端，CP 是时钟控制端，$\overline{CR}$是清零端。

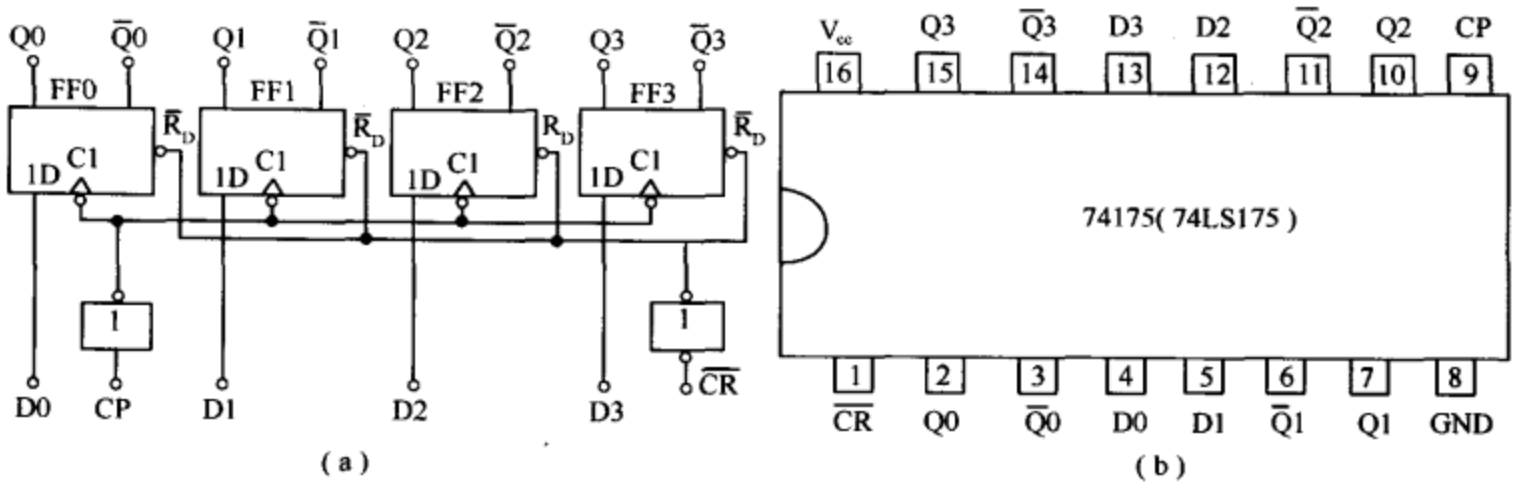


图 5-4　4D 寄存器 74175(74LS175)内部逻辑电路和引脚功能

(a)内部逻辑电路；(b)引脚功能。

74LS175 的状态见表 5-1。

表 5-1　74LS175 的状态表

输　入						输 出				说明
$\overline{CR}$	CP	D0	D1	D2	D3	Q0	Q1	Q2	Q3	
0	×	×	×	×	×	0	0	0	0	清零
1	↑	D0	D1	D2	D3	D0	D1	D2	D3	送数
1	1	×	×	×	×	保 持				
1	0	×	×	×	×					

在往寄存器中寄存数据或代码之前，必须先将寄存器清零，否则有可能出错。只要$\overline{CR}$=0，就立即通过异步输入端将 4 个边沿 D 触发器都复位到零状态。

当$\overline{CR}$=1 时，CP 的上升沿送数，无论寄存器中原来存储的数据是什么，在$\overline{CR}$=1 时，只要送数时钟 CP 的上升沿到来，加在并行输入端 D0～D3 的数码马上就被送入寄存器中。输出数据可以并行从 Q0～Q3 端引出，也可以并行从 $\overline{Q}$0～$\overline{Q}$3 端引出反码输出。

当$\overline{CR}$=1、CP 上升沿以外的时间，寄存器保持内容不变，即各个输出端的状态与输入的数据无关。

2. 双 4D 锁存器 74116

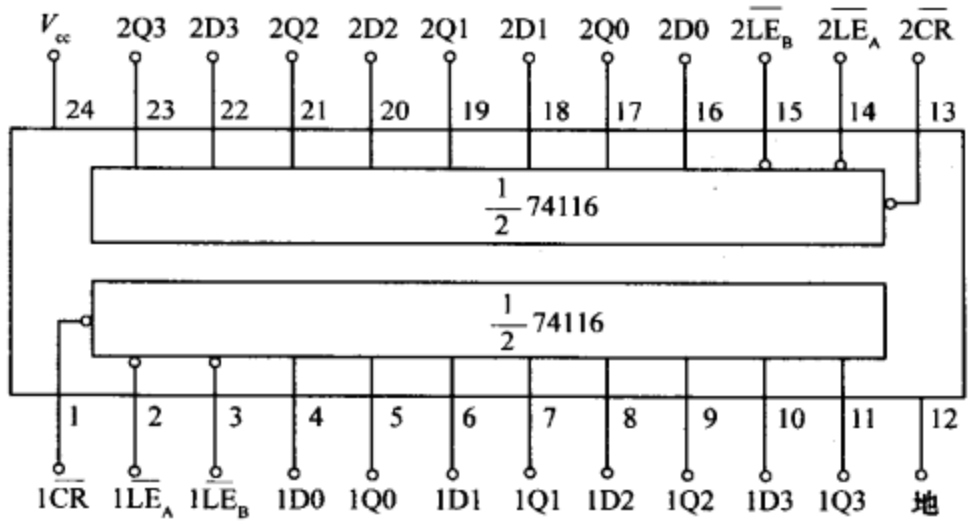
图 5-5 是双 4D 锁存器 74116 的引脚排列图和逻辑功能示意图，芯片中集成了两组彼此独立的 4 位 D 锁存器，$\overline{CR}$是清零端，$\overline{LE}_A$、$\overline{LE}_B$ 是送数控制端，D0～D3 是并行输入端，Q0～Q3 是并行输出端。

74116 的状态表见表 5-2。

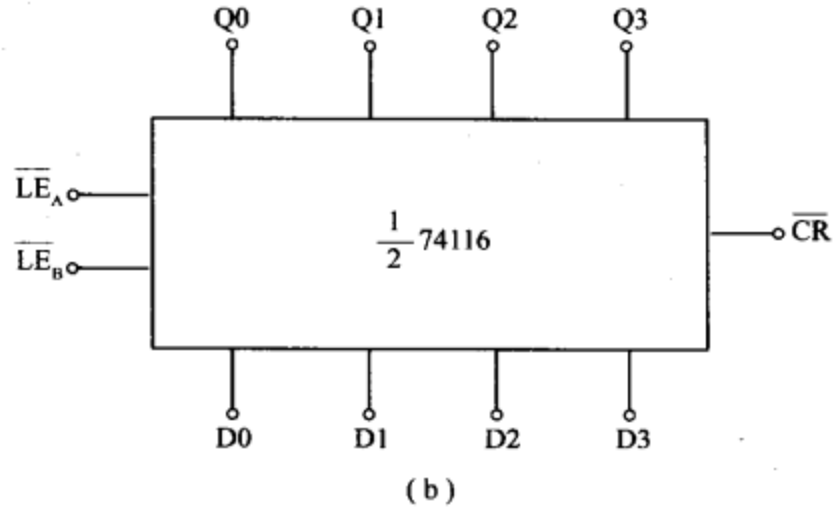
表 5-2　74116 的状态表

输　入						输 出				说明
$\overline{CR}$	$\overline{LE}_A+\overline{LE}_B$	D0	D1	D2	D3	Q0	Q1	Q2	Q3	
0	×	×	×	×	×	0	0	0	0	清零
1	0	D0	D1	D2	D3	D0	D1	D2	D3	送数
1	1	×	×	×	×	保持				

$\overline{CR}$=0，清零无论寄存器中原来的内容是什么，只要$\overline{CR}$=0，就立即清零。



(a)



(b)

图 5-5　双 4D 锁存器 74116 的引脚排列图和逻辑功能示意图

(a)引出端排列图；(b)逻辑功能示意图。

当$\overline{CR}=1$时，只要$\overline{LE}_A+\overline{LE}_B=0$，加在并行输入端 D0～D3 数据就立即送入寄存器中。

当$\overline{CR}=1$，$\overline{LE}_A+\overline{LE}_B=1$时，寄存器保持内容不变，输出 Q0～Q3 状态与输入端 D0～D3数据无关。

3. 三态输出 8D 锁存器 74LS373(74373、74HC373)

8 位三态输出寄存器(锁存器)74LS373(74373、74HC373)的引脚排列如图 5-6 所示，内部逻辑电路如图 5-7 所示。它内含 8 个 D 触发器，输入为 D0～D7，输出为 Q0～Q7。$\overline{OE}$为输出使能端，G 为脉冲输入端。

当输出允许$\overline{OE}$端加以低电平或负脉冲时，三态门处于导通状态，允许数据信息反映到输出端 Q0～Q7 上；当$\overline{OE}$端为高电平时，输出三态门断开。如不需要三态，只要将$\overline{OE}$端接地，即成为三态输出。

G 为 CP 脉冲输入端(触发端)。当 G 端为高电平时，加在并行输入端 D0～D3 数据就立即送入寄存器中。当 G 端为低电平时，寄存器保持内容不变，输出 Q0～Q3 的状态与输入端 D0～D3 端数据无关。

8 位三态输出锁存器 74LS373 状态见表 5-3。

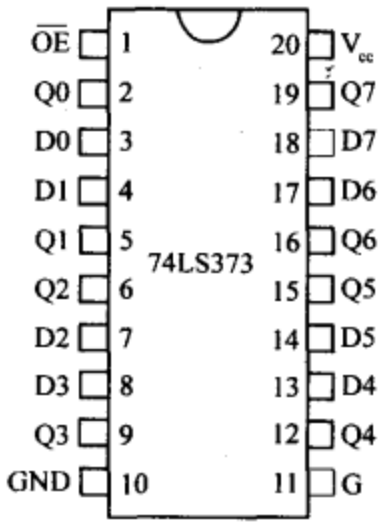


图 5-6　8 位三态输出锁存器 74LS373 引脚排列图

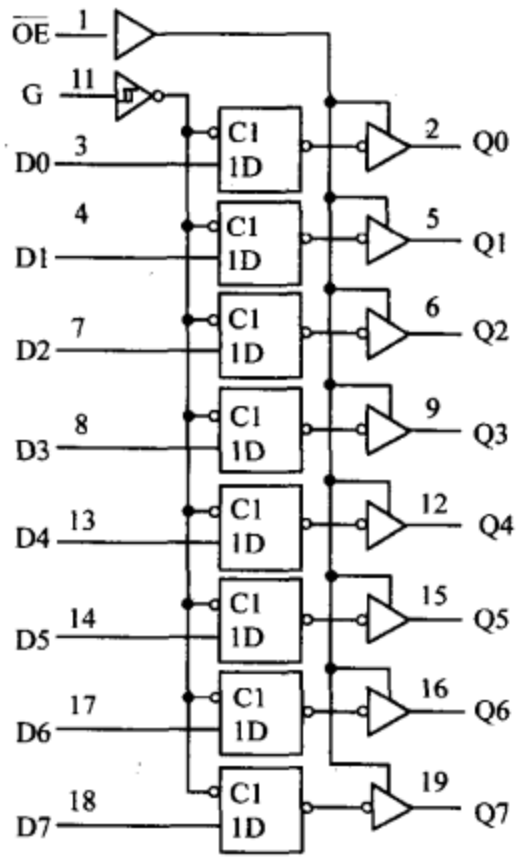


图 5-7　74LS373 内部逻辑电路

表 5-3　8 位三态输出锁存器 74LS373 状态表

输入			输出	说明
$\overline{OE}$	G	D0～D7	Q0～Q7	
0	1	D0～D7	D0～D7	送数
0	0	×	保持	
1	×	×	高阻	

4. 三态输出 8D 锁存器 74LS374(74374、74HC374)

8 位三态输出锁存器 74LS374 引脚排列功能与 74LS373 完全一致，唯一的区别是，74LS374 为边沿 D 锁存器，在时钟 CLK 的上升沿送数，而 74LS373 则在高电平期间送数。74LS374 内部逻辑电路如图 5-8 所示。

需要说明的是，在器件 CLK 端所加的时钟脉冲不要求有陡的上跳沿，因为其内部加有施密特电路。

8 位三态输出锁存器 74LS374 状态见表 5-4。

表 5-4　8 位三态输出锁存器 74LS374 状态表

输入			输出	说明
$\overline{OE}$	CLK	D0～D7	Q0～Q7	
0	↑	D0～D7	D0～D7	送数
0	0	×	保持	
1	×	×	高阻	

5. 二态输出 8D 锁存器 74LS273(74273、74HC273)

二态输出锁存器 74LS273 管脚排列如图 5-9 所示，内部逻辑电路如图 5-10 所示。

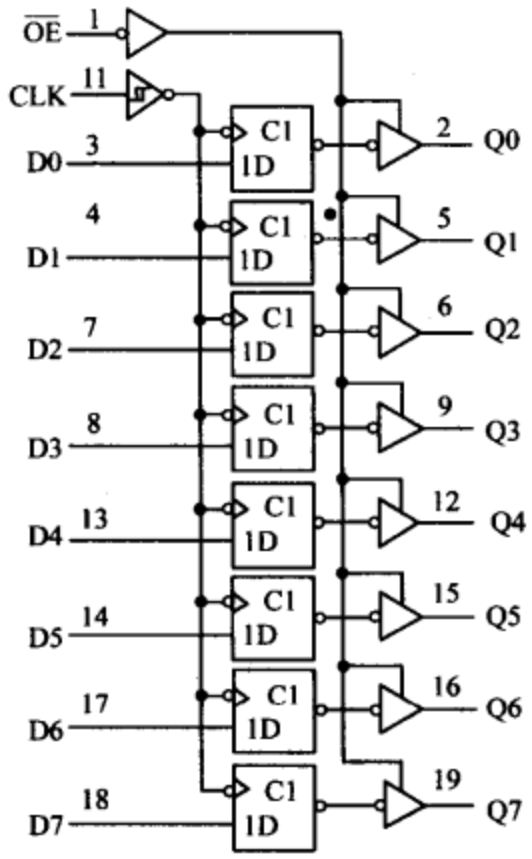


图 5-8　74LS374 内部逻辑电路

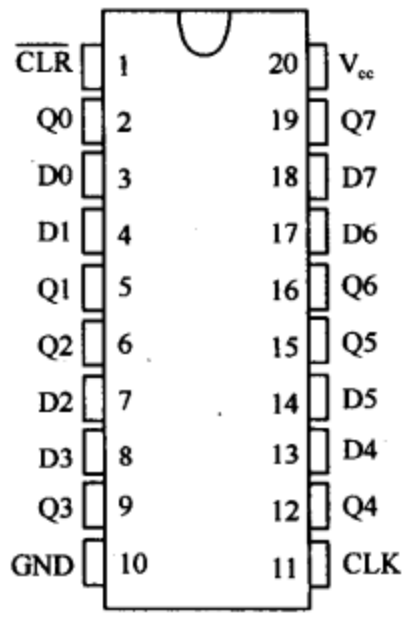


图 5-9　二态输出锁存器 74LS273 管脚排列图

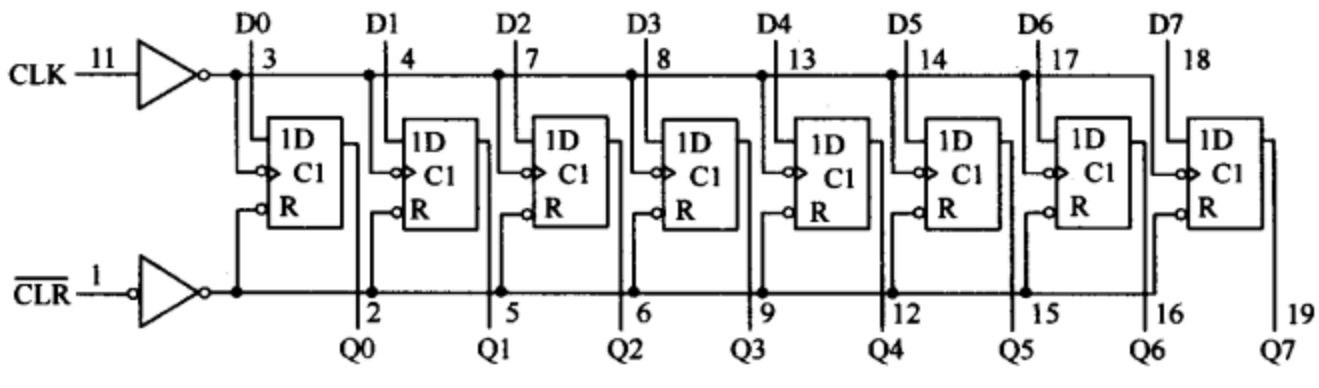


图 5-10　二态输出锁存器 74LS273 内部逻辑图

从图中可以看出，74LS273 除引脚 1 的功能不同以及输出仅二态外，其余各引脚功能及排列完全与 74LS373 相同。

74LS273 的引脚 1 为清零端($\overline{CLR}$)，低电平有效，因此正常工作时须将该端接高电平。

二态输出锁存器 74LS273 状态见表 5-5。

表 5-5　二态输出锁存器 74LS273 状态表

输　入			输出	说明
$\overline{CLR}$	CLK	D0～D7	Q0～Q7	
0	×	×	0	清零
1	↑	D0～D7	D0～D7	送数
1	0	×	保持	

从表 5-5 中可以看出，74LS273 具有以下功能：

①当$\overline{CLR}$=0 时，无论寄存器中原来的内容是什么，只要$\overline{CLR}$=0，就立即清零。

②当$\overline{CLR}$=1 时，在 CLK 的上升沿，加在并行输入端 D0～D7 数据就立即送入寄存器中。

③当$\overline{CLR}$=1，在 CLK 端的脉冲上跳沿过后，寄存器保持内容不变，输出 Q0～Q7 的状态与输入端 D0～D7 数据无关。

6. 二态输出 8D 锁存器 74LS377(74377、74HC377)

二态输出锁存器 74LS377 引脚功能排列图如图 5-11 所示，其状态见表 5-6。

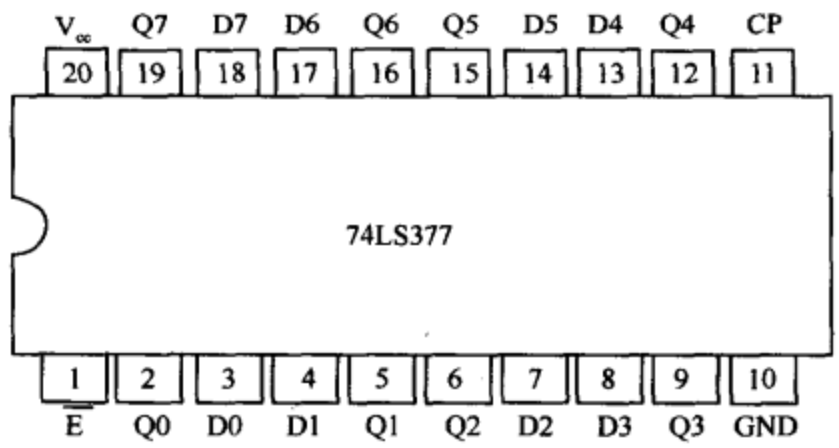


图 5-11　二态输出锁存器 74LS377 引脚排列图

表 5-6　二态输出锁存器 74LS377 状态表

输入			输出	说明
$\overline{E}$	CLK	D0～D7	Q0～Q7	
0	↑	D0～D7	D0～D7	送数
1	×	×	保持	

7. 二态 6D 锁存器 74LS378

二态 6D 锁存器 74LS378 管脚排列如图 5-12 所示，状态表见表 5-7。

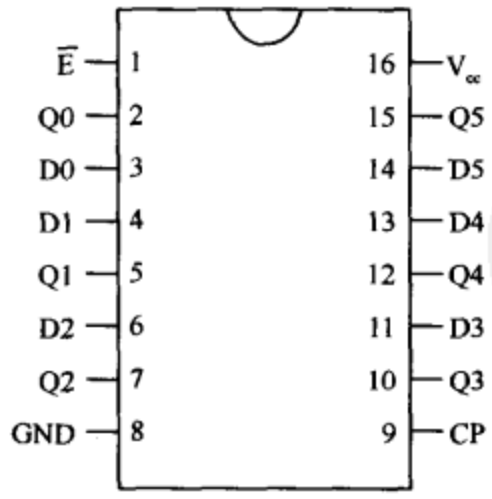


图 5-12　二态 6D 锁存器 74LS378 管脚排列图

表 5-7　二态 6D 锁存器 74LS378 状态表

输　入			输出	说明
$\overline{E}$	CLK	D0～D5	Q0～Q5	
0	↑	D0～D5	D0～D5	送数
1	×	×	保持	

8. 二态 4D 锁存器 74LS379

二态 4D 锁存器 74LS379 管脚排列如图 5-13 所示，状态表见表 5-8。

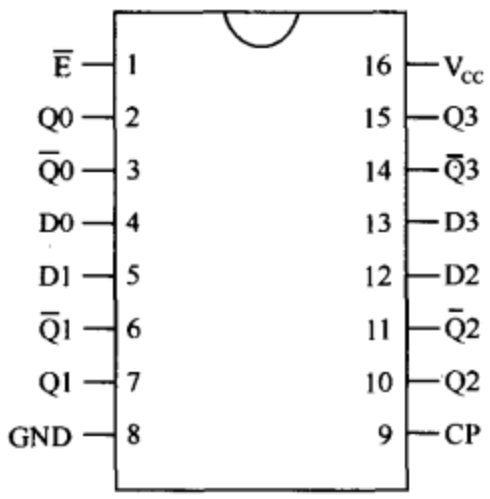


图 5-13　二态 4D 锁存器 74LS378 管脚排列图

表 5-8　二态 4D 锁存器 74LS379 状态表

输　入			输出		说明
$\overline{E}$	CLK	D0～D3	Q0～Q3	$\overline{Q}$0～$\overline{Q}$3	
0	↑	D0～D3	D0～D3	$\overline{D}$0～$\overline{D}$3	送数
1	×	×	保持		

三、移位寄存器

上面介绍的寄存器只有寄存数据或代码的功能。有时为了处理数据，需要将寄存器中的各位数据在移位控制信号作用下，依次向高位或向低位移动 1 位。具有移位功能的寄存器称为移位寄存器。移位寄存器根据移位情况的不同，可分为单向移位寄存器和双向移位寄存器两大类。

1. 单向移位寄存器

1)右移位寄存器

右移位寄存器不仅能够寄存输入数码，而且能够对输入数码进行向右的移位，图5-14所示是右移位寄存器逻辑电路图。

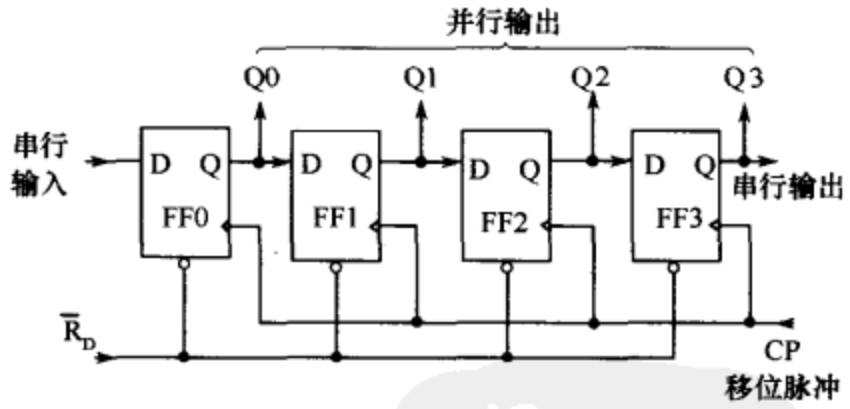


图 5-14　右移位寄存器逻辑电路

图中，4 个 D 触发器串联运用，每一个 D 触发器的 $\overline{R}_D$ 端相连接，用于寄存器置 0。CP 端是移位脉冲输入端，Q3～Q0 是寄存器的并行输出端，另外 Q3 作为这一寄存器的串行输出端。

使用前，先给 $\overline{R}_D$ 端输入负脉冲，使寄存器置 0，即 Q3Q2Q1Q0＝0000。

设输入数码是 D3D2D1D0＝1101，D3 为最高位，D0 为最低位；输入的数码从高位(D3)至低位(D0)依次送到触发器 FF0 的输入端。

第一个 CP 脉冲到来后，在 CP 脉冲的上升沿，从输入端输入最高位 D3 的数码 1，存入 FF0 触发器中，即 Q0＝1。由于第一个 CP 作用前，Q3～Q0 都是 0，所以，在第一个 CP 脉冲作用后，寄存器输出状态为 Q3Q2Q1Q0＝0001。

第二个 CP 脉冲到来后，在 CP 脉冲的上升沿触发下，电路发生了两种变化：一是由于 Q0＝1，它加到 FF1 触发器的输入端，所以 Q1＝1；二是 D2 输入数码 1 从 FF0 触发器的输入端输入，使 Q0＝1。这样，在第二个 CP 脉冲作用后，寄存器输出状态为 Q3Q2Q1Q0＝0011。

同理可分析出，在第三个 CP 脉冲作用后，寄存器的输出状态为 Q3Q2Q1Q0＝0110；在第四个 CP 脉冲作用后，寄存器的输出状态为 Q3Q2Q1Q0＝1101。

由以上分析可知，从输入端输入的 D3D2D1D0＝1101 经过 4 个 CP 脉冲作用后，已将这四位数移存于这一寄存器电路中。为了便于理解，表 5-9 给出了右移位寄存器输出状态表。

表 5-9　右移位寄存器输出状态表

CP 作用的次数	输出端 Q3	输出端 Q2	输出端 Q1	输出端 Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	1	0
4	1	1	0	1

2）左移位寄存器

左移位寄存器逻辑电路如图 5-15 所示。

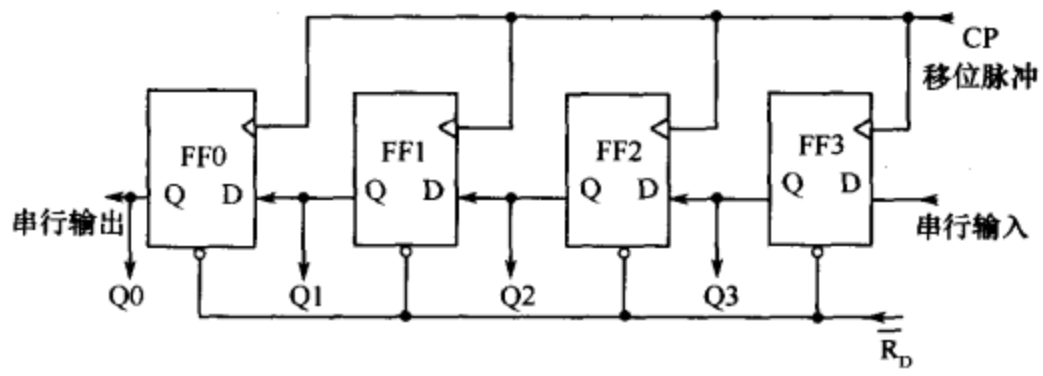


图 5-15　左移位寄存器逻辑电路

从图中可以看出，左移位寄存器与右移位寄存器电路基本相同，工作原理与右移位寄存器电路相同，具体移位过程不再分析。

2. 双向移位寄存器

把右移位寄存器和左移位寄存器组合起来，加上移位方向控制信号，便可方便地构成双向移位寄存器。双向移位寄存器的逻辑电路和工作过程不再具体分析。

重点提示：移位寄存器在数字电路及微机的应用中有着广泛的用途。当它用于实现数据的传送时，可以节约线路的数目（基本用线只需数据线、时钟线、地线这 3 根）。我们常说的计算机的“串口”（即串行通讯口），就是靠移位寄存器来实现串行数据的传输的（单向传输基本用线只需 3 根，双向传输基本用线只需 4 根）。当它用于计算等目的时，可以方便地实现二进制数的乘、除运算，因为二进制数左移一位即相当于乘以 2，右移一位就相当于除以 2。

3. 集成移位寄存器

集成移位寄存器种类很多，如 74LS164、74LS165、74LS166 均为 8 位单向移位寄存

器，74LS195 为 4 位单向移存器，74LS194 为 4 位双向移存器，74LS198 为 8 位双向移存器等。下面简要介绍几种移位寄存器。

1)8 位单向移位寄存器 74LS164(74164、74HC164)

8 位单向移位寄存器 74LS164 为串行输入/串行(并行)输出，其管脚排列如图 5-16 所示。

图中，D_{SA}、D_{SB}为串行数据输入端，实际使用时把 A、B 连在一起；CP 为移位时钟输入端，当 CP 信号为上跳沿时，数据右移 1 位；$\overline{CR}$为清零输入端，低电平有效，当该端加低电平时，所有输出端 Q0～Q7 均为低电平；Q0～Q7 为并行数据输出端，同时 Q7 端也是串行数据输出端，串行数据从 D_{SA}、D_{SB}端最先进入的从 Q0 端输出，最后进入的从 Q7 输出。

8 位单向移位寄存器 74LS164 状态表见表 5-10。

表 5-10　8 位单向移位寄存器 74LS164 状态表

输入			输　出								说明
$\overline{CR}$	$D_{SA}\cdot D_{SB}$	CP	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	Q_4^{n+1}	Q_5^{n+1}	Q_6^{n+1}	Q_7^{n+1}	
0	×	×	0	0	0	0	0	0	0	0	清零
1	×	0	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	Q_7^n	保持
1	1	↑	1	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	输入一个 1
1	0	↑	0	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	输入一个 0

2)8 位单向移位寄存器 74LS165(74165、74HC165)

8 位单向移位寄存器 74LS165 为并行(串行)输入/串行输出寄存器，它能在一个信号的控制下并行置入 1 个字节的数据，然后在时钟脉冲的作用下逐位移出，也能使数据从另外一个引脚串行输入。74LS165 其管脚排列图如图 5-17 所示。

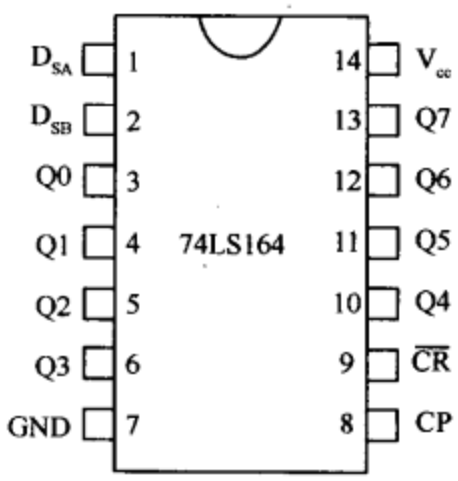


图 5-16　74LS164 管脚排列图

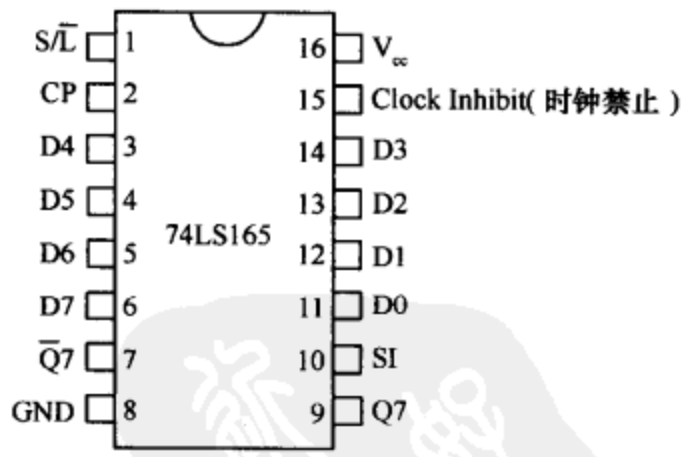


图 5-17　74LS165 管脚排列图

图中，D0～D7 为 1 个字节的并和数据输入端。S/$\overline{L}$(Shift/Load)为控制信号输入端，该引脚为高电平时具有移位功能，为低电平时，将 D0～D7 端的数据输入到内部保存。CP 为时钟信号(即移位脉冲)输入端，当 S/$\overline{L}$ 端为高电平时，CP 端的每次正跳变，都会使已收入内部的数据(D0～D7)从 Q7 端移出 1 位，移位的顺序是 D7 最先从 Q7 端移出，D0 最后从 Q7 端移出。Clock Inhibit 为时钟脉冲禁止端，当该引脚为高电平时，时钟信号(移位脉冲)不能进入，因而也就不可能移位，正常工作时必须接低电平。SI(Serial Input)为串行数据输入端，该器件也能从该端接收串行数据并从 Q7 端移出。

8 位单向移位寄存器 74LS165 状态表见表 5-11。

表 5-11　8 位单向移位寄存器 74LS165 状态表

S/$\overline{L}$	Clock Inhibit	CP	SI	D0～D7	Q_0^{n+1}	Q_1^{n+1}	Q_7^{n+1}	说明
0	×	×	×	D0～D7	D0	D1	D7	并行输入
1	0	0	×	×	Q_0^n	Q_1^n	Q_7^n	保持
1	0	↑	1	×	1	Q_0^n	Q_6^n	输入一个 1
1	0	↑	0	×	0	Q_0^n	Q_6^n	输入一个 0
1	1	×	×	×	Q_0^n	Q_1^n	Q_7^n	保持

重点提示：并入/串出移位寄存器主要用于需要减少信号传输线数目的场合，例如图 5-18 所示，需要检测多个外部开关量信号(即高电平或低电平)，而主电路(单片机电路)缺少足够的输入线数目，因此无法直接读取多个外部信号。应用并/串转换器件 74LS165，可以把外部的 16 个信号(即 16 位二进制数)一位一位地从 Q7 端输出并由主电路(单片机电路)读入，达到了扩展输入线的目的。

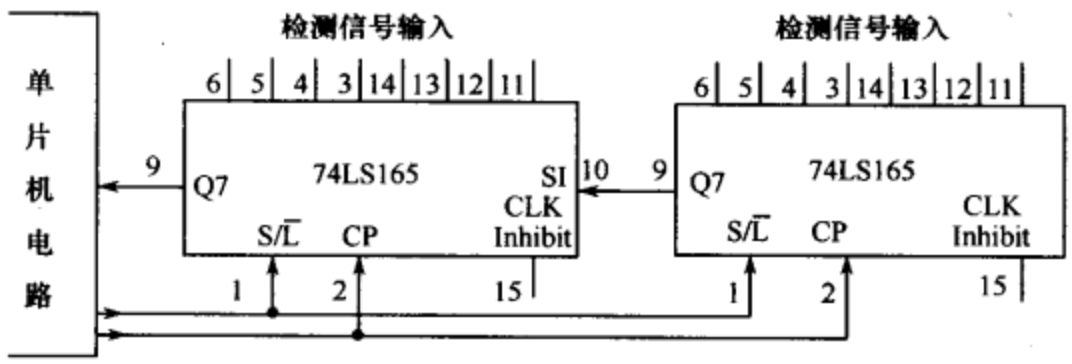


图 5-18　74LS165 的应用

3)8 位单向移位寄存器 74LS166

74LS166(74166、74HC166)是与 74LS165 具有相同功能的器件，但它多了一个“清零”($\overline{CLR}$)端。当该端为低电平时，内部数据被清零，因而正常工作时，它必须接高电平。74LS166 管脚排列图如图 5-19 所示。

4)4 位双向移位寄存器 74LS194

74LS194 是 4 位通用移位寄存器，具有左移、右移、并行置数、保持、清除等多种功能，其管脚排列如图 5-20 所示。

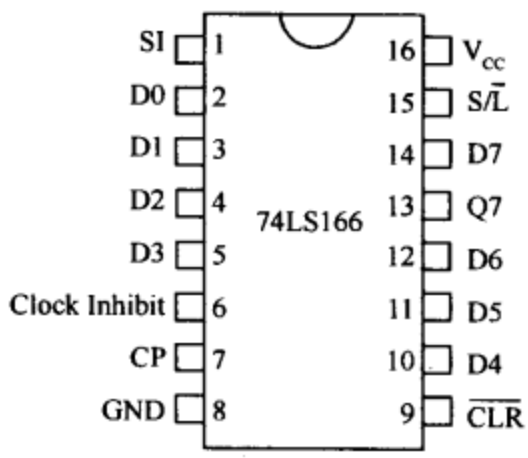


图 5-19　74LS166 管脚排列图

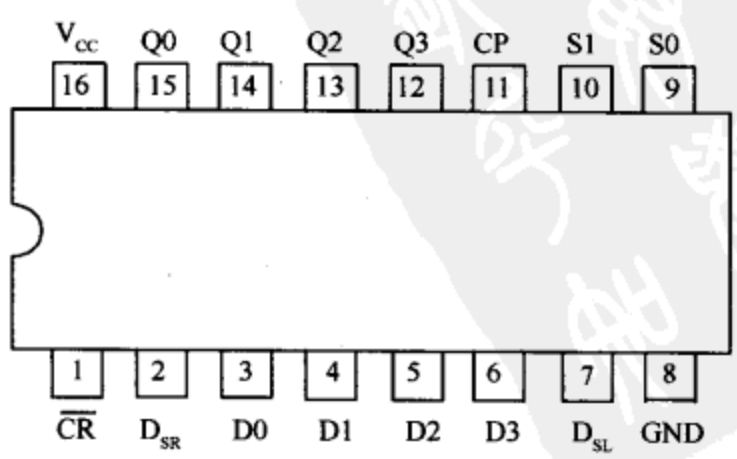


图 5-20　4 位双向移位寄存器 74LS194 管脚排列

图中，$\overline{CR}$是清零端；S0、S1 是工作状态控制端；D_{SR}和 D_{SL}分别为右移和左移串行数码输入端；D0～D3 是并行数码输入端；Q0～Q3 是并行数码输出端；CP 是时钟脉冲——移位操作信号。74LS194 的状态表见表 5-12。

表 5-12　4 位双向移位寄存器 74LS194

输入										输出				说明
$\overline{CR}$	S1	S0	D_{SL}	D_{SR}	CP	D0	D1	D2	D3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	清零
1	×	×	×	×	0	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	保持
1	1	1	×	×	↑	D0	D1	D2	D3	D0	D1	D2	D3	并行输入
1	0	1	×	1	↑	×	×	×	×	1	Q_0^n	Q_1^n	Q_2^n	右移输入 1
1	0	1	×	0	↑	×	×	×	×	0	Q_0^n	Q_1^n	Q_2^n	右移输入 0
1	1	0	1	×	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	1	左移输入 1
1	1	0	0	×	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	0	左移输入 0
1	0	0	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	保持

从状态表可以看出，4 位双向移位寄存器 74LS194 具有下列逻辑功能：

①清零功能：当 CR＝0 时，双向移位寄存器异步清零。

②保持功能：当 CR＝1 时，CP＝0 或 S1＝S0＝0，双向移位寄存器保持状态不变。

③并行送数功能：当 CR＝1、S1＝S0＝1 时，CP 上升沿可将加在并行输入端 D0～D3 的数码送入寄存器中。

④右移串行送数功能：当 CR＝1、S1＝0、S0＝1 时，在 CP 上升沿的操作下，可依次把加在 D_{SR}端的数码从时钟触发器 FF0 串行送入寄存器中。

⑤左移串行送数功能：当 CR＝1、S1＝1、S0＝0 时，在 CP 上升沿的操作下，可依次将加在 D_{SL}端的数码从时钟触发器 FF3 串行送入寄存器中。

第三节　计数器

在数字电路中，把记忆输入 CP 脉冲个数的操作叫做计数，能实现计数操作的电子电路称为计数器。计数器是数字系统中用得较多的基本逻辑器件。它不仅能记录输入时钟脉冲的个数，还可以实现分频、定时、产生节拍脉冲和脉冲序列等。例如，计算机中的时序发生器、分频器、指令计数器等都要使用计数器。

一、计数器的分类

1. 按数的进制分

按数的进制分，计数器可分为以下 3 类：

(1)二进制计数器。当输入计数脉冲到来时，按二进制数规律进行计数的电路都叫做二进制计数器。

(2)十进制计数器。当输入计数脉冲到来时，按十进制数规律进行计数的电路称为十进制计数器。

(3)N 进制计数器。除了二进制和十进制计数器之外的其他进制的计数器，都叫做 N 进制计数器，例如，$N=8$ 时的八进制计数器，$N=16$ 时的十六进制计数器等。

2. 按计数时是递增还是递减分

按计数时是递增还是递减分，计数器可分为以下 3 类：

(1)加法计数器。当输入计数脉冲到来时，按递增规律进行计数的电路叫做加法计数器。

(2)减法计数器。当输入计数脉冲到来时，进行递减计数的电路称为减法计数器。

(3)可逆计数器。在加、减信号的控制下，既可进行递增计数，也可进行递减计数的电路叫做可逆计数器。

3. 按计数器中触发器翻转是否同步分

按计数器中触发器翻转是否同步分，计数器可分为以下两类：

(1)同步计数器。当输入计数脉冲到来时，要更新状态的触发器都是同时翻转的计数器，叫做同步计数器。从电路结构上看，计数器中各个时钟触发器的时钟信号都是输入计数脉冲。

(2)异步计数器。当输入计数脉冲到来时，要更新状态的触发器，有的先翻转，有的后翻转，是异步进行的，这种计数器称为异步计数器。从电路结构上看，计数器中各个时钟触发器，有的触发器其时钟信号是输入计数脉冲，有的触发器其时钟信号却是其他触发器的输出。

此外，计数器按使用的开关元件分，还可分为 TTL 计数器和 CMOS 计数器两大类。

二、二进制计数器

1. 二进制异步计数器

1)二进制异步加法计数器

图 5-21 所示是一个由 3 个 JK 触发器构成的 3 位二进制异步加法计数器电路。图中，3 个 JK 触发器的置 0 端相连后作为 $\overline{R}_D$，CP 端是计数脉冲输入端，Q 端为触发器输出端，本位的 Q 端与高一位触发器的计数输入端 CP 相连，因此，这是一个异步二进制加法计数器。

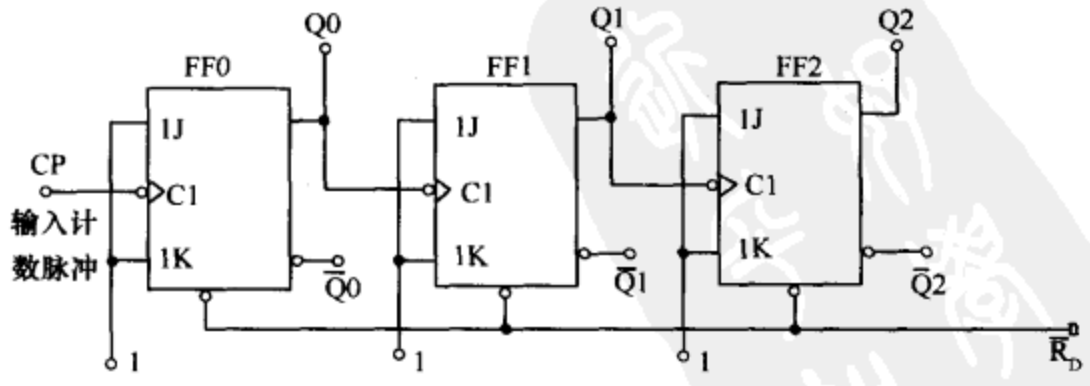


图 5-21　异步二进制加法计数器逻辑电路

计数前，一般需要在 $\overline{R}_D$ 端加上负脉冲，使各 JK 触发器清零，即 Q2＝0，Q1＝0，Q0＝0。

从电路中可以看出，各触发器的 J＝1，K＝1，此时 JK 触发器为计数状态，有 1 个 CP

脉冲的有效触发，JK 触发器输出端 Q 翻转 1 次。

第一个计数脉冲 CP 到来后，在 CP 脉冲从 1 变成 0 的下降沿，触发器 FF0 触发，其输出端 Q0 由原来的 0 变成 1，即第一个 CP 脉冲过后 Q0＝1。在第一个 CP 脉冲触发之前，由于 Q0＝0，Q0 端与下一位触发器 FF1 的 CP 端相连，由于 Q0 从 0 变成 1 不能对 FF1 构成有效触发(JK 触发器是下降沿触发)，所以 FF1 保持原输出状态，即 Q1＝0。同理，第一个 CP 脉冲作用时，Q2＝0。可见，在第一个 CP 脉冲作用后，计数器的输出状态为 Q2＝0，Q1＝0，Q0＝1。

第二个计数脉冲 CP 到来后，CP 脉冲下降沿对触发器 FF0 再次有效触发，其输出端 Q0 由原来的 1 变成 0。并对 FF1 进行触发，所以 FF1 翻转 1 次，其输出端 Q1 从 0 变成 1。由于 Q1 从 0 变成 1，对 FF2 不能形成有效触发，于是 FF2 保持原状态。可见，在第二个 CP 脉冲作用之后，计数器的输出状态为 Q2＝0，Q1＝1，Q0＝0。

同样的道理，在 CP 脉冲的不断输入触发下，电路中的各触发器作相应的翻转变化，完成二进制加法计数。3 位二进制加法计数器电路的状态表见表 5-13。

表 5-13　3 位二进制加法计数器状态表

输入脉冲个数	各触发器状态			表示的十进制数	输入脉冲个数	各触发器状态			表示的十进制数
	Q2	Q1	Q0			Q2	Q1	Q0	
0	0		0	0	5	1		1	5
1	0		1	1	6	1		0	6
2	0		0	2	7	1		1	7
3	0		1	3	8	0		0	0
4	1		0	4					

从状态表可知：当 CP 脉冲完成第 7 个触发后，计数器的输出端为 111，即 Q2＝Q1＝Q0＝1，此时第 8 个 CP 脉冲出现后，计数器状态为 000，第 9 个 CP 脉冲出现后，计数器状态为 001，开始从头计数，即 3 位的二进制加法计数器最多只能计 8 个数。

由以上分析可知，来一个 CP 脉冲，最低位的触发器 FF0 就翻转 1 次，而触发器 FF1 是在 FF0 翻转 2 次后才翻转 1 次，显然，FF0 的翻转频率就比 FF1 增加了 1 倍。当 FF1 翻转两次时，FF2 才翻转 1 次，也就是当 FF0 翻转 4 次时，FF2 才翻转 1 次。图 5-22 所示是 3 位二进制加法计数器的工作波形示意图，从该工作波形图中可清楚地看出上述关系。

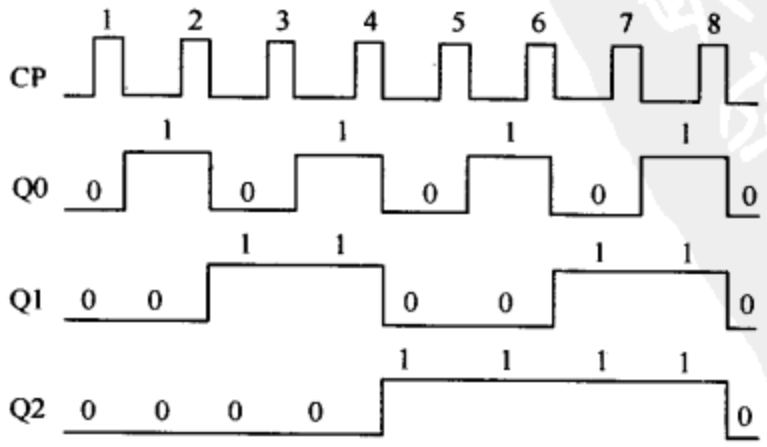


图 5-22　3 位异步二进制加法计数器工作波形

2)二进制异步减法计数器

在二进制异步加法计数器电路中,若后一级的 CP 接至前一级的 $\overline{Q}$ 端而不是 Q 端,如图 5-23 所示,则该电路就成为异步减法计数器,其对应的状态表见表 5-14。

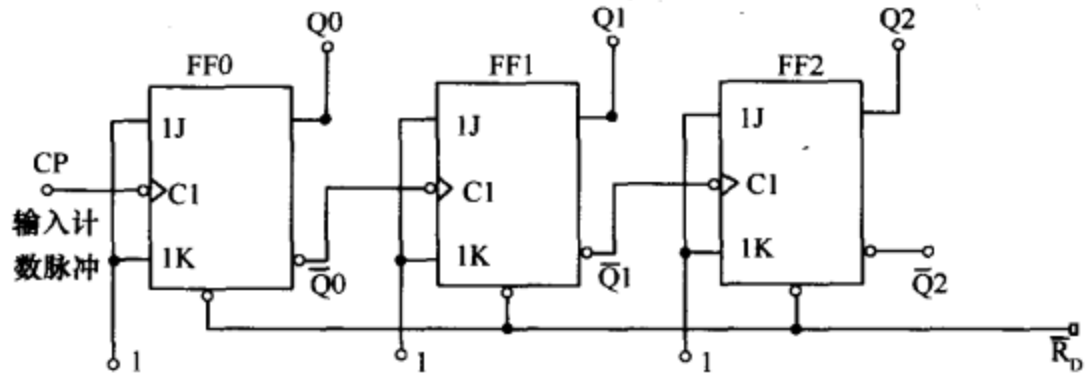


图 5-23　二进制异步减法计数器逻辑电路

表 5-14　二进制异步减法计数器状态表

输入脉冲个数	各触发器状态			表示的十进制数	输入脉冲个数	各触发器状态			表示的十进制数
	Q2	Q1	Q0			Q2	Q1	Q0	
0	0	0	0	0	5	0	1	1	3
1	1	1	1	7	6	0	1	0	2
2	1	1	0	6	7	0	0	1	1
3	1	0	1	5	8	0	0	0	0
4	1	0	0	4					

在置 0 触发后,各输出端为 0000,即 Q2=0,Q1=0,Q0=0。

当第一个计数脉冲 CP 到来后,在 CP 脉冲从 1 变成 0 的下降沿,触发器 FF0 触发,其输出端 Q0 由原来的 0 变成 1,即第一个 CP 脉冲过后 Q0=1。由于 Q0 从 0 变成 1,$\overline{Q}$0 即从 1 变成 0,由于 $\overline{Q}$0 端与 FF1 的 CP 端相连,对触发器 FF1 是有效触发,使 Q1 从 0 变成 1。同样的道理,Q1 从 1 变成 0,使 Q2=1。这样,在第一个计数脉冲 CP 作用后,减法计数器输出状态变成 Q2=1,Q1=1,Q0=1。

用同样的方法进行分析,就可以得到与上面状态表相同的结果,读者可自己分析。

2. 二进制同步计数器

上面所介绍的计数器的连接特点:①外部计数脉冲只作用于首级;②各级触发器的动作时间是有先后次序的,先是首级,接着是次级……故称为异步计数器。这种计数器的电路结构简单,但当级联数目较多时,会严重妨碍总体的工作速度。下面介绍的同步计数器可以有效地解决这一矛盾。

同步计数器是将外部计数脉冲同时作用于所有的触发器,所以各触发器(如果要翻转的话)是在同一时刻翻转的,但各触发器的翻转情况必须符合加法计数器或减法计数器的变化规律。

图 5-24 所示是 3 位二进制同步加法计数器逻辑电路图,从图中可以看出,同步加法计数器具有以下连接特点:

①各触发器的 CP 端同时连接到了外部计数脉冲上;

②FF0 的 J=K=1;

③FF1 的 J=K=Q0;

④FF2 的 J＝K＝Q0 · Q1。

分析同步计数器的工作过程较为复杂，这里暂不涉及。在实际应用中，面对使用者的是已经由生产厂家生产出的完整的集成电路，因此我们只需熟悉实际实用器件的外部引脚、各引脚的逻辑功能以及它们之间的时序关系就足够了。

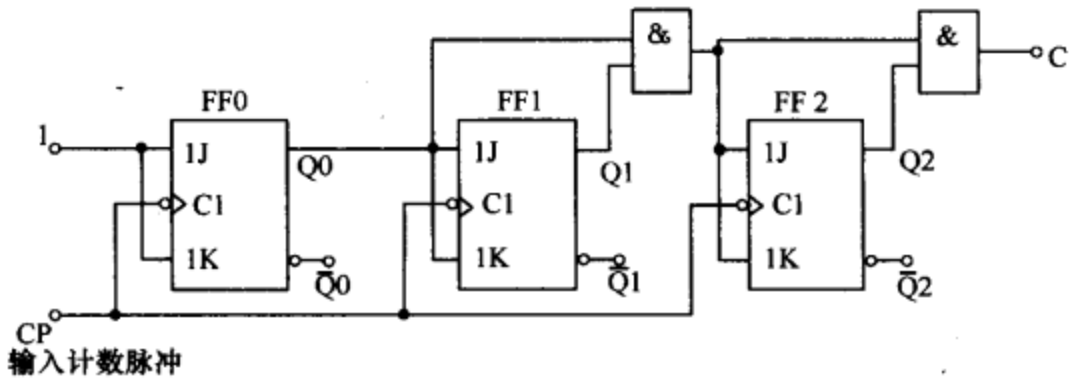


图 5-24　3 位二进制同步加法计数器逻辑电路图

3. 集成二进制计数器

1)集成 4 位二进制同步加法计数器 74161(74LS161)

数字集成电路 74161 为 4 位二进制同步加法计数器，其基本工作原理与前面介绍的 3 位二进制同步加法计数器相同。74161 的引出端功能排列图和逻辑功能示意图如图 5-25所示。

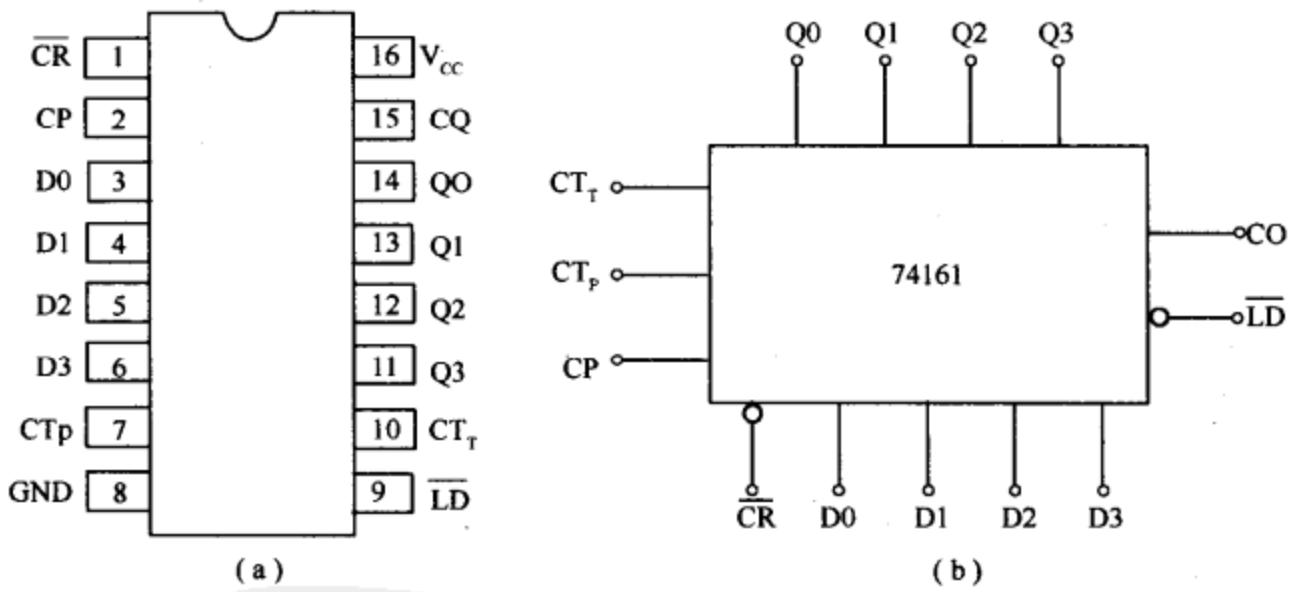


图 5-25　74161 的引出端功能排列图和逻辑功能示意图

(a)管脚排列图；(b)逻辑功能示意图。

图中，CP 是输入计数脉冲，也就是加到各个触发器的时钟信号端的时钟脉冲；$\overline{CR}$是清零端；$\overline{LD}$是置数控制端；CT_P和 CT_T是两个计数器工作状态控制端；D0～D3 是并行输入数据端；CO 是进位信号输出端；Q0～Q3 是计数器状态输出端。

74161 的状态表见表 5-15 所示。

从状态表可以看出，集成 4 位二进制同步加法计数器 74161 具有下列功能：

①异步清零功能：当$\overline{CR}$＝0 时，计数器清零；在$\overline{CR}$＝0 时，其他输入信号都不起作用。

②同步并行置数功能：当$\overline{CR}$＝1、$\overline{LD}$＝0 时，在 CP 的上升，并行输入数据 D0～D3 进入计数器，使 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$＝D3D2D1D0。

③二进制同步加法计数功能：当$\overline{CR}$＝$\overline{LD}$＝1时，若CT_T＝CT_P＝1，则计数器对CP

表 5-15　74161 的状态表

输　入									输出
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
0	×	×	×	×	×	×	×	×	0000(清零)
1	0	×	×	↑	D0	D1	D2	D3	D0D1D2D3(置数)
1	1	1	1	↑	×	×	×	×	计数
1	1	0	×	×	×	×	×	×	保持
1	1	×	0	×	×	×	×	×	保持

信号按照 8421 编码进行加法计数。

④保持功能：当$\overline{CR}=\overline{LD}=1$，若 $CT_T \cdot CT_P=0$，则计数器将保持原来状态不变。需要说明的是，当 $CT_P=0$，$CT_T=1$ 时，进位输出 CO 也保持不变($CD=Q_3^nQ_2^nQ_1^nQ_0^n$)；而当 $CT_T=0$ 时，不管 CT_P状态如何，进位输出 CO=0。

综上所述可知，74161 是一个具有异步清零、同步置数、可保持状态不变的 4 位二进制同步加法计数器。

集成计数器 74LS161 的逻辑功能、计数工作原理和外引线排列与 74161 相同。

2)集成 4 位二进制同步加法计数器 74163(74LS163)

而 74163 和 74LS163 除了采用同步清零方式外，其逻辑功能、计数工作原理和外引线排列与 74161 没有区别，表 5-16 所列是其状态表。

表 5-16　74163 的状态表

输　入									输出
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
0	×	×	×	↑	×	×	×	×	0000(清零)
1	0	×	×	↑	D0	D1	D2	D3	D0D1D2D3(置数)
1	1	1	1	↑	×	×	×	×	计数
1	1	0	×	×	×	×	×	×	保持
1	1	×	0	×	×	×	×	×	保持

3)双 4 位二进制同步加法计数器 CC4520

CC4520 是双 4 位二进制同步加法计数器，属于 CMOS 集成电路。图 5-26 所示是它的引出端排列图。EN 既是使能端，也可以作为计数脉冲输入端；CP 既是计数脉冲输入

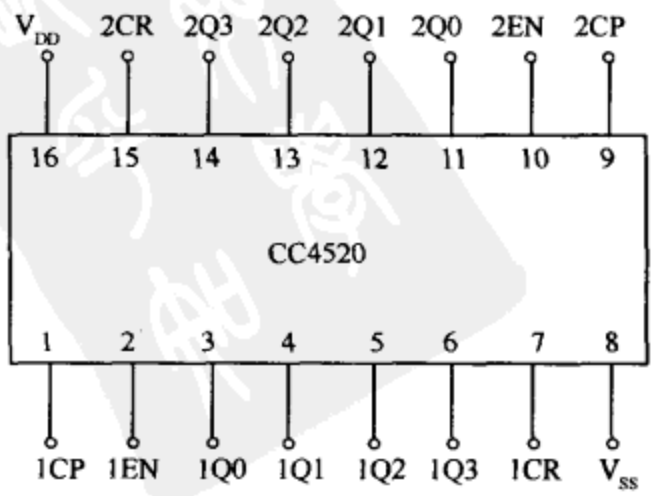


图 5-26　双 4 位二进制同步加法计数器 CC4520 管脚功能排列图

端，也可以作为使能端；CR 是清零端。

双 4 位二进制同步加法计数器 CC4520 状态表见表 5-17。

表 5-17　双 4 位二进制同步加法计数器 CC4520 状态表

输　入			输出
CR	EN	CP	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
1	×	×	0000(清零)
0	1	↑	加法计数(上升沿有效)
0	↓	0	加法计数(下降沿有效)
0	0	×	保持
0	×	1	保持

从状态表可以看出，CC4520 是具有异步清零，既可上升沿触发也能下降沿有效的双 4 位二进制同步加法计数器。

随便说明一下，CMOS 电路中有 4 位二进制同步减法计数器，其型号是 CC4526。

4)集成 4 位二进制同步单时钟可逆计数器 74191

集成 4 位二进制同步单时钟可逆计数器 74191 的引出端排列图与逻辑功能示意图如图 5-27 所示。

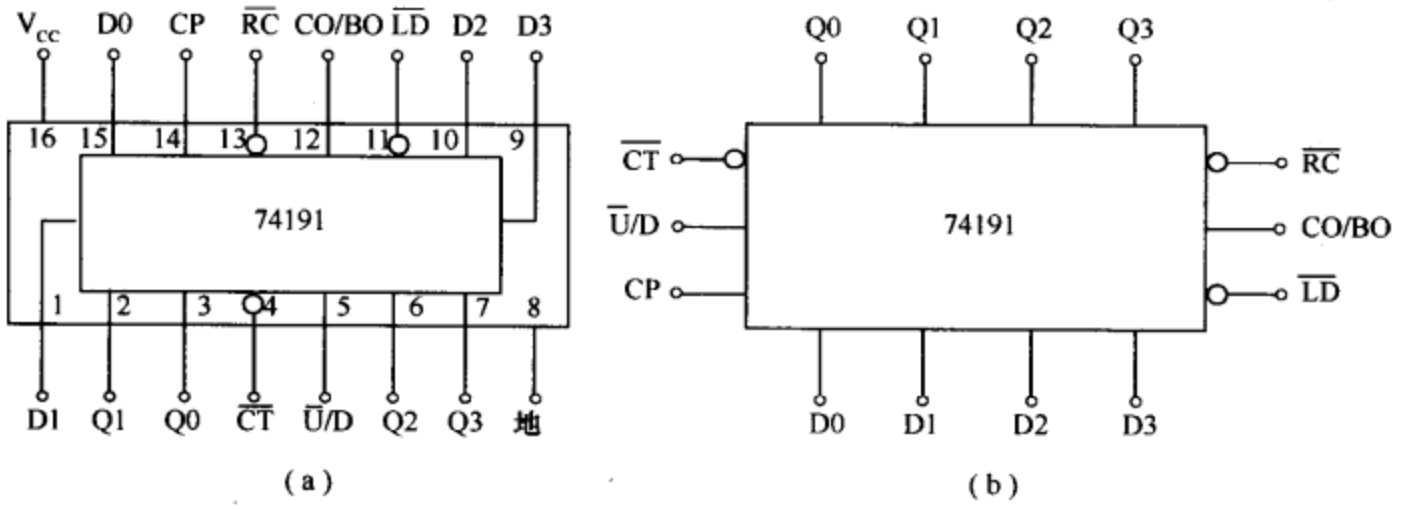


图 5-27　74191 的引出端排列图与逻辑功能示意图

(a)引出端排列图；(b)逻辑功能示意图。

图中，$\overline{U}$/D 为加减计数控制端；$\overline{CT}$是使能端；$\overline{LD}$是异步置数控制端；D0～D3 是并行数据输入端；Q0～Q3 是状态输出端；CO/BO 是进位借位信号输出端；$\overline{RC}$是多个芯片级联时级间串行计数使能端。

74191 的状态表见表 5-18。

表 5-18　集成 4 位二进制同步可逆计数器 74191 状态表

输　入								输出
$\overline{LD}$	$\overline{CT}$	$\overline{U}$/D	CP	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
0	×	×	×	D0	D1	D2	D3	D0D1D2D3(并行置数)
1	0	0	↑	×	×	×	×	加法计数 CO/BO=$Q_3^nQ_2^nQ_1^nQ_0^n$
1	0	1	↑	×	×	×	×	减法计数 CO/BO=$\overline{Q_3^nQ_2^nQ_1^nQ_0^n}$
1	1	×	×	×	×	×	×	保持

从表 5-18 中可以看出，集成可逆计数器 74191 具有同步可逆计数功能、异步并行置数功能、保持功能。74191 没有专用的清零输入端，但可以借助 D0～D3 异步并行置入数据 0000，间接实现清零功能。

电路中，$\overline{RC}$的作用如下：多个可逆计数器级联时使用，其表达式为

$$\overline{RC}=\overline{\overline{CP}\cdot CO/BO\cdot CT}$$

当$\overline{CT}=0$，即 CT=1、CO/BO=1 时，$\overline{RC}=CP$，因此由$\overline{RC}$端产生的输出进位脉冲的波形与输入计数脉冲的波形是相同的。

与 74191 功能和引出端排列完全相同的还有 74LS191。此外，集成单时钟 4 位二进制同步可逆计数器还有 74S169、74LS169、CC4516 等。

5）集成 4 位二进制同步双时钟可逆计数器 74193

集成 4 位二进制同步双时钟可逆计数器 74193 的引出端排列图与逻辑功能示意图如图 5-28 所示。

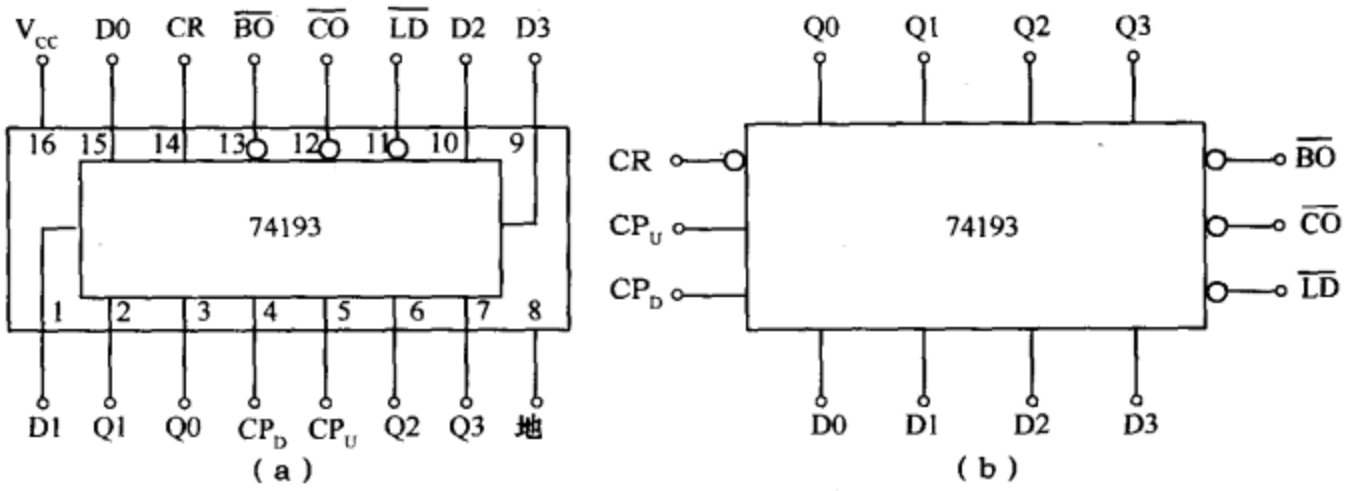


图 5-28　74193 的引出端排列图与逻辑功能示意图

(a)引出端排列图；(b)逻辑功能示意图。

图中，CR 是异步清零端，高电平有效；$\overline{LD}$是异步置数控制端；CP_U是加法计数脉冲输入端；CP_D是减法计数脉冲输入端；$\overline{CO}$是进位脉冲输出端；$\overline{BO}$是借位脉冲输出端；D0～D3 是并行数据输入端；Q0～Q3 是计数器状态输出端。

74193 的状态表见表 5-19。

表 5-19　集成 4 位二进制同步可逆计数器 74193 状态表

输入								输出
CR	$\overline{LD}$	CP_U	CP_D	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
1	×	×	×	×	×	×	×	0000(清零)
0	0	×	×	D0	D1	D2	D3	D0D1D2D3(置数)
0	1	↑	1	×	×	×	×	加法计数 $\overline{CO}=\overline{\overline{CP_U}Q_3^nQ_2^nQ_1^nQ_0^n}$
0	1	1	↑	×	×	×	×	减法计数 $\overline{BO}=\overline{\overline{CP_D}\overline{Q_3^n}\overline{Q_2^n}\overline{Q_1^n}\overline{Q_0^n}}$
0	1	1	1	×	×	×	×	保持 $\overline{BO}=\overline{CO}=1$

从表 5-19 中可以看出，74193 具有同步可逆计数功能、异步清零功能、异步置数功能和保持功能。$\overline{BO}$、$\overline{CO}$是供多个双时钟可逆计数器级连时使用的。当 $Q_3^n=Q_2^n=Q_1^n=Q_0^n=1$ 时，$\overline{CO}=CP_U$，其波形与加法计数脉冲相同；当$\overline{Q_3^n}=\overline{Q_2^n}=\overline{Q_1^n}=\overline{Q_0^n}=1$ 时，$\overline{BO}=CP_D$，其

波形与 CP_D相同。多个 74193 级连时，只要把低位的$\overline{CO}$端、$\overline{BO}$端分别与高位的 CP_U端、CP_D端连接起来，各个芯片的 CR 端连接在一起，$\overline{LD}$端连接在一起，就可以了。

与 74193 功能和引出脚完全相同的还有 74LS193。CC40193 也是双时钟可逆计数器。

6)集成 4 位二进制异步计数器 74197(74LS197)

图 5-29 所示是集成 4 位二进制异步加法计数器 74197、74LS197 的引出端排列图和逻辑功能示意图。$\overline{CR}$是异步清零端；CT/$\overline{LD}$是计数和置数控制端；CP0 是触发器 FF0 的时钟输入端；CP1 是 FF1 的时钟输入端；D0～D3 是并行数据输入端；而 Q0～Q3 则是计数器状态输出端。

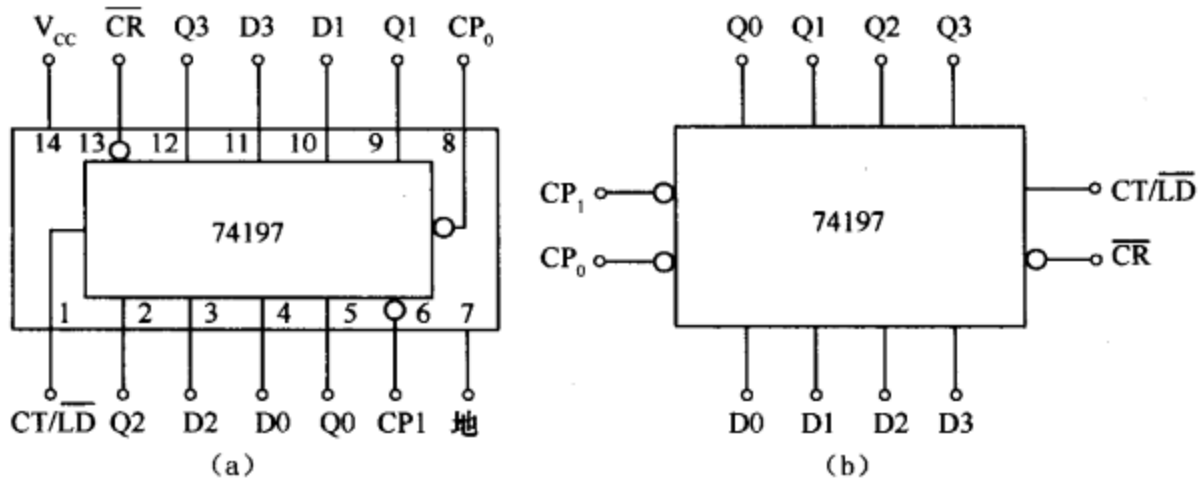


图 5-29　集成二进制异步计数器 74197

(a)引出端排列图；(b)逻辑功能示意图。

集成 4 位二进制异步计数器 74197 的状态表见表 5-20。

表 5-20　集成 4 位二进制异步计数器 74197 的状态表

输　入							输出
$\overline{CR}$	CT/$\overline{LD}$	CP(CP1、CP2)	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
0	×	×	×	×	×	×	0000(清零)
1	0	×	D0	D1	D2	D3	D0D1D2D3(置数)
1	1	↓	×	×	×	×	计数

从状态表可以看出，74197 具有下列功能：

①清零功能：当$\overline{CR}$=0 时，计数器异步清零。

②置数功能：当$\overline{CR}$=1、CT/$\overline{LD}$=0 时，计数器异步置数。

③4 位二进制异步加法计数功能：当$\overline{CR}$=1、CT/$\overline{LD}$=1 时，异步加法计数。应注意将 CP 加在 CP0 端，把 Q0 与 CP1 连接起来，构成 4 位二进制即十六进制异步加法计数器；若将 CP 加在 CP1 端，则计数器中 FF1、FF2、FF3 构成 3 位二进制(即八进制)计数器，FF0 不工作；如果只将 CP 加在 CP0 端，CP1 接 0 或 1，那么 FF0 工作，形成一位二进制(即二进制)计数器，FF1、FF2、FF3 不工作。因此，也把 74197 叫做二—八—十六进制计数器。

属于二—八—十六进制异步加法计数器的芯片还有 74177、74293、74LS293 等。

7)双 4 位二进制异步计数器 74393(74LS393、74HC393)

74393 是双 4 位异步计数器，即器件内包含了两个完全独立的 4 位异步计数器，其引

脚图如图 5-30 所示。

电路中，CP 为时钟脉冲（计数脉冲）输入端，下跳沿有效；CLR 为清零端，高电平有效；Q0、Q1、Q2、Q3 是输出端，Q0 为最低位，Q3 为最高位；各符号前面冠以“1”和“2”，用于区别两组计数器。若将 1Q3 的输出连至 2CP 的输入，则可组成 8 位二进制计数器，计数范围为 0～255（2^8-1）。

8）7 位异步二进制计数器 CD4024B

CD4024B 内含有 7 位二进制计数器，计数范围为 0～127（2^7-1）。其中 CLK 为时钟脉冲（计数脉冲）输入端，下跳沿有效，该输入端内部设有整形电路，因此，对该输入波形的下跳沿没有要求，CLR 为清零端，高电平有效；Q0～Q7 是输出端，Q0 为低位，Q7 为高位。器件的引脚排列如图 5-31 所示。

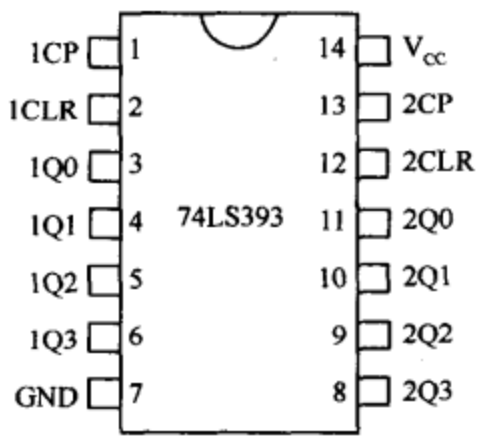


图 5-30　双 4 位异步计数器 74393 引脚功能图

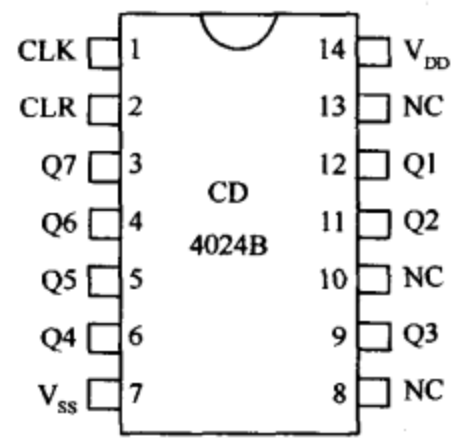
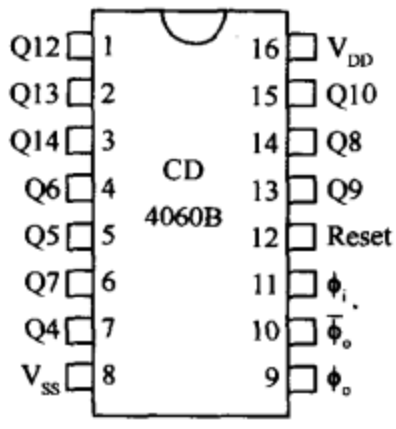


图 5-31　7 位异步二进制计数器 CD4024B 引脚功能图

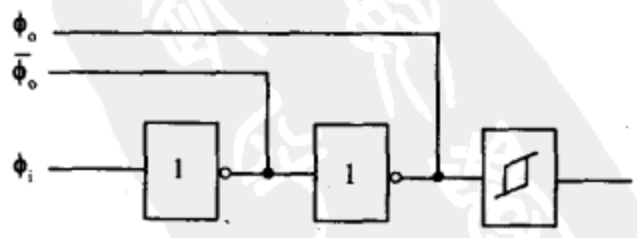
重点提示：除了 7 位二进制计数器 CD4024B 外，还有 12 位二进制计数器 CD4040B，它的位的特点是每一级都有输出，使用十分方便。

9）14 位二进制计数/分频/振荡器 CD4060B

CD4060B 内含有 14 位计数器，同时还包含了一个由非门电路组成的振荡器。其引脚如图 5-32（a）所示，Q4～Q10、Q12～Q14 是相应位的输出端，第 1 位～第 3 位和第 11 位没有外输出端，Reset 是复位（清零）端，高电平有效；ϕ_i 是振荡器的输入端，ϕ_o 和 $\overline{\phi}_o$ 是振荡器的输出端。有关输入端的内部电路结构如图 5-32（b）所示。



（a）



（b）

图 5-32　14 位计数/分频/振荡器 CD4060B

（a）引脚图；（b）输入端的内部结构。

在 ϕ_i 和 ϕ_o 之间接上一个晶体，就可构成一个振荡器，其输出脉冲经过施密特整形电路整形后送入内部进行计数/分频，也可以在 ϕ_i 和 ϕ_o 之间接一个电容；而在 ϕ_i 和 $\overline{\phi}_o$ 之间接一个电阻就可构成一个 RC 振荡器，振荡频率由 R、C 确定。若对外部脉冲计数，则外部计数脉冲从 ϕ_i 端输入，因其内部有整形电路，故对外部脉冲的连沿没有要求。使用 32.768kHz 的晶体(电子钟使用)，在 Q14 端可以得到 2Hz($\frac{32768\text{kHz}}{2^{14}}=2\text{Hz}$)的标准信号。若再加一级 2 分频电路，即可得到标准的“秒”信号。

重点提示：CD4020B 和 CD4060B 都是 14 位二进制计数器，这两个电路的计数部分电路和 CD4024B、CD4040B 都相同，但不是每一级都可输出的，CD4020B 没有 Q2、Q3 输出，CD4060B 没有 Q1、Q2、Q3 和 Q11 输出，此外，CD4060B 的控制部分和 CD4024B 也不一样，在 CD4060B 中增加了输入振荡部分。

三、十进制计数器

十进制计数器是在二进制计数器的基础上演变而来的，它用 4 位二进制数来代表 1 位十进制数，即其输出结果是 BCD 码，所以也称二—十进制计数器。

1. 异步十进制加法计数器

十进制的编码方式有多种，最常用的 8421 编码方式是取 4 位二进制编码中 16 个状态的前 10 个状态 0000～1001 来表示十进制数的 0～9 这 10 个数码的。也就是当计数器计数到第 9 个脉冲后，若再来 1 个脉冲，计数器的状态必须由 1001 变到 0000，完成一个循环的变化。十进制加法计数器的状态见表 5-21。

表 5-21　十进制加法计数器的状态表

计数脉冲	Q3	Q2	Q1	Q0	十进制数
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0(1)	0	0(1)	0	10

图 5-33 所示是异步十进制加法计数器的一种，用 JK 触发器来构成。对比前面介绍的 3 位二进制异步加法电路可以发现，如果将图 5-34 中的附加与非门 G 去掉，则两个图的级联方式是一样的，因此，当加以第 10 个计数脉冲时，Q3、Q2、Q1、Q0 的状态应为 1010(注意 Q3＝1，Q1＝1)，见表 5-21 最后一栏状态中“()”内的标示。但现在图 5-34 中增加了一个与非门，该与非门的输出 $G=\overline{Q_3 \cdot Q_1}$，因此当第十个计数脉冲作用后，会使 G＝0，而 G 的输出又接至 Q3 及 Q1 的直接置 0 端(低电平有效)，所以它又使 Q3 及 Q1 置 0。其结果是：Q3～Q0＝1010 的状态一经出现(即第 10 个计数脉冲的下跳沿作用后)，又立即自行复位为 0000，这一方法称为反馈归零法。

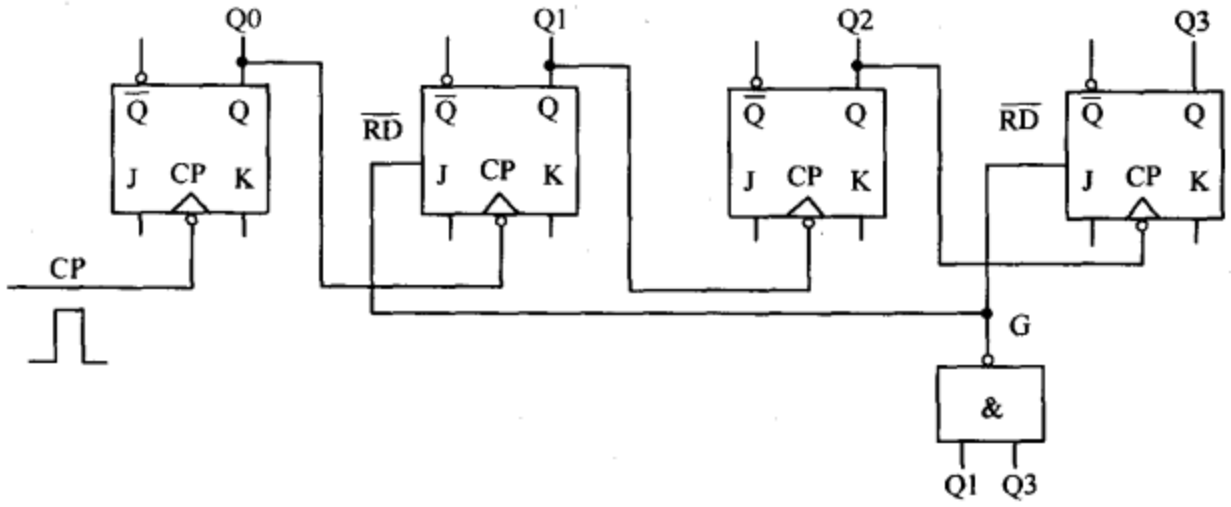


图 5-33　异步十进制加法计数器

2. 同步十进制加法计数器

同步十进制加法计数器的一种形式如图 5-34 所示，计数脉冲同时作用于各触发器的 CP 端，但各触发器翻转的情况必须符合表 5-21 的规定，因此必须在 J-K 端加以控制。分析同步计数器的工作过程较为复杂，这里暂不涉及。

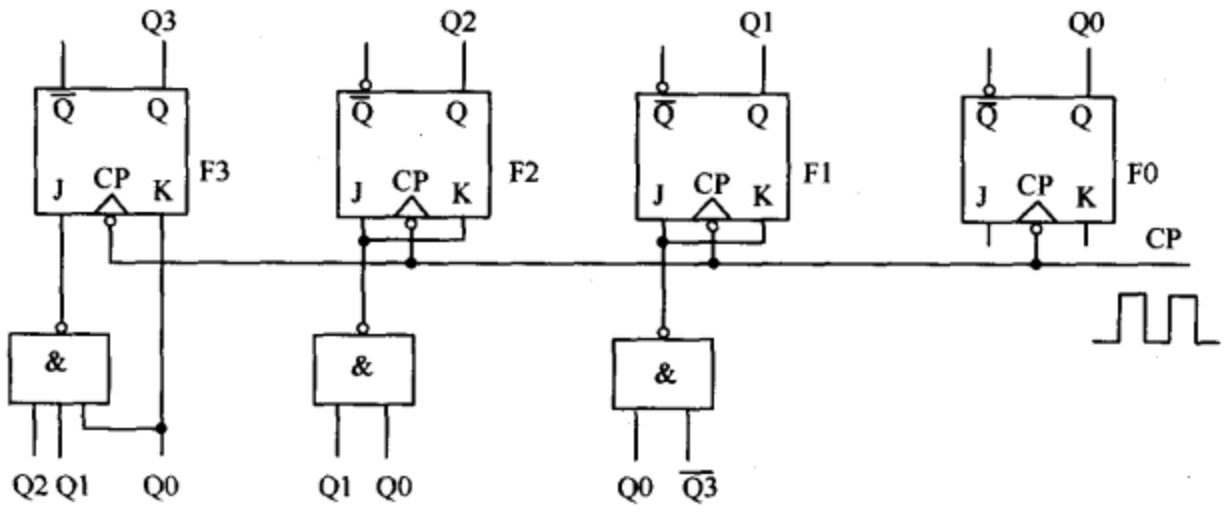


图 5-34　同步十进制加法计数器

3. 集成十进制计数器

1）二—五—十进制异步计数器 74290

图 5-35 所示是二—五—十进制异步计数器 74290 的引出端排列图、逻辑功能示意图和结构框图。

74290 的状态表见表 5-22。

表 5-22　74290 的状态表

输　入				输出	说明
$R_{0A} \cdot R_{0B}$	$S_{9A} \cdot S_{9B}$	CP1	CP2	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$	
1	0	×	×	0000	清零
×	1	×	×	1001	置 9
0	0	↓	×	二进制	计数
		×	↓	五进制	
		↓	Q0	8421BCD 码	

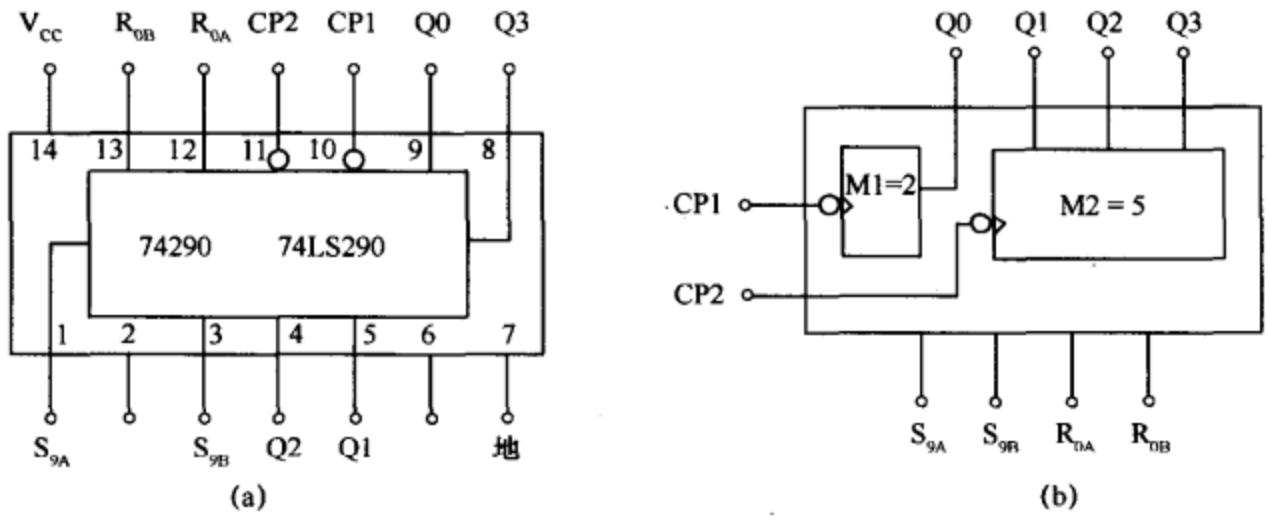


图 5-35　二—五—十进制异步计数器 74290 的引出端排列图和结构框图

(a)引出端排列图；(b)结构框图。

74290 具有下列功能：

①清零功能：$S9=S_{9A}\cdot S_{9B}=0$ 时，若 $R0=R_{0A}\cdot R_{0B}=1$，则计数器清零，与 CP 无关，这说明清零是异步的。

②置 9 功能：当 $S9=S_{9A}\cdot S_{9B}=1$ 时，计数器置 9，即被置成 1001 状态。不难看出，这种置 9 也是通过触发器异步输入端进行的，与 CP 无关，且其优先级别高于 R0。

③计数功能：可分为以下几种情况：若把输入计数脉冲 CP 加在 CP1 端，即 CP1＝CP，且把 Q0 与 CP2 从外部连接起来，即令 CP2＝Q0，则电路将对 CP 按照 8421 BCD 码进行异步加法计数；若仅将 CP 接在 CP1 端，而 CP2 与 Q0 不连接起来，那么计数器的 FF0 触发器工作，构成一位二进制计数器(M1＝2)，也称为二分频，因 Q0 变化的频率是 CP 频率的二分之一，FF1、FF2、FF3 不工作。若只把 CP 接在 CP2 端，即 CP2＝CP，显然 FF0 不会工作，FF1、FF2、FF3 工作，且构成五进制异步计数器，也称为模 5(M2＝5)计数器或 5 分频电路。

2)十进制异步计数器 74LS90

74LS90 也是一种十进制异步计数器，其管脚排列和结构框图如图 5-36 所示，其状态表与 74290 相同。

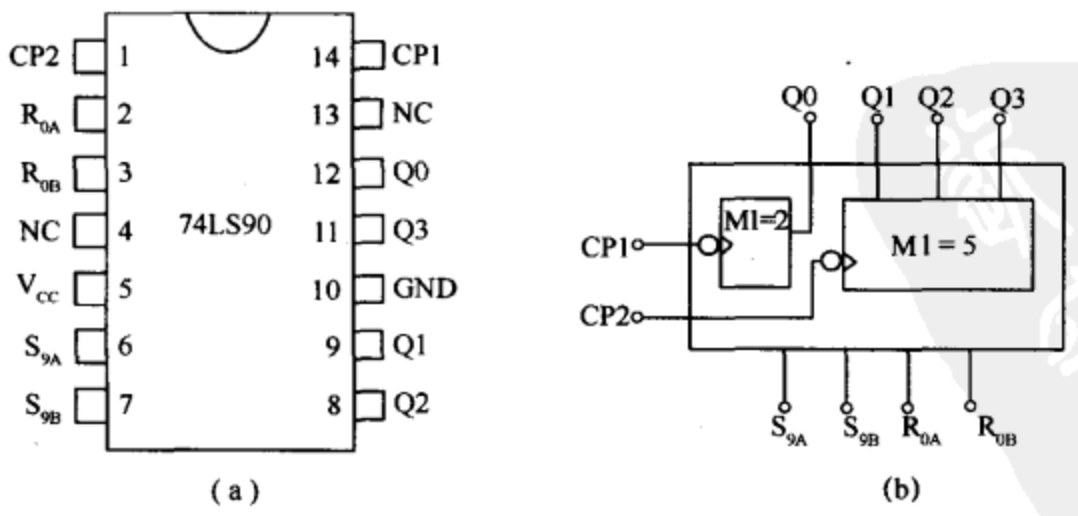


图 5-36　74LS90 管脚排列图

(a)引出端排列图；(b)结构框图。

3)二—五—十进制异步计数器 74LS68(7468)

74LS68 内有两组完全独立的计数器。第一组是由一个二进制计数和一个五进制计

数器组成，在引脚符号前冠以“1”；若把二进制计数器的输出 1Q0 连至五进制计数器的时钟输入端 1CP2，则可构成一个十进制计数器。第二组是十进制计器，在引脚符号前冠以“2”以示区别。其引脚排列如图 5-37 所示，1CP1、1CP2 分别是第一组二进制计数器和五进制计数器的时钟输入端，下跳沿有效；$\overline{1CLR}$、$\overline{2CLR}$分别是第一组和第二组主计数器的清零端，低电平有效；1Q0～1Q3、2Q0～2Q3 分别是第一组和第二组计数器的输出端。

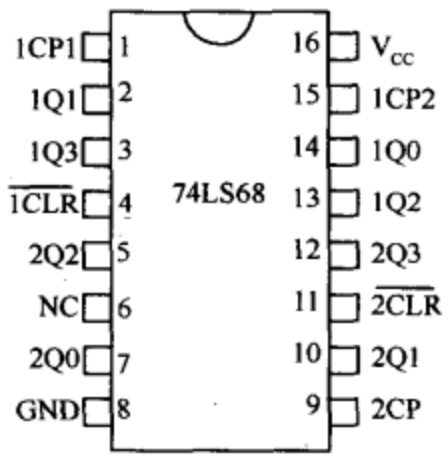


图 5-37　二—五—十进制异步计数器 74LS68 管脚排列图

4）集成十进制同步加法器 74160

集成十进制同步加法器 74160 引出端排列图与前面介绍的 74161 是相同的，只不过 74160 是十进制同步加法计数器，而 74161 是 4 位二进制（十六进制）同步加法器罢了。

74160 的状态表见表 5-23。

表 5-23　74160 的状态表

输　入									输出
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D0	D1	D2	D3	$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
0	×	×	×	×	×	×	×	×	0000（清零）
1	0	×	×	↑	D0	D1	D2	D3	D0D1D2D3（置数）
1	1	1	1	↑	×	×	×	×	计数
1	1	0	×	×	×	×	×	×	保持
1	1	×	0	×	×	×	×	×	保持

74160 具有下列功能：

①异步清零功能：当$\overline{CR}=0$ 时，计数器清零。在$\overline{CR}=0$ 时，其他输入信号都不起作用。

②同步并行置数功能：当$\overline{CR}=1$、$\overline{LD}=0$ 时，在 CP 的上升沿，并行输入数据 D0～D3 进入计数器，进位输出 $CO=CT_T \cdot Q_3^n Q_0^n$。

③同步加法计数功能：当$\overline{CR}=\overline{LD}=1$ 时，若 $CT_T=CT_P=1$，则计数器对 CP 信号按照 8421 编码进行加法计数。

④保持功能：当$\overline{CR}=\overline{LD}=1$，若 $CT_T \cdot CT_P=0$，则计数器将保持原来状态不变。需要说明的是，当 $CT_P=0$、$CT_T=1$ 时，进位输出 CO 也保持不变（$CO=Q_3^n Q_0^n$）；而当 $CT_T=0$ 时，不管 CT_P状态如何，进位输出 CO=0。

重点提示：与 74160 功能类似的还有 74162 等。值得注意的是，74162 采用的是同步清零方式，即当$\overline{CR}=0$ 尚需 CP 上升沿到来时，计数器才被清零。

5）BCD 计数/译码/驱动集成芯片 74143（74144）

该器件集 BCD 计数、7 段译码、驱动三种功能为一体，可在计数的同时实现十进制数的显示，给使用都带来了很大的方便。其引脚排列如图 5-38（a），图 5-38（b）是 74143 字段输出端的结构，图 5-38（c）是 74144 字段输出端的结构，需配用共阳 LED 数码管。因为 74143 已自带限流功能，故 LED 显示器的各字段（发光二极管）与之相连时可以不必加

限流电阻。其逻辑功能见表 5-24，各引脚的功能及符号意义说明如下：

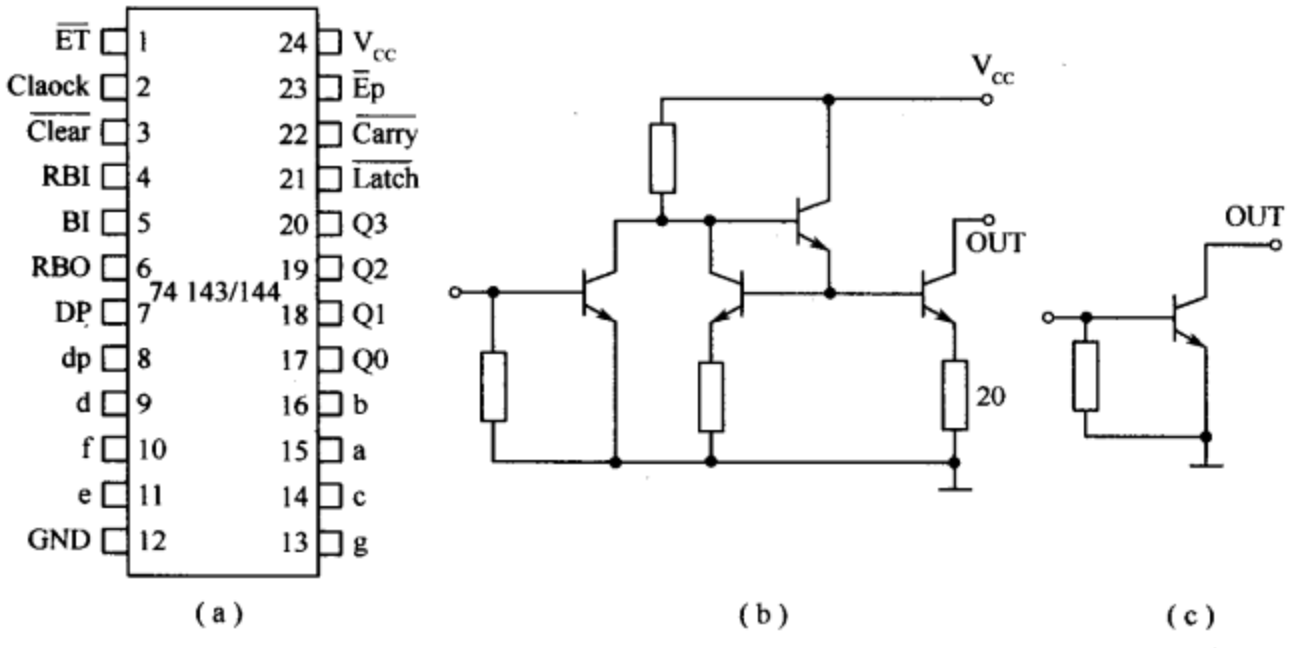


图 5-38　BCD 计数/译码/驱动集成芯片 74143(74144)引脚图

(a)引脚图；(b)74143 输出端的结构；(c)74144 输出端的结构。

①$\overline{E}_T$、$\overline{E}_P$：计数允许输入端，两者均为低电平时才能计数。

②Clock：计数脉冲输入端，上跳沿有效。

③$\overline{Clear}$：清零端，低电平有效。

④$\overline{RBI}$、$\overline{RBO}$、BI：灭零控制及消隐控制。

⑤DP：小数点控制端。

⑥$\overline{Carry}$：进位信号输出端，当计数值为 9 时，若 $\overline{E}_T$ 端和 Clock 端都为低电平，则 $\overline{Carry}$端能输出低电平作为进位信号。

⑦$\overline{Latch}$：，内部锁存器的锁存控制端，当该端为低电平时，，计数器的 BCD 码值能进入锁存器，并经过锁存器进入译码/驱动器，否则计数器的值不能进入锁存器，也不能到达译码和驱动部分，这就使显示与计数相隔离。

⑧Q0～Q3：经过锁存器以后的 BCD 码输出端(也是内部译码器的 BCD 码输入端)。

⑨a～g：7 段的段码输出端、集电极开路形式，配用共阳 LED 数码管。

⑩dp：小数点输出端，与 LED 数码管的“h”段相连。

表 5-24　74143/74144 的功能表

输　入					输出	工作情况
$\overline{Clear}$	Clock	$\overline{E}_P$	$\overline{E}_T$	$\overline{Latch}$	$\overline{Carry}$	
1	↑	0	0	1	1	计数器计数
0	×	×	×	1	1	计数器清零
1	×	×	×	0	1	计数器→锁存器
1	0	×	0	1	计数值为 9 时输出 0	

四、N 进制计数器

n 位二进制计数器可以组成 2^n 进制的计数器，例如四进制、八进制、十六进制等。但在实际应用中，需要的往往不是 2^n 进制的计数器，例如五进制、七进制以及前面介绍的十

进制等。这类不为 2^n 进制的计数的组成方法一般可以有两种：一是用时钟触发器和门电路进行设计，本书不作介绍；二是用集成计数器构成，称为反馈归零法或反馈置数法。下面重点介绍反馈归零法和反馈置数法，并对计数器容量的扩展作简要分析。

重点提示：集成计数器一般都设置有清零输入端和置数输入端，而且无论是清零还是置数，都有同步和异步之分，有的集成计数器采用同步方式——当 CP 触发沿到来时才能完成清零或置数任务，有的则采用异步方式——通过时钟触发器异步输入端实现清零或置数，与 CP 信号无关。对于集成计数器，通过状态表可以很容易地鉴别其清零和置数方式。例如，清零、置数均采用同步方式的有集成 4 位二进制（十六进制）同步加法计数器 74163，均采用异步方式的有 4 位二进制同步可逆计数器 74193、4 位二进制异步加法汁数器 74197、十进制同步可逆计数器 74192，清零采用异步方式、置数采用同步方式的有 4 位二进制同步加法计数器 74161、十进制同步加法计数器 74160，有的只具有异步清零功能，例如 CC4520、74190、74191，74290 则具有异步清零和置 9 功能。

1. 反馈归零法

反馈归零法在前面介绍十进制异步加法计数器中已经遇到过，其基本思想是：利用计数器的直接置零（清零）端的清零功能，截取计数过程中的某一个中间状态来控制清零端，使计数器从该状态返回到零而重新开始计数，这样就弃掉了后面的一些状态，把模较大的计数器改成了模较小的计数器（所谓模，是指计数器中循环状态的个数）。

例 1　试用一片二进制计数器 74LS293 构成一个十二进制加法计数器

74LS293 是 4 位二进制的异步计数器，其内部逻辑以及引脚功能图如图 5-39 所示，CP1、CP2 分别是第 1 级和第 2 级 J-K 触发器的触发端（时钟脉冲输入端），RD1 和 RD2 是直接置零端。当 RD1 · RD2＝1 时，4 个 J-K 触发器全部置零。

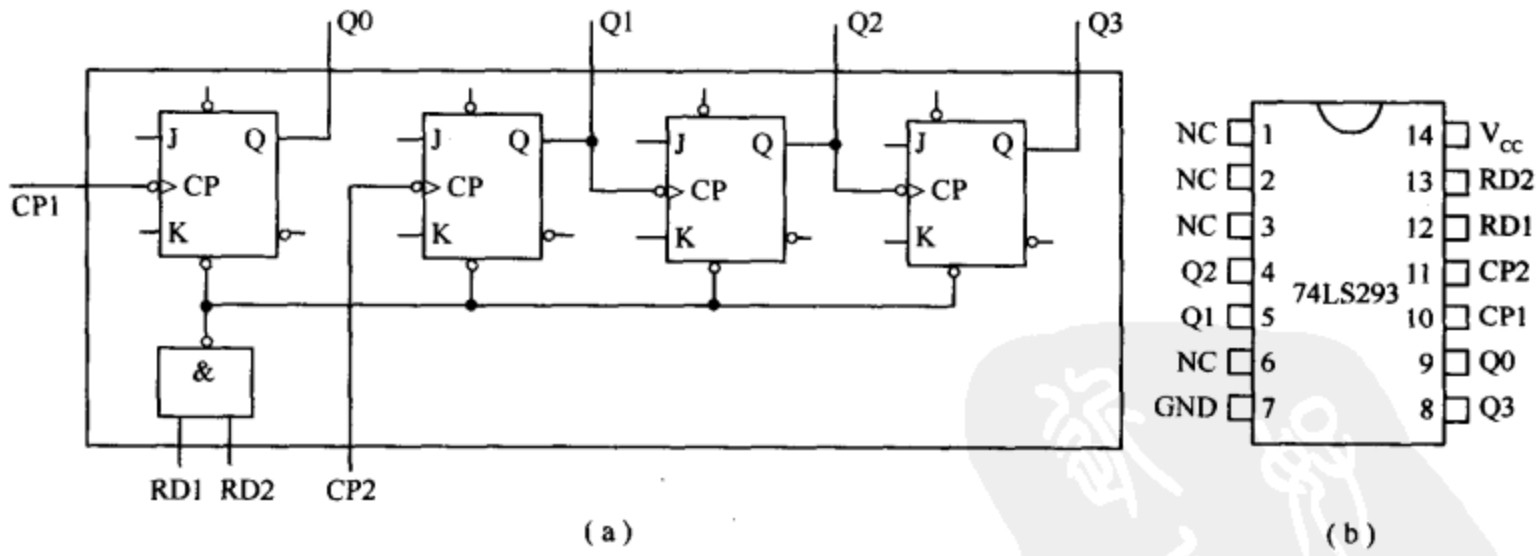


图 5-39　二进制异步计数器 74LS293 逻辑电路和引脚功能图

（a）逻辑图；（b）引脚图。

由图 5-39(a)可知，其第一级 JK 触发器是独立的，后 3 级已连接成异步八进制加法计数器。若把 Q0 端与 CP2 端相连，就构成了十六进制加法计数器。为了构成十二进制计数器，必须去除多余的 4 种状态，也就是当第 12 个计数脉冲到来后，必须使 Q3Q2Q1Q0＝0000。但现在第 12 个计数脉冲到来时，Q3Q2Q1Q0＝1100，记为 S12＝1100，称之为识别码。由此求出反馈归零逻辑：R_D＝Q2Q3，于是可得图 5-40 所示的连接法。由图可知，一旦 Q3Q2Q1Q0＝1100 的状态出现，与门 G 就会立刻输出一个正脉冲使

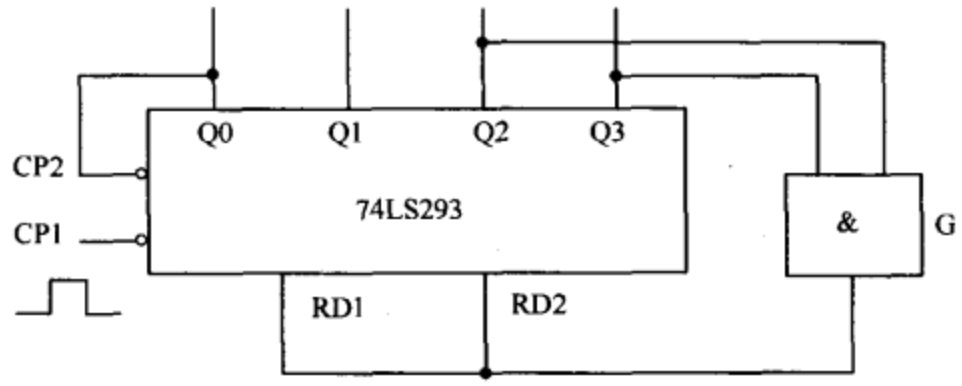


图 5-40　用 4 位二进制计数器 74LS293 构成的十二进制计数器

Q0～Q3 全部置零。

例 2　试用 74197 构成十二进制计数器

74197 是一个二—八—十六进制异步加法器计数器芯片，其管脚排列及状态表在前面已进行了详细介绍。

如果将 CP 加在 CP0 端，FF0 构成 1 位二进制计数器。当 CP 加在 CP1 端时，FF1、FF2、FF3 构成八进制数，如果不仅把 CP 加在 CP0 端，而且还将 CP1 与 Q0 连接起来，那么构成的就是十六进制计数器。

74197 采用反馈归零法构成的十二进制计数器如图 5-41 所示。

例 3　试用 4 位二进制计数器 74161 构成十二进制计数器

74161 是一个 4 位二进制计数器，其管脚排列及状态表在前面已进行了详细介绍。

74161 采用反馈归零法构成的十二进制计数器如图 5-42 所示。

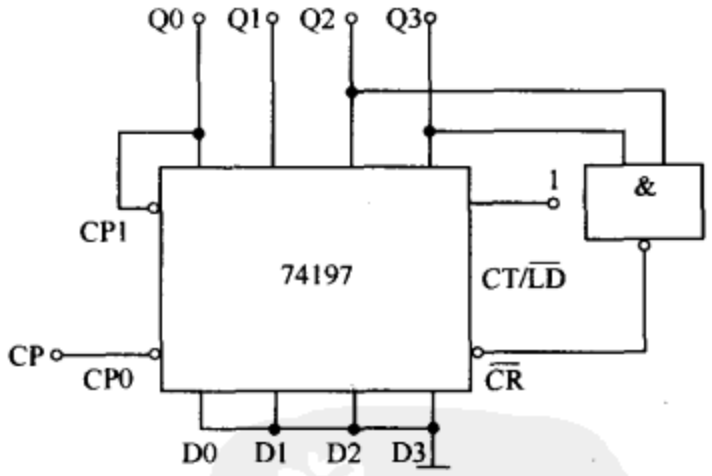


图 5-41　用 74197 构成的十二进制计数器

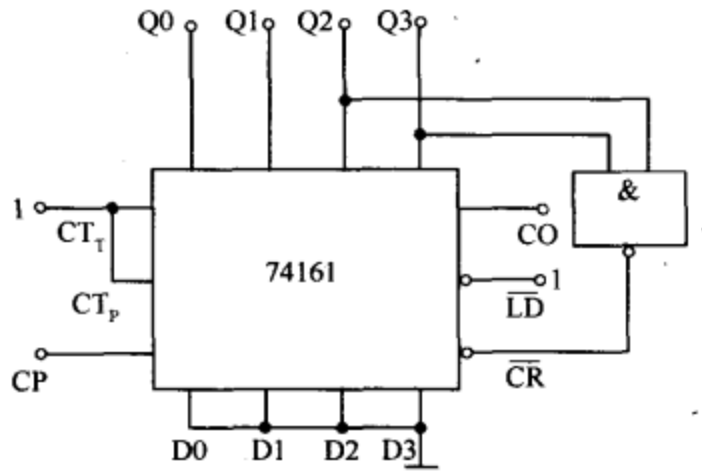


图 5-42　用 74161 构成的十二进制计数器

例 4　试用十进制计数器 74LS90 构成二十三进制计数器

本例要求构成二十三进制计数器，必须使用两片 74LS90。把各片的 Q0 与 CP2 相连，S_{9A}、S_{9B}均接地，就具有十进制计数功能，再把低位片子的进位（Q3 输出）连至高位片子的时钟脉冲输入端（CP1），则当低位片子计满 10 个脉冲时就产生 1 个进位脉冲，使高位片子加 1。二十三进制也就要求当输入计数脉冲为 23 个时，应使高、低位片子均复零。计数过程及各级状态见表 5-25。当第 23 个脉冲到来时，若未加“反馈归零”，则计数值为 0010 0011（表中 23(1)所列）。该状态一经出现，须立即使器件回到 0000 0000，因此识别码 S23＝0010 0011。现将低位片子的 Q0、Q1 及高位片子的 Q1 引出构成“与”的逻辑，并产生复位信号使计数器复零即可，即令 $R_{0A}=R_{0B}=Q0\cdot Q1\cdot Q1'$（其中 Q1′表示高位片

子的 Q1 端),得到如图 5-43 所示的计数电路。

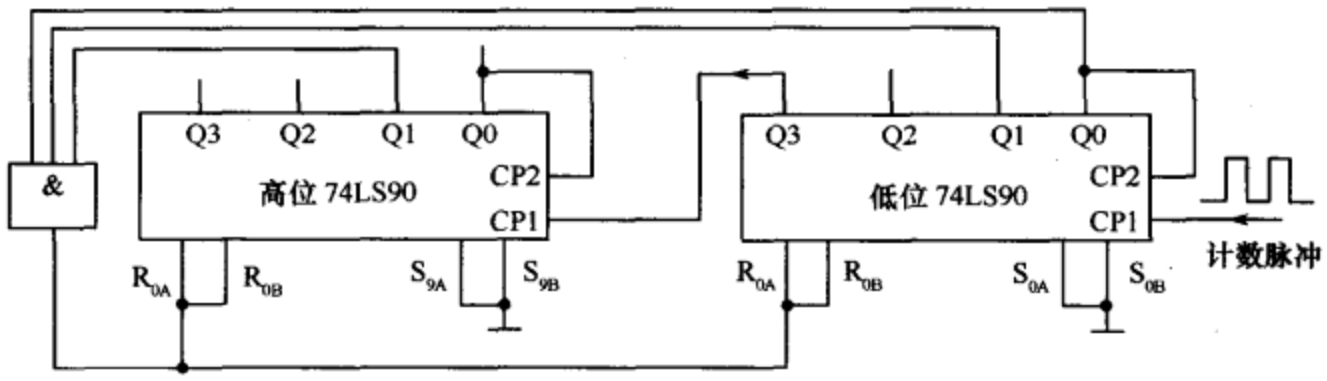


图 5-43　二十三进制计数电路

表 5-25　二十三进制计数状态表

计数脉冲	高　位				低　位			
	Q3	Q2	Q1	Q0	Q3	Q3	Q2	Q0
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	1	0
3	0	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	1
6	0	0	0	0	0	1	1	0
7	0	0	0	0	0	1	1	1
8	0	0	0	0	1	0	0	0
9	0	0	0	0	1	0	0	1
10	0	0	0	1	0	0	0	0
11	0	0	0	1	0	0	0	1
12	0	0	0	1	0	0	1	0
13	0	0	0	1	0	0	1	1
14	0	0	0	1	0	1	0	0
15	0	0	0	1	0	1	0	1
16	0	0	0	1	0	1	1	0
17	0	0	0	1	0	1	1	1
18	0	0	0	1	1	0	0	0
19	0	0	0	1	1	0	0	1
20	0	0	1	0	0	0	0	0
21	0	0	1	0	0	0	0	1
22	0	0	1	0	0	0	1	0
23(1)	0	0	1	0	0	0	1	1
23(2)	0	0	0	0	0	0	0	0

使用反馈归零法求 N 进制计数器有两个问题:一是有一个极短暂的过渡状态 S_N;二

是归零的可靠性问题。

(1)过渡状态 S(N)的问题。N 进制计数器从状态 S0 开始计数,当计数到 S($N-1$)状态时,若再输入一个计数脉冲,照理说应该马上复零,然而使用反馈归零法得到的电路,不是立即归零,而是先转换到 S(N)状态,然后才能产生一个置零信号使计数器复零。S(N)这一状态存在大约需要几十纳秒的时间,S(N)状态虽然是极短暂的过渡状态,但它却是不可缺少的,否则就无法产生归零信号。

(2)归零可靠性问题。由于计数器中各个触发器的脉冲工作特性和带负载情况不可能都一样,各种随机干扰信号或大或小总存在,因此就有可能出现有的触发器已归零,有的却仍然还处在原来的"1"状态,但此时因为已有触发器归零,所以复零信号消失,这就使还没来得及归零的触发器无法归零。触决这一问题的办法是利用一个基本 RS 触发器把复零信号暂存一下,从而保证复零信号有足够的作用时间,以使计数可靠复零。

图 5-44 所示是提高归零可靠性的一种电路。其思路是用一个基本 RS 触发器将$\overline{CR}$或$\overline{LD}=0$暂存一下,从而保证归零信号有足够的作用时间,使计数器能够可靠归零。

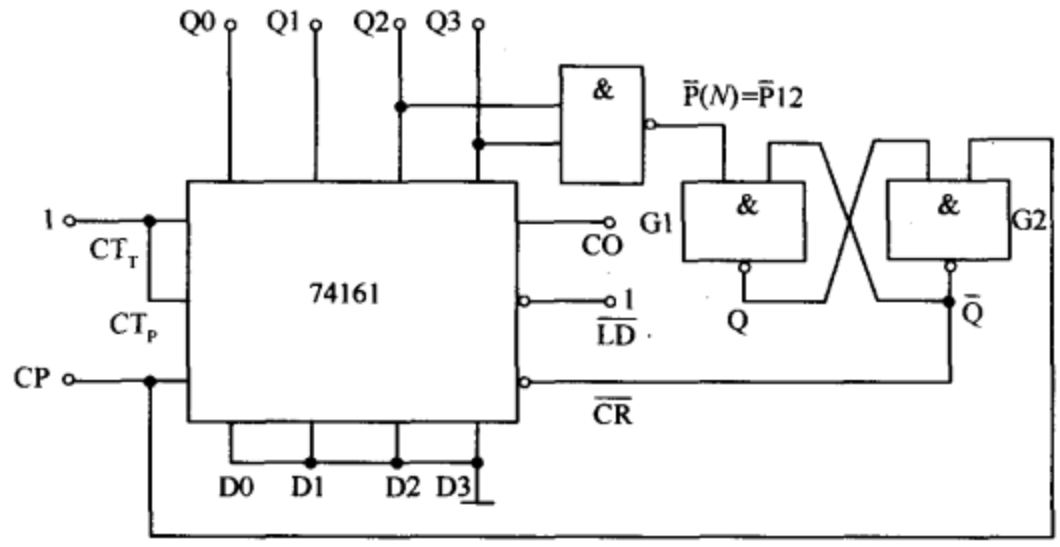


图 5-44　提高可靠归零的一种电路

平常门 G1、G2 组成的基本 RS 触发器,在 CP 脉冲作用下总是处在 0 状态,$\overline{CR}=\overline{Q}=1$,当计数器计到 S($N-1$)=S11=1011 时,再来一个 CP 脉冲,其上升沿后,计数器先由 S($N-1$)转换到 S_N=S12=1100,使 $\overline{P}_N=\overline{P}12=\overline{Q}3\overline{Q}2=0$,基本 RS 触发器被置 1,$Q=1$、$\overline{Q}=\overline{CR}=0$,计数器归零,即转换到状态 S0=0000。只有当该 CP 脉冲下降沿到来后,基本 RS 触发器才会被置回到 0,即 $Q=0$、$\overline{Q}=\overline{CR}=1$,撤销归零信号。这样,$\overline{CR}=0$ 的时间 t 大大地加长了,如果 CP 的占空比(脉冲宽度与其周期之比)为 50%,那么不难理解 $t=\frac{T_{CP}}{2}$,T_{CP}是输入时钟脉冲 CP 的周期。

图 5-45 所示是异步归零十二进制计数器的改进电路,它与图 5-43 所示电路的区别在于所使用的芯片是 CP 下降沿触发的集成计数器 74197,因此电路中增加了一个反相器。在这种电路中,当计数器归零后,只有又重新从起始状态 S0=0000 开始计数时,第一个 CP 脉冲的上升沿经反相器反相后才会将基本 RS 触发器复位到 0 状态,即 $Q=0$、$\overline{Q}=1=\overline{CR}$,撤消归零信号。

需要指出的是,除了在对可靠性要求特别高的地方之外,一般都不采用改进电路,而是直接使用前面介绍的比较简单的电路形式。而且有的集成计数器内部已经设置了译码

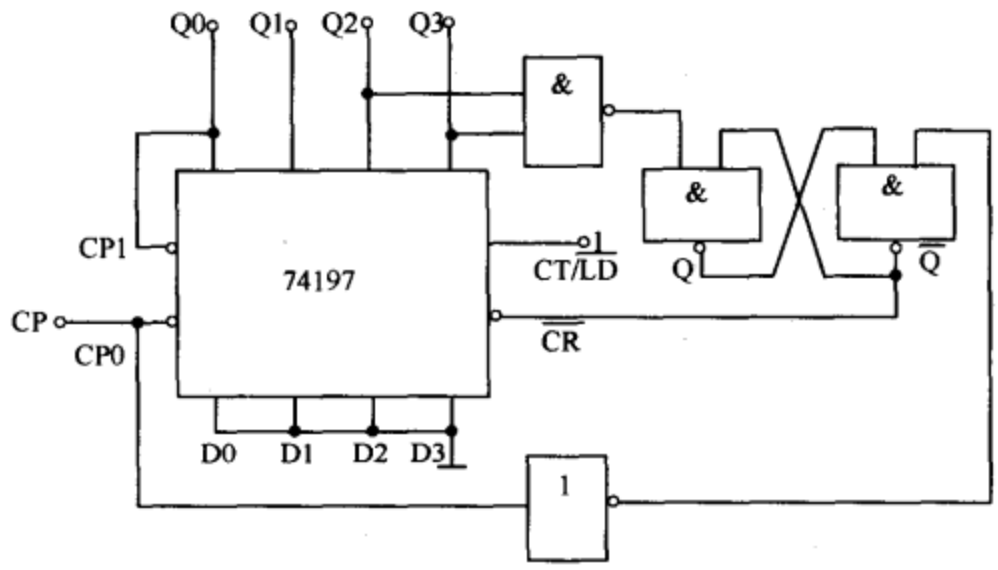


图 5-45　异步归零 CP 下降沿触发十二进制计数器改进电路

用的门电路，使用起来十分方便。

重点提示：使用反馈归零法构成 N 进制计数器最大的优点是简单方便，也比较经济。使用两片 4 位二进制计数器，可以获得 1～256 中的任何一种进制的计数器；用两片十进制计数器，可以获得 1～100 中任何一种进制的计数器。

2. 反馈置数法

可预置数的计数器（同步计数器大多具有置数功能）具有一组数据输入线 D(n)～D0。以 4 位计数器为例，共有 D3、D2、D1、D0 共 4 根数据输入线，如果把这 4 根输入线预先接成某一种固定状态，那么在一个称为 LD 的信号作用下，并且在下一个计数脉冲的有效沿到来时，该状态就能出现在输出端 Q3、Q2、Q1、Q0 上，也就是计数器的值被设置成了输入线 D3、D2、D1、D0 上的输入值。如果把 D3、D2、D1、D0 全部接地，在计数过程中的某一间状态时生成一个信号作为 LD，即可使计数器在下一个计数脉冲的有效沿到来后回到零，因此计数器的状态就会在 0000 到这一中间状态之间循环，这种方法类似于反馈归零法。

另一种情况是希望计数的初始值不是零，例如，希望从 0010 开始计数，那么只需把数据输入端 D3、D2、D1、D0 接成 0010，利用计数器满值（1111）时产生的进位信号，可以使计数器在下一个计数脉冲的有效沿到来后回到 0010 状态。下面分别举例说明。

例 5　使用 74163 构成一个计数状态为二进制数 0000～1101 的计数器

74LS163 是四位可预置的同步计数集成电路，其引脚排列和状态表在前面已进行了分析。

根据 74LS163 的状态表可知，要构成一个计数状态为二进制数 0000～1101 的计数器，应使用 1101 作为$\overline{LD}$端的信号，把 D3、D2、D1、D0 接地，从 Q0、Q2、Q3 引出的 1 信号经过一个与非门送到$\overline{LD}$端，如图 5-46 所示。当计数到 1101（十进制数 13）时，$\overline{LD}$端为 0，再来 1 个计数脉冲时，其上升沿使 D3D2D1D0 置入，则 Q3Q2Q1Q0＝0000，完成了一个循环，故电路构成了十四进制计数器。

例 6　使用 74LS163 构成一个计数状态为二进制数 0111～1111 的计数器

采用由进位信号预置起始值的方法，如图 5-47 所示。把数据输入端 D3D2D1D0 接成 0111，当 Q3Q2Q1Q0＝1111 时，CO 端产生高电平进位信号，把它通过反相器后送至

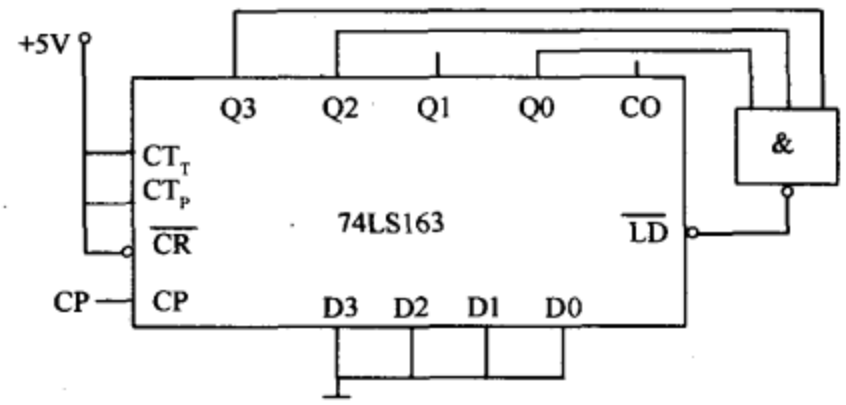


图 5-46　使用 74163 构成一个计数状态为二进制数 0000～1101 的计数器

LD端，当下一个计数脉冲到来后，D3D2D1D0 的状态就被置入到 Q3Q2Q1Q0，所以，计数器的状态在 0111～1111 之间循环。

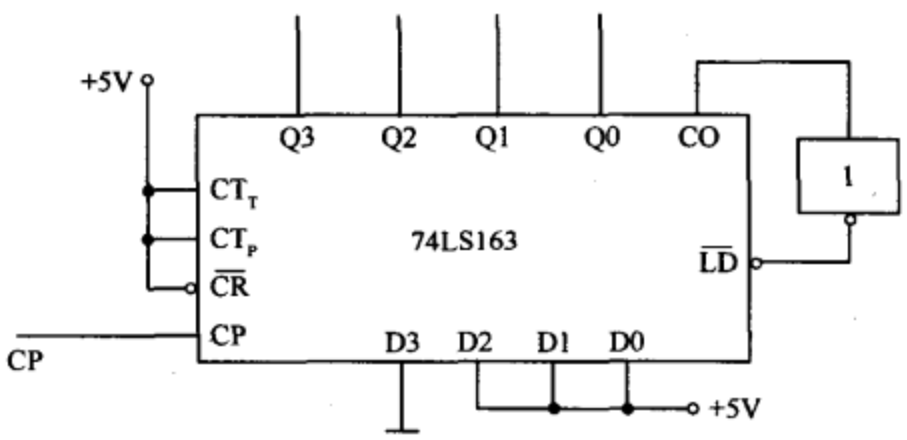


图 5-47　使用 74LS163 构成一个计数状态为二进制数 0111～1111 的计数器

例 7　采用反馈置数法，用 74161 或 74197 构成十二进制计数器

前面介绍了采用反馈归零法用 74161 或 74197 构成十二进制计数器的电路。若采用反馈置数法，则构成电路如图 5-48 所示。

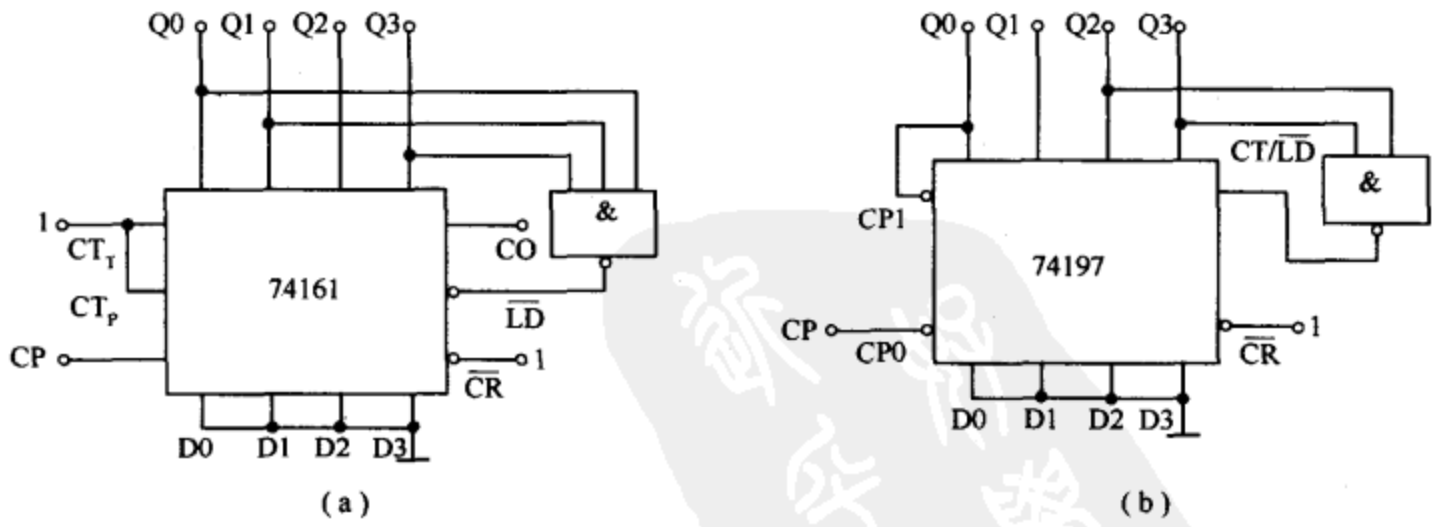


图 5-48　用 74161 或 74197 构成十二进制计数器

(a)74161 构成的十二进制电路；(b)74197 构成的十二进制电路。

阅读材料：计数器容量的扩展

集成计数器一般都设有级联用的输入端和输出端，只要正确把它们连接起来，便可得到容量更大的计数器。

图 5-49 所示是把 3 片 74161 级联起来构成的 4096 进制(12 位二进制)同步加法计数器,根据 74161 的状态表,不难理解其工作原理。

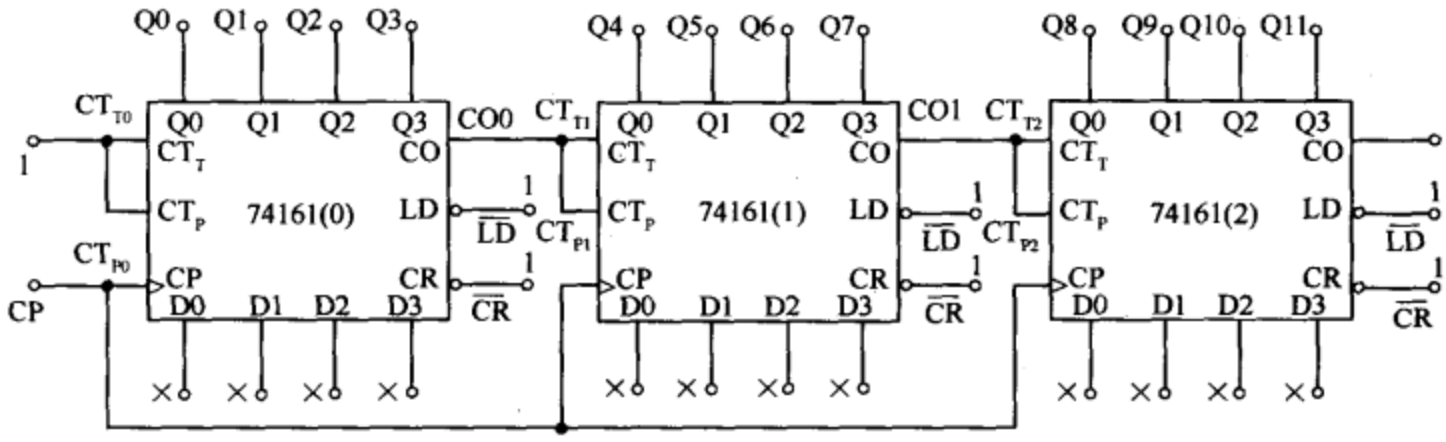


图 5-49　三片 74161 级联起来构成的 4096 进制同步加法计数器

图 5-50 所示是把两片 74290 级联起来构成的 100 进制——2 位十进制计数器,联系 74290 的状态表,其工作原理是一目了然的。

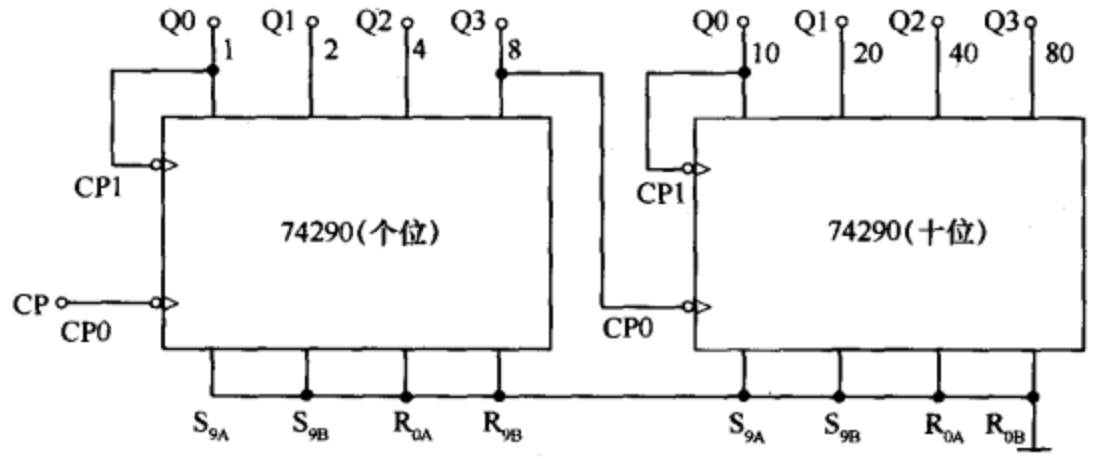


图 5-50　两片 74290 级联起来构成的 100 进制计数器

一般而言,把一个 $N1$ 进制计数器和一个 $N2$ 进制计数器串接起来,便可以构成 $N=N1\times N2$ 进制计数器,其框图如图 5-51 所示。



图 5-51　$N=N1\times N2$ 进制计数器构成框图

图 5-52 所示是由六进制和十进制计数器构成的 $6\times10=60$ 进制的计数器。

在许多情况下,一般先把集成计数器级联起来扩大容量之后,再用反馈归零或反馈置数法获得大容量的进制计数器。例如,要获得 $N=180$ 进制计数器,可先把两片 74163(同步清零)级联起来构成 256 进制(8 位二进制)计数器,再用反馈归归零法即可得到 180 进制同步加法计数器,如图 5-53 所示。

图 5-53 中,虚线框内是一个 256 进制计数器。因为 $N=180$,故有:

$$S(N-1)=S179=10110011$$

$$P(N-1)=P179=Q_7^nQ_5^nQ_4^nQ_1^nQ_0^n$$

$$\overline{CR}=\overline{Q_7^n Q_5^n Q_4^n Q_1^n Q_0^n}$$

根据上式，可得到图 5-53 所示电路的反馈归零逻辑电路。

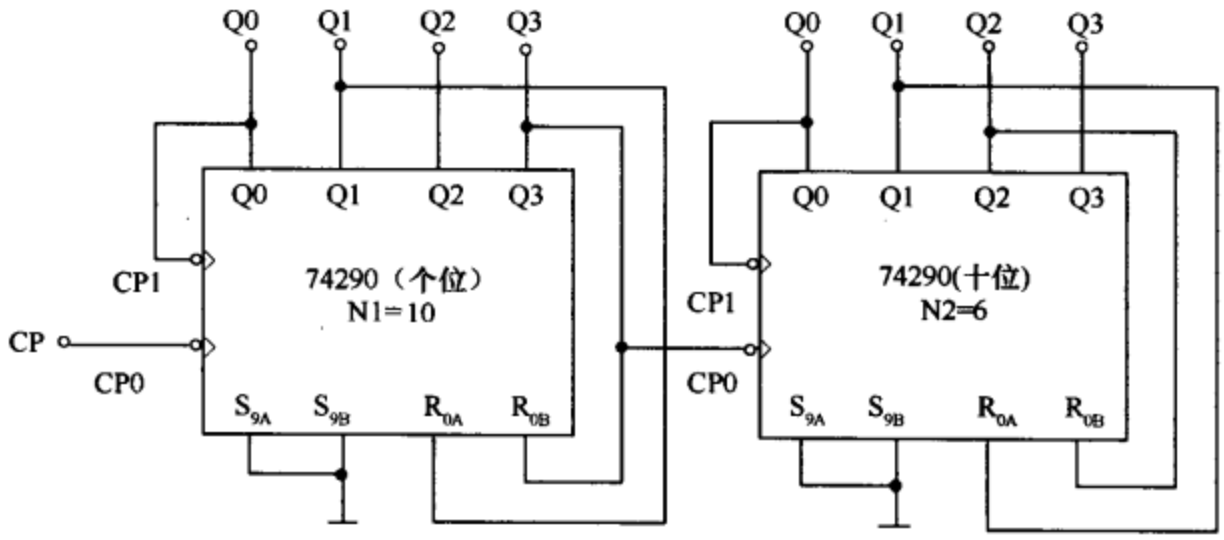


图 5-52　60 进制计数器

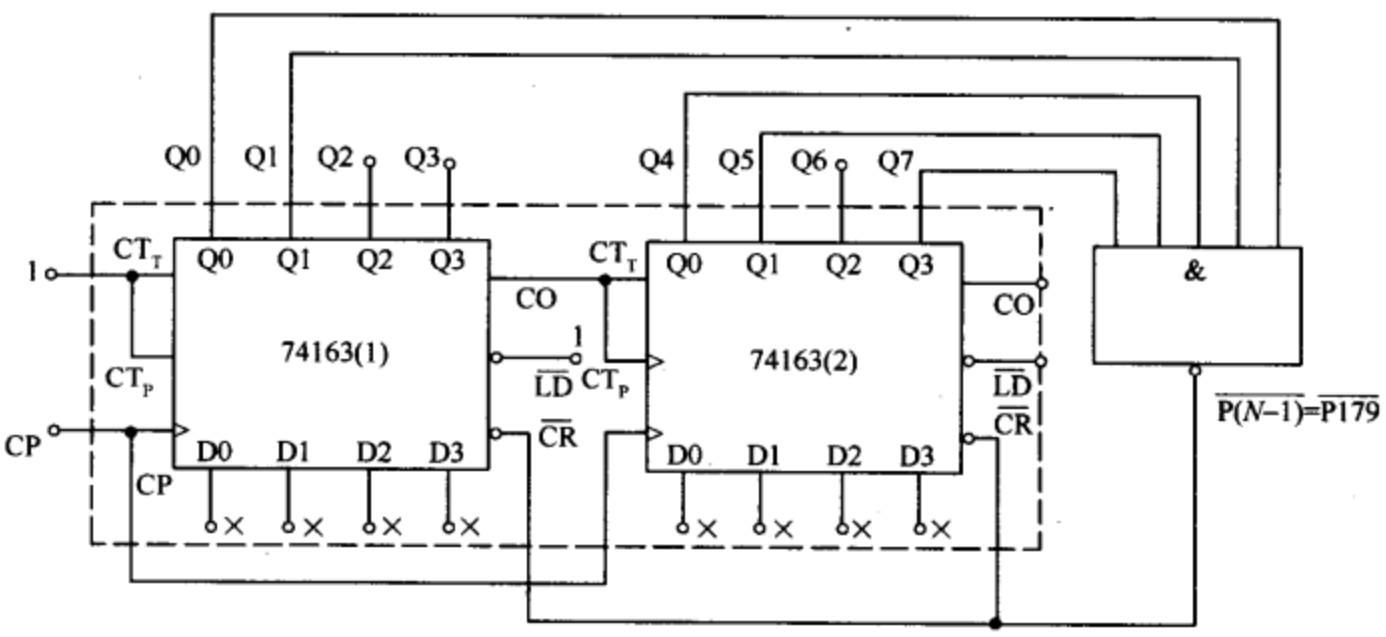


图 5-53　两片 74163 级联构成的 180 进制计数器

第六章　脉冲波形的产生与整形

在数字电路或系统中，常常需要各种脉冲波形，例如时钟脉冲信号、控制过程中的定时信号等。这些脉冲波形的获取，通常采用两种方法：一种是利用脉冲信号产生器直接产生；另一种则是对已有的信号进行变换，使之满足系统的要求。本章主要讨论脉冲的产生和整形。在脉冲振荡器中，主要介绍在数字系统中最常使用的多谐振荡器，在整形电路中，主要介绍施密特触发器和单稳态触发器。最后介绍一种在脉冲波形的产生和整形电路中应用十分广泛的多功能集成电路 555 定时器。

第一节　多谐振荡器

多谐振荡器是一种自激振荡电路，该电路在接通电源后无需外接触发信号就能产生一定频率和幅值的矩形脉冲或方波。由于矩形脉冲中含有丰富的高次谐波，故称为多谐振荡器。另外多谐振荡器在工作过程中不存在稳定状态，故又称为无稳态电路。

一、由分立元件组成的多谐振荡器

图 6-1 是由分立元件构成的自激多谐振荡器。由图可见，这种电路结构与分立元件双稳态触发器极其相似，不过，多谐振荡器是由电容 C1、C2 耦合的，而双稳态电路则是通过电阻耦合的。

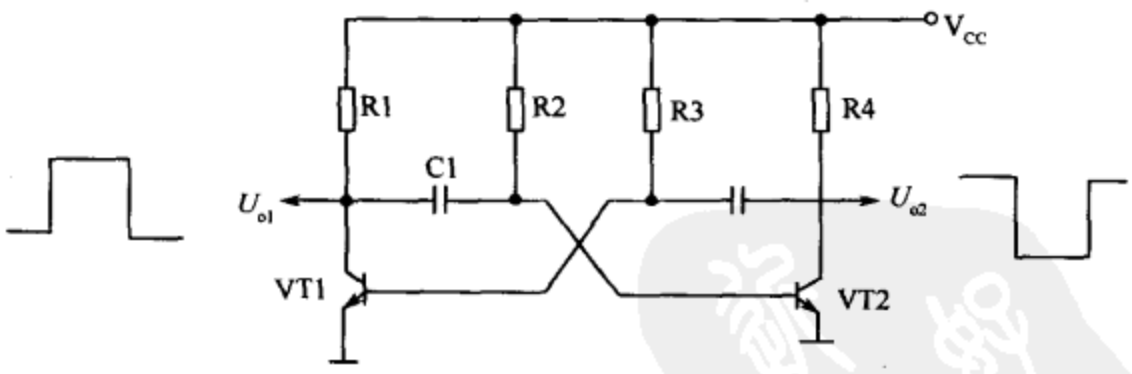


图 6-1　分立元件组成的多谐振荡器

和双稳态电路一样，多谐振荡器也是左、右完全对称的，它的左、右两半部分的元件从型号到参数都是相同的，尽管如此，在接通电源的瞬间，总会因为左、右电路间的微小差异而产生不同的导电状态。设电源接通后，VT1 导电强些，则 VT1 的集电极电流 I_{c1} 增加，集电极电位 U_{o1} 下降，经电容 C1 耦合后引起 VT2 的基极电流 I_{b2} 减小，U_{c2} 升高；U_{c2} 的变化又通过 C2 的耦合，又全部加在 VT1 的基极上，使 VT1 的基极电流 I_{b1} 增加，I_{c1} 增加……这个正反馈积累过程为：$I_{c1}\uparrow \rightarrow U_{o1}\downarrow \rightarrow I_{b2}\downarrow \rightarrow U_{c2}\uparrow \rightarrow I_{b1}\uparrow \rightarrow I_{c1}$。由于强烈的正反馈，几乎在瞬时，使 VT1 饱和，VT2 截止。但是，VT1 饱和，VT2 截止，只是一个暂稳

状态。当进入暂稳状态后，C2 将通过通过 R4、VT1 的 be 结构成的回路充电（电压极性左负右正）；另一方面，C1 将通过 VT1 的 ce 结、R1 构成回路，将本身储存的电荷（左正右负）逐渐释放。这样 U_{b2} 逐渐上升，当 U_{b2} 高于晶体三极管导通电压后，将发生如下的正反馈过程：$U_{b2}\uparrow \rightarrow I_{b2}\uparrow \rightarrow U_{c2}\downarrow \rightarrow I_{b1}\downarrow \rightarrow U_{c1}\uparrow \rightarrow U_{c2}\uparrow$。

由于强烈的正反馈，致使 VT2 饱和，VT1 截止。U_{o1} 为高电平；U_{o2} 为低电平。此后，一方面 C1 将通过 R1、VT2 的 be 结构成的回路充电（电压极性左正右负），另一方面，C2 将通过 VT2、R3 构成的回路放电，U_{b1} 相应提高。当 U_{b1} 高于三极管导通电压后，又发生使 VT1 导通，VT2 截止的正反馈过程，于是形成振荡。从 VT1、VT2 集电极输出的输出电压是矩形脉冲。可以证明，这种多谐振荡电路的振荡周期 $T=0.7R1C1+0.7R2C2=1.4RC$，输出幅度接近电源电压。

二、由 RC 和门电路组成的多谐振荡器

使用 RC 作为定时元件构成的门电路多谐振荡器，在许多对频率的稳定度要求不高的场合最常被使用。图 6-2(a)所示是一种典型的门电路多谐振荡器，两边的电路对称，输出为高、低电平等宽的方波。若取两边的 R(R1、R2)的阻值、C(C1、C2)的电容值不对称，则输出的高、低电平可以不等宽，该图的另一种画法如图 6-2(b)所示。该电路若采用 TTL 门电路，则电阻 R(R1、R2)的阻值宜控制在 1kΩ 以内，否则可能不振荡；若采用 CMOS 门电路时，则 R(R1、R2)的阻值可在数十千欧范围内选取，振荡频率由 RC 的乘积确定。

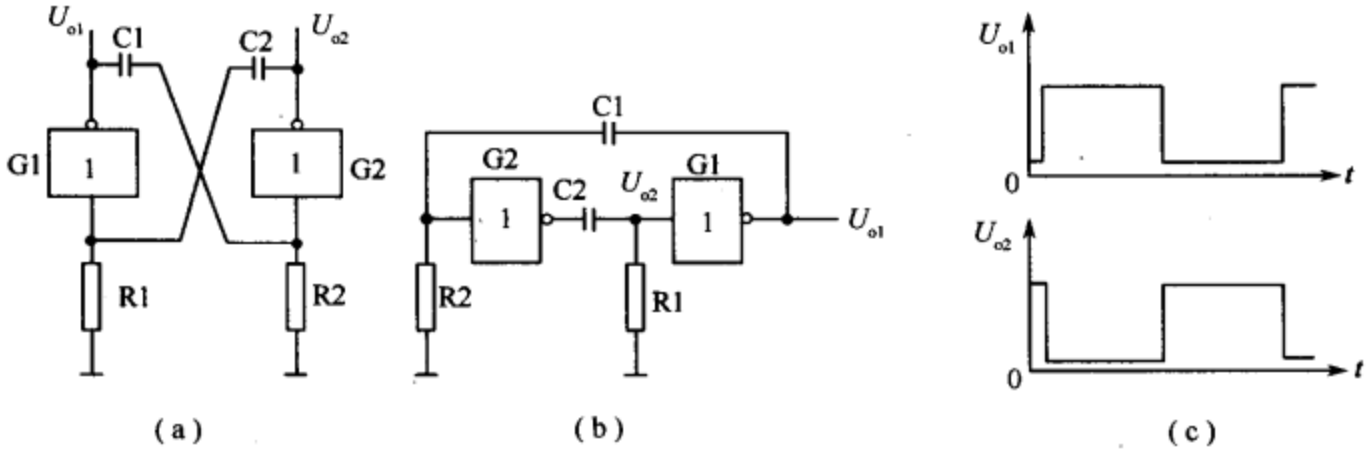


图 6-2　由 RC 和门电路组成的多谐振荡器

电路的工作过程如下：

当 G1 门的输出 U_{o1} 从 0 变为 1 时，经电容 C1 耦合到 G2 门的输入端，促使 G2 门的输出 U_{o2} 从 1 变为 0。这一变化又经电容 C2 耦合到 G1 门的输入端，保证 G1 门输出为 1，形成一个暂稳状态。

暂稳态刚开始时，G1 门输出的高电位经电阻 R2 对电容 C1 充电，流过 R2 的充电电流随时间按指数规律衰减，G2 门输入端的电位也按指数规律下降。当 G2 门输入端电位下降到 G2 门的开门电平以下时，G2 门的输出迅速从 0 变为 1，经 C2 耦合，促使 G1 门输出 U_{o1} 从 1 变为 0，又经 C1 耦合到 G2 门，使 U_{o2} 保持 1 态，从而使多谐振荡器从第 1 个暂稳状态翻转到第 2 个暂稳状态。

此后，电路重复这一过程，这样就形成了自激振荡。电路的输出波形如图 6-2(c)所

示。改变电阻和电容值，可以改变振荡周期。

图 6-3 所示是另外两种常用的门电路多谐振荡器。其中图 6-3(a)经常被用到。这两个电路的振荡频率由 RC 的乘积确定。注意，当使用 TTL 门电路时，R 的取值不能大，在图 6-3(a)的电路中，R 宜取 1kΩ 左右；而使用 CMOS 电路时，R 可取数十千欧至数百千欧。对于图 6-3(b)，当使用 TTL 门电路时，R_s 应小于 1kΩ 直至短路(即 $R_s=0$)，而 R 在数千欧以内；当使用 CMOS 电路时，R_s 可取数十千欧。

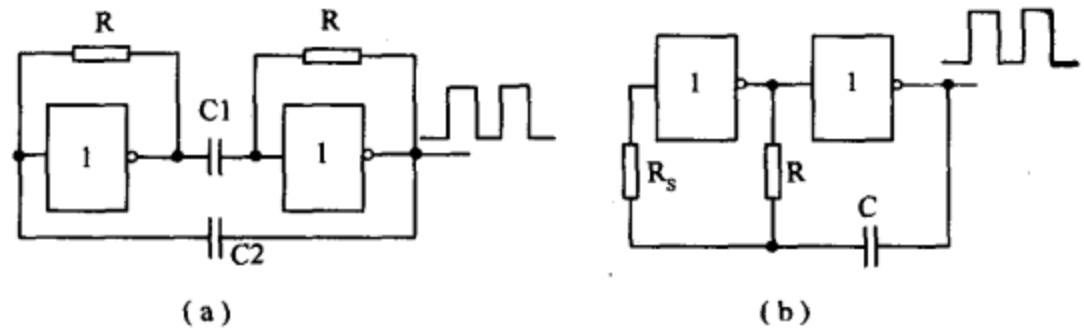


图 6-3　由 RC 和门电路组成的另外两种多谐振荡器

重点提示：以上几个振荡器都使用了两个倒相器级联，第二个门电路的输出端与第一个门电路的输入端为同相关系，使用电容连接该两端，便可以形成正反馈，利用门电路在转折区的放大作用，便形成了振荡器。

以 RC 为定时元件构成的门电路振荡器，是依赖 RC 回路的充、放电快慢来确定振荡周期的，它们的振荡周期 T 值大致为 $T=1.4RC\sim2.5RC$。

三、由石英晶体和门电路组成的多谐振荡器

前面介绍的多谐振荡器的振荡周期或重复频率不仅与时间常数 RC 有关，而且还取决于门电路的阈值电压。由于阈值电压容易受温度、电源电压及干扰的影响，因此频率稳定性较差，不能适应对频率稳定性要求较高的场合。

为得到频率稳定很高的脉冲波形，多采用有石英晶体组成的石英晶体振荡器。石英晶体的阻抗频率特性和电路符号如图 6-4 所示。

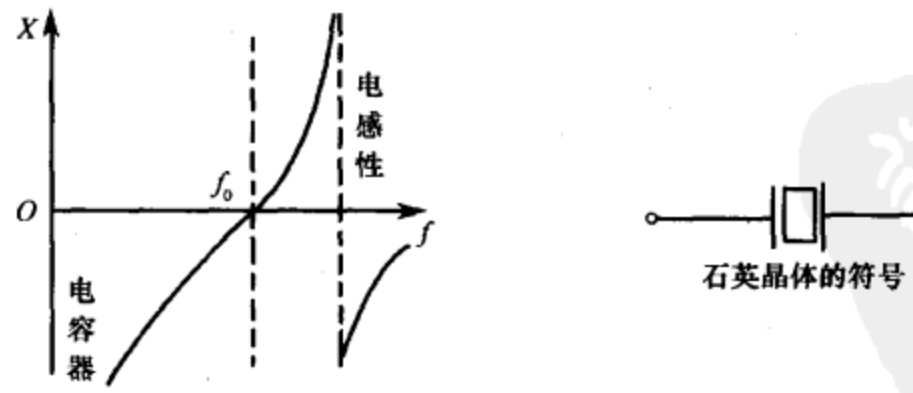


图 6-4　石英晶体的频率特性和电路符号

由阻抗频率特性可知，当外加电压的频率 $f=f_0$ 时，石英晶体的电抗 $X=0$，在其他频率下电抗都很大。石英晶体不仅选频很好，而且谐振频率 f_0 十分稳定。

石英晶体振荡器电路如图 6-5 所示。图中，并联在两个反相器输入、输出间的电阻 R(R1、R2)的作用是使反相器工作在线性放大区。R 的阻值，对于 TTL 门电路通常在 0.7kΩ～2kΩ 之间；对应于 CMOS 门通常在 10MΩ～100MΩ 之间。电路中，电容 C1 用于

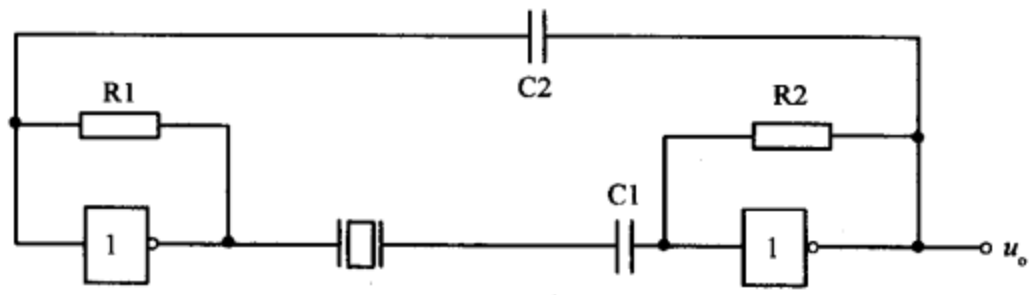


图 6-5　石英晶体和门电路组成的多谐振荡器

两个反相器间的耦合，而 C2 的作用，则是抑制高次谐波，以保证稳定的频率输出。

由于串联在两级放大电路中间的石英晶体具有极好的选频特性，只有频率为 f_0 的信号能够顺利通过，满足振荡条件，所以一旦接通电源，电路就会在频率 f_0 形成自激振荡。因为石英晶体的谐振频率 f_0 仅决定于其体积大小、几何形状及材料，与 R、C 无关，所以这种电路工作频率的稳定度很高。

CMOS 石英晶体多谐振荡器可以采用图 6-6 所示电路结构形式，电路中，G1、G2 是两个 CMOS 反相器。G1 与 R_F、晶体、C1、C2 构成电容三点式振荡电路。R_F 是偏置电阻，取值常在 10MΩ～100MΩ 之间，它的作用是保证在静态时，G1 能工作在线性放大状态。C1、晶体、C2 组成 π 型选频反馈网络，电路只能在晶体谐振频率 f_0 处产生自激振荡。改变 C1 可以微调振荡频率，C2 是温度补偿用电容。G2 是整形缓冲用反相器，因为振荡电路输出接近于正弦波，经 G2 整形之后才会变成矩形脉冲，同时 G2 也可以隔离负载对振荡电路工作的影响。

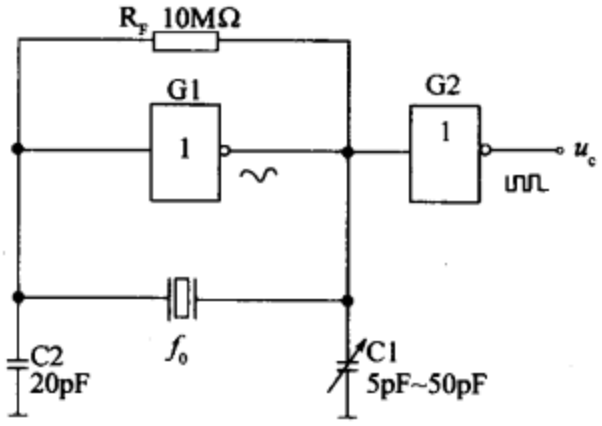


图 6-6　CMOS 石英晶体多谐振荡电路

第二节　单稳态触发器

单稳态触发器的特点：一是电路中有一个稳态，一个暂稳态；二是在外来触发信号作用下，电路由稳态翻转到暂稳态；三是暂稳态是一个不能长久保持的状态，由于电路中 RC 延时环节的作用，经过一段时间后，电路会自动返回到稳态。暂稳态的持续时间取决于 RC 电路的参数值。单稳态触发器的这些特点被广泛应用于脉冲波形的变换与延时中。

一、由分立元件组成的单稳态触发器

图 6-7 所示是分立元件组成的单稳态电路，电路中，U_i 为输入触发信号，U_o 为输出

电压。

图 6-8 绘出了单稳态电路中有关点的波形，其中图 6-8(a)为输入触发信号电压 U_i 的波形，这是一个矩形脉冲信号。图 6-8(b)是经 C2 和 R4 微分之后的输出电压波形，通过微分电路已将矩形脉冲转换成正、负尖顶脉冲。图 6-8(c)所示是 VT2 管集电极电压波形，即这一电路的输出信号电压波形。

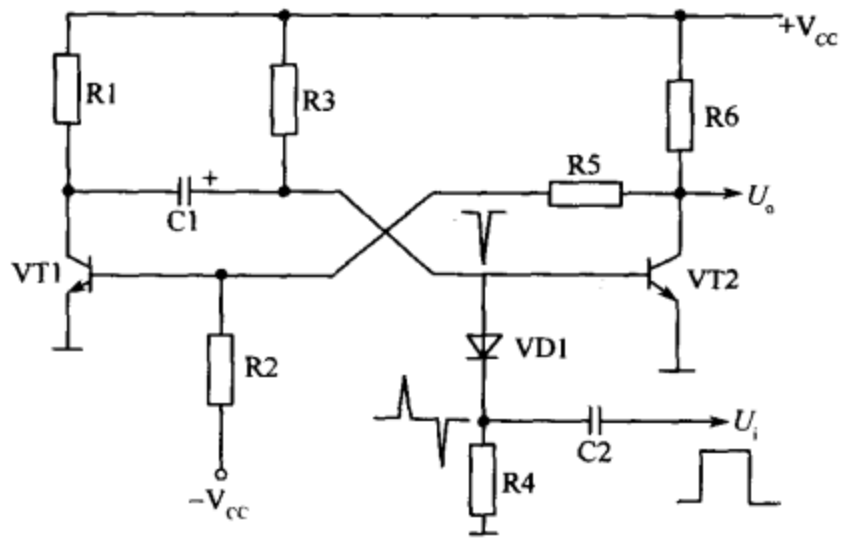


图 6-7　分立元件组成的单稳态电路

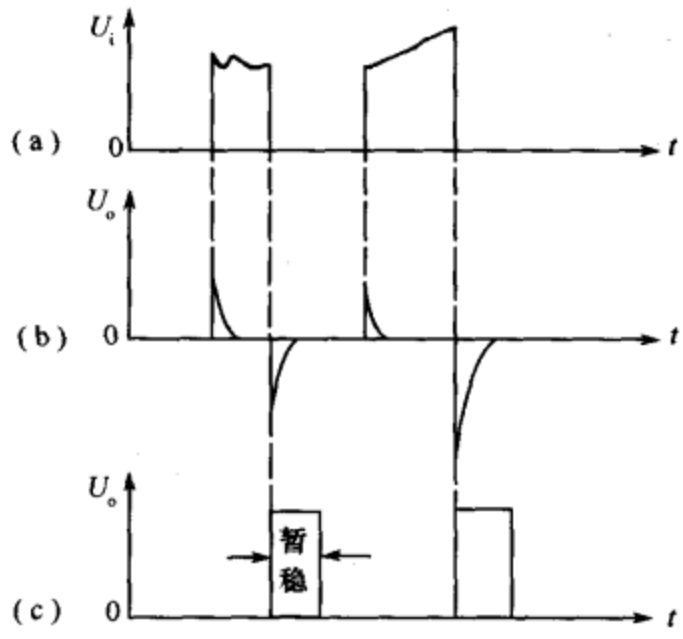


图 6-8　分立元件组成的单稳态电路波形

电路的工作过程如下所述。

1)稳态

电阻 R2 将负电源 $-V_{CC}$ 加到 VT1 管的基极，使 VT1 管的基极电压为负，这样 VT1 管处于截止状态。直流工作电压 $+V_{CC}$ 经 R3 给 VT2 管基极足够的基极电流，使 VT2 管处于饱和状态，这是电路的稳态，即 VT1 管截止、VT2 管饱和，此时输出电压 U_o 为低电平。只要电路中没有有效的触发信号输入，电路就一直保持这种稳态。

2)暂稳态

当输入触发信号 U_i 从高电平变为低电平(输入脉冲的后沿)时，通过 C2 和 R4 微分和二极管 VD1 削波，在 VT2 管基极得到一个负尖顶触发脉冲，使 VT2 管的基极电压下降，电路中出现了正反馈过程，即输入负脉冲使 VT2 管基极电压下降，其集电极电压上升，通过 R5 加到 VT1 管基极，使 VT1 管基极电压上升，其集电极电压下降，通过 C1 再加到 VT2 管的基极(电容两端电压不能突变)，使 VT2 管的基极电压进一步下降，通过这一正反馈，很快使 VT2 管截止，VT1 管饱和。由于 VT2 管截止，所以此时输出电压 U_o 为高电平，如图 6-8(c)中的 U_o，这是电路的暂稳态。

3)从暂稳态自动返回到稳态

电路进入暂稳态后，由于 VT1 管饱和，于是电容 C1 开始充电，充电电流回路为 $+V_{CC}$→R3→C1→VT1 的 ce 结→地。在 C1 两端充上右正左负的电压，电容 C1 上的这一充电电压使 VT2 管的基极电压升高，存在使 VT2 管导通的趋势。对电容 C1 充电的时间长短，决定着电路暂稳态的时间长短。

随着 C1 充电的进行，使 VT2 管基极电压升高，当这一电压升高到一定程度时，VT2

管导通，电路再次发生正反馈过程，这次正反馈的结果使 VT2 管从截止转为饱和，VT1 管从饱和转为截止，进入稳态，只要没有有效的输入触发信号触发，电路始终保持这一状态。

该电路输出脉冲 U_o 的脉宽与 $R3$ 和 $C1$ 大小有关，输出脉冲宽度约等于 $0.693R3C1$。

二、由门电路组成的单稳态电路

1. 微分型单稳态触发器

图 6-9 所示是采用与非门构成的微分型单稳态触发器及其波形。U_i 是输入触发信号，为低电平触发。U_{o1} 和 U_{o2} 是输出信号。由于这一电路中的电阻 R 和电容 C 接成微分电路，所以称为微分型单稳态触发器。

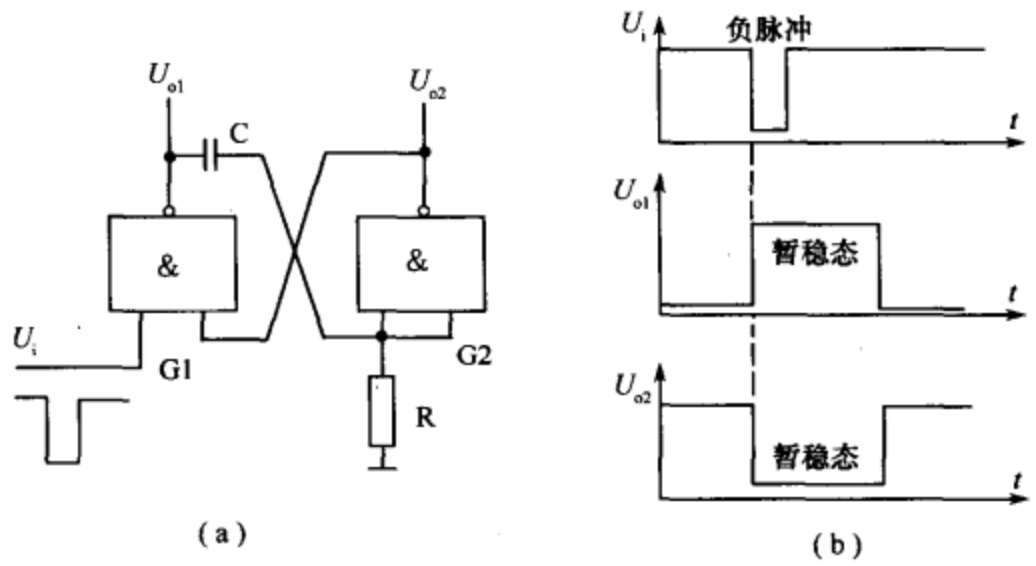


图 6-9　微分型单稳态触发器

(a)电路图；(b)波形图。

1)稳态

静态时，由于没有输入信号，U_i 为高电平，这一高电平加到与非门 G1 的一个输入端。同时，由于电容 C 的隔直作用，与非门 G2 的输入端为低电平，这样与非门 G2 输出高电平，即 U_{o2} 为高电平。

U_{o2} 高电平加到与非门 G1 的另一个输入端，这样与非门 G1 的两个输入端都是高电平，所以 U_{o1} 输出低电平，在电路没有有效触发信号输入时，电路保持 U_{o1} 为低电平、U_{o2} 为高电平这一稳态。

2)暂稳态

当输入信号 U_i 从高电平变为低电平时，使与非门 G1 从低电平变为高电平，即 U_{01} 从低电平突变成高电平，这一高电平经电容 C1 加到与非门 G2 的输入端(因电容两端的电压不能突变)，使与非门 G2 输出端 U_{o2} 从高电平变成低电平。这种 U_{o1} 为高电平、U_{o2} 为低电平的状态是暂时的，称为暂稳态。

3)从暂稳态自动返回到稳态

在 U_{o1} 输出高电平期间，U_{o1} 通过电阻 R 对电容 C 充电，其充电回路是：U_{o1}→C→R→地。随着电容 C 充电的进行，电容 C 两端的电压愈来愈高，C 极性为左正右负，与此同时，与非门 G2 输入端的电压愈来愈低，当低到一定程度时，与非门 G2 输入端为低电平，其输出端 U_{o2} 变成高电平。由于此时负脉冲触发信号已消失，输入信号 U_i 已为高电平，这样与非门 G1 两个输入端都是高电平，所以 U_{o1} 输出低电平。这样，电路又进入了稳态。

重点提示：图 6-10(a)所示是用或非门电路构成的另一种微分型单稳态触发器，图 6-10(b)是其输入、输出波形图。需要说明的是，这种电路加一个正脉冲时，电路则进入暂稳态。

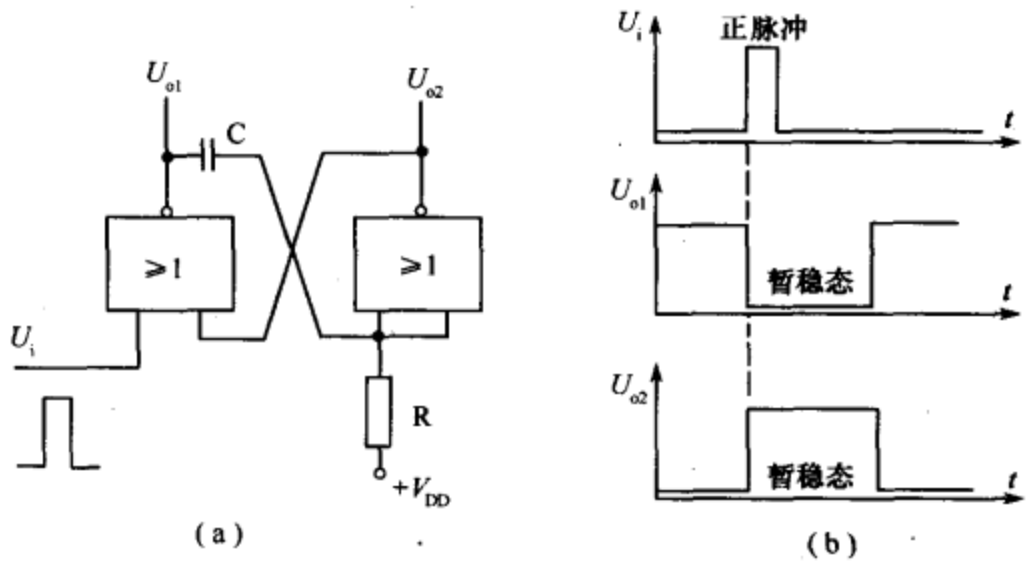


图 6-10　或非门组成的微分型单稳态触发器

(a)电路图；(b)波形图。

2. 积分型单稳态触发器

图 6-11(a)是采用或非门的积分型单稳态触发器电路。电路中，U_i 是输入触发脉冲信号，U_o 是输出信号。由于这一电路中的电阻 R 和电容 C 接成积分电路，所以称为积分型单稳态触发器。

电路的稳态为：$U_i=1$，$U_{o1}=0$，$U_{o2}=0$，这与前面的电路显然有区别，前面电路中 U_{o1} 和 U_{o2} 总是相反，但此处两者却相同；$t1$ 时刻加低电平触发电压 U_i，电路翻转为 $U_{o1}=1$，从电路可看出，此时门 G2 的输入端 B 为低电平(与 U_i 相同)，输入端 A 由于 RC 的积分作用使其电位不能立即升高，因而门 G2 的输出 $U_{o2}=1$。若 U_i 的低电平时间足够长，则门 G1 的 U_{o1} 也就维持同样长时间的高电平，这样，RC 积分电路才能够有足够的时间对电容 C 充电，A 点电位才能够缓慢地上升到门 G2 的开门电平，最终在 $t2$ 时刻使门 G2 的输出端返回低电平；暂态时间 $t_p=t2-t1$，当使用 CMOS 门电路时，可以推导得

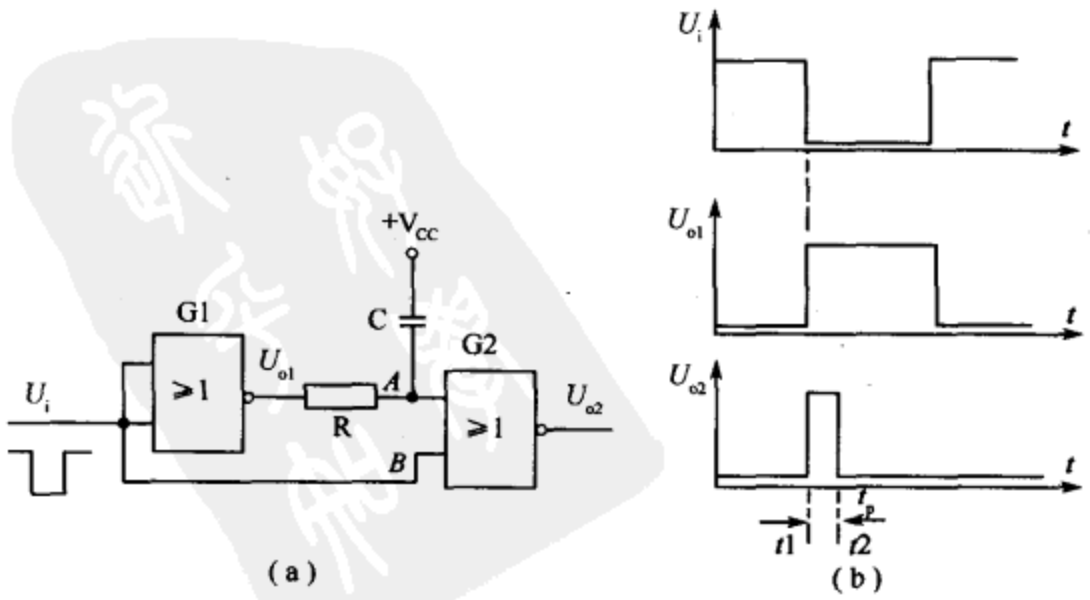


图 6-11　或非门组成的积分型单稳态触发器及其波形

(a)电路图；(b)波形图。

$t_p \approx 0.7RC$，其波形图如图 6-11(b)所示。特别应该注意的是，该电路的触发电压 U_i 的低电平时间务必大于 t_p，否则 A 点的电位无法升高至门 G2 的开门电平，则触发器也就无法进入暂态。

三、集成单稳态电路

为了使用方便，许多厂商制造了多种型号的集成单稳态触发器，集成单稳态触发器，按能否被重触发，可以分成两类，一类是可重触发的；一类是非重触发的。所谓可重触发，是指在暂稳态期间，能够接收新的触发信号，重新开始暂稳态过程；而非重触发，则是在暂稳态期间不能接收新信号的情况，一旦被触发由稳态翻转到暂稳态之后，即使再有新的信号到来，其既定的暂稳态过程也会照样进行下去，直至结束为止。

常见非重触发的单稳态触发器主要有 74121、74221/74LS221/74HC221 等；常见可重触发单稳态触发器主要有 74122/74LS122、74123/74LS123/74HC123 以及 CD4098、CD4528、CD4538 等。

1. 非重触发单稳态触发器 74121

74121 是一种典型的 TTL 集成单稳态触发器，输入端内带整形电路，其引脚图如图 6-12 所示。

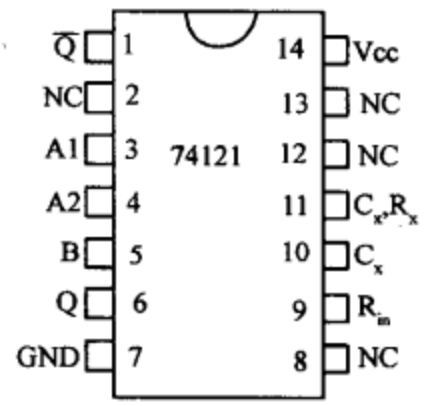


图 6-12　非重触发单稳态触发器 74121 引脚功能图

电路中，74121 的 1 脚和 6 脚是 $\overline{Q}$、Q 端（单稳的输出端），从 Q 端输出的暂态是高电平，即稳态时 Q＝0，暂态时 Q＝1，$\overline{Q}$ 端则相反。3 脚、4 脚为触发输入端 A1 和 A2，下跳沿触发；5 脚为触发输入端 B，上跳沿触发；10 脚为 C_X，即定时电容外接端；11 脚为 C_X、R_X，定时电容、电阻外接端，在 10、11 脚间接定时电容，在 11 脚与 V_{CC} 间接定时电阻；9 脚为 R_{in}，内部定时电阻的引出端，从该端到 11 脚间，芯片内都已有一个约 2kΩ 的电阻连接，若使用该内部电阻作为定时电阻，则不再外接定时电阻。

74121 的逻辑功能状态表见表 6-1。

表 6-1　74121 的逻辑功能状态表

输　入			输　出		说明
A1	A2	B	Q	$\overline{Q}$	
0	×	1	0	1	保持稳态
×	0	1	0	1	
×	×	0	0	1	
1	1	×	0	1	
1	↓	1	⎍	⎎	下降沿触发
↓	1	1	⎍	⎎	
↓	↓	1	⎍	⎎	
0	×	↑	⎍	⎎	上升沿触发
×	0	↑	⎍	⎎	

注：↑表示上升沿；↓表示下降沿；⎍表示正脉冲；⎎表示负脉冲；×表示任意高低电平均可

在实际使用中，一般只需留意后面的 5 种状态，这 5 种状态的实际使用方法可以简单描述为：利用 A 端触发（下跳沿有效）时，应把 B 端接高电平；利用 B 端触发（上跳沿有效）时，应把 A 端接低电平；一般应用中可把 A1 和 A2 连接起来使用。

图 6-13 所示是 74121 的典型应用连接法，图 6-13(a)中使用了外接定时电阻 R_X 和定时电容 C_X，图 6-13(b)中利用了内部的定时电阻，则无需外接电阻，这时应把内部定时电阻的引出端 R_{in} 接至电源。该器件的触发输入端内部已自带施密特整形电路，因此对输入的触发信号的边沿没有严格要求。

74121 的外接定时电阻范围约为 1.4kΩ～40kΩ，定时电容范围约在 1000μF 内，暂态维持时间 $t_p \approx 0.7R_XC_X$。

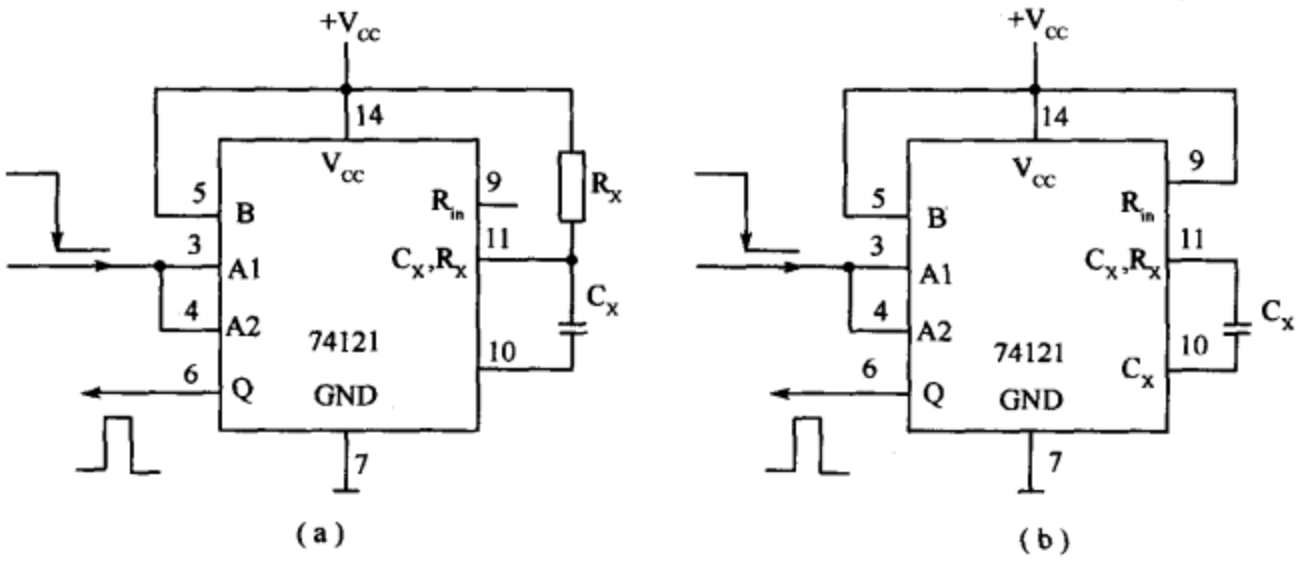


图 6-13　74121 的典型接法

(a)外接定时电阻；(b)使用内部定时电阻。

2. 可重触发单稳态触发器 74LS122(74122)

74LS122 是一种可以重新触发的单稳态触发器，其引脚功能图如图 6-14 所示。

从图 6-14 中可以看出，74LS122 有四个触发输入端：A1 和 A2、B1 和 B2，其中，A1、A2 为下降沿有效，B1、B2 为上升沿有效。另外，74LS122 比 74121 增加了一个清零端$\overline{CLR}$，当该端加低电平时触发器被清零，输出 Q＝0，而与其他各输入端无关；$\overline{CLR}$端也可以作为上沿触发端；74LS122 的功能状态见表 6-2。

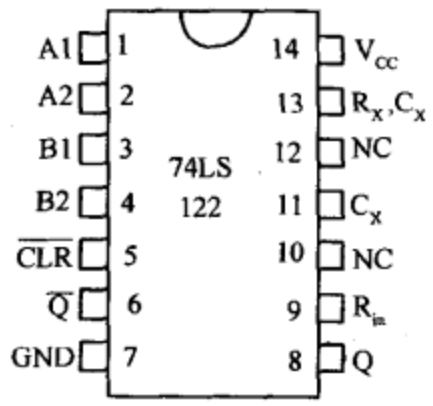


图 6-14　74LS122 的引脚功能图

表 6-2　74LS122 的功能状态表

输　入					输出		说明
$\overline{CLR}$	A1	A2	B1	B2	Q	$\overline{Q}$	
0	×	×	×	×	0	1	复位
×	1	1	×	×	0	1	保持稳态
×	×	×	0	×	0	1	
×	×	×	×	0	0	1	

（续）

输　入					输出		说明
$\overline{CLR}$	A1	A2	B1	B2	Q	$\overline{Q}$	
1	0	×	↑	1	⎍	⎎	上升沿触发
1	0	×	1	↑	⎍	⎎	
1	×	0	↑	1	⎍	⎎	
1	×	0	1	↑	⎍	⎎	
↑	0	×	1	1	⎍	⎎	
↑	×	0	1	1	⎍	⎎	
1	1	↓	1	1	⎍	⎎	下降沿触发
1	↓	↓	1	1	⎍	⎎	
1	↓	1	1	1	⎍	⎎	

需要特别指出的是，74LS122 是可重触发的单稳态触发器，只要在输出脉冲结束之前，重新输入触发信号，就可以方便地延长输出脉冲的持续时间。而$\overline{CLR}$的优先直接复位功能，又能够在预期的时间内结束暂稳态过程，使电路返回到稳态。

当定时电容 $C>1000pF$ 时，对于 74122，输出脉冲宽度（暂态时间）可用公式 $t_p=0.32R_xC_x$ 进行估算，对于 74LS122，可用 $t_p=0.45R_xC_x$ 估算。

74LS122(74122)的典型应用接法如图 6-15 所示，图 6-15(a)是把 B1 和 B2 相连接高电平，A1 和 A2 相连作为下跳沿信号的触发端；图 6-15(b)则把 A1 和 A2 相连接低电平，B1 和 B2 相连作为上跳沿信号的触发端。

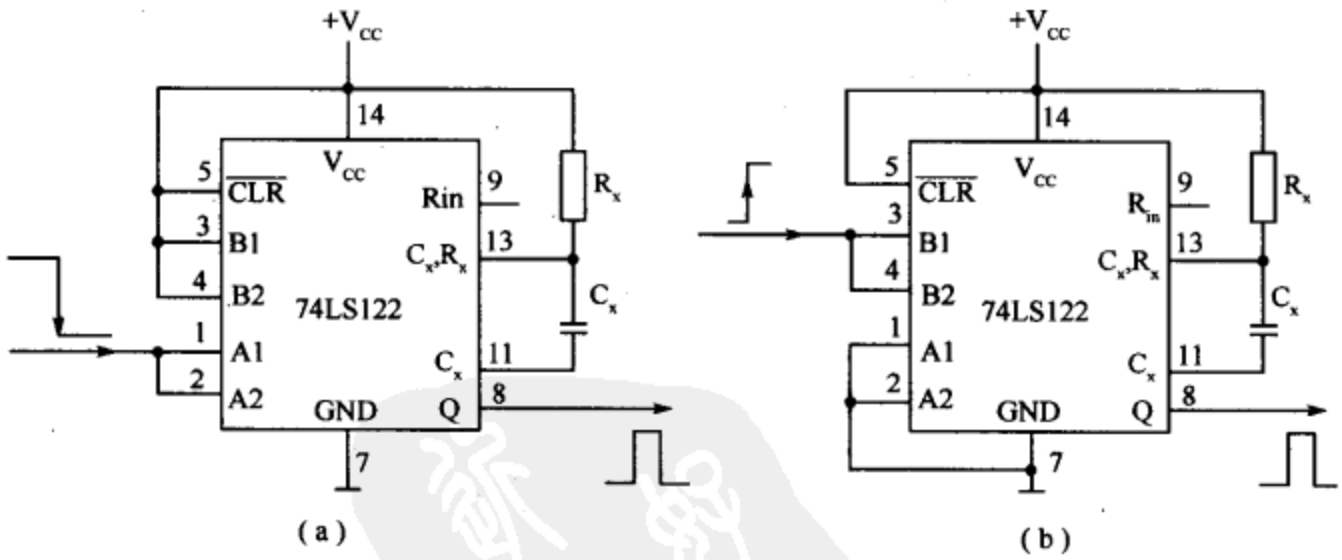


图 6-15　74LS122 的典型接法

(a)由 A 端触发；(b)由 B 端触发。

3. 可重触发双单稳态触发器的 74LS123(74123、74HC123)

该器件包含了两只可重触发的单稳态触发器，每只触发器的逻辑功能与 74LS122 完全相同，只是触发输入端 A 只有一端而没有 A1、A2 两端，输入端 B 也只有一端。74LS123 引脚图如图 6-16 所示，各引脚符号前面冠以“1”和“2”，用以区别两只单稳态触发器。

74LS123 逻辑功能状态见表 6-3。

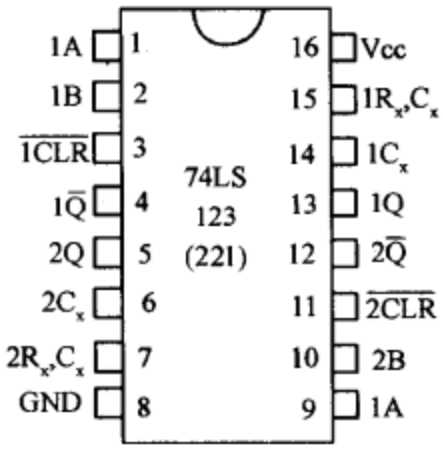


图 6-16　74LS123 引脚功能图

表 6-3 · 74LS123 功能状态表

输入			输出		说明
$\overline{CLR}$	A	B	Q	$\overline{Q}$	
0	×	×	0	1	复位
×	1	×	0	1	保持稳态
×	×	0	0	1	
1	0	↑	⎍	⎎	上升沿触发
↑	0	1	⎍	⎎	
1	↓	1	⎍	⎎	下降沿触发

重点提示：图 6-17(a)所示是 74LS123 的重触发工作波形示意图，不难看出，采用重触发可以方便地产生持续时间很长的输出脉冲，只要在输出脉冲宽度 t_p 结束之前再输出触发脉冲，就可以延长输出脉冲宽度。直接复位功能可以使输出脉冲在预定的任意时刻结束，而不由定时电阻和定时电容的大小决定。在预定时刻加入复位脉冲就可以实现复位，提前结束定时，其复位关系如图 6-17(b)所示。

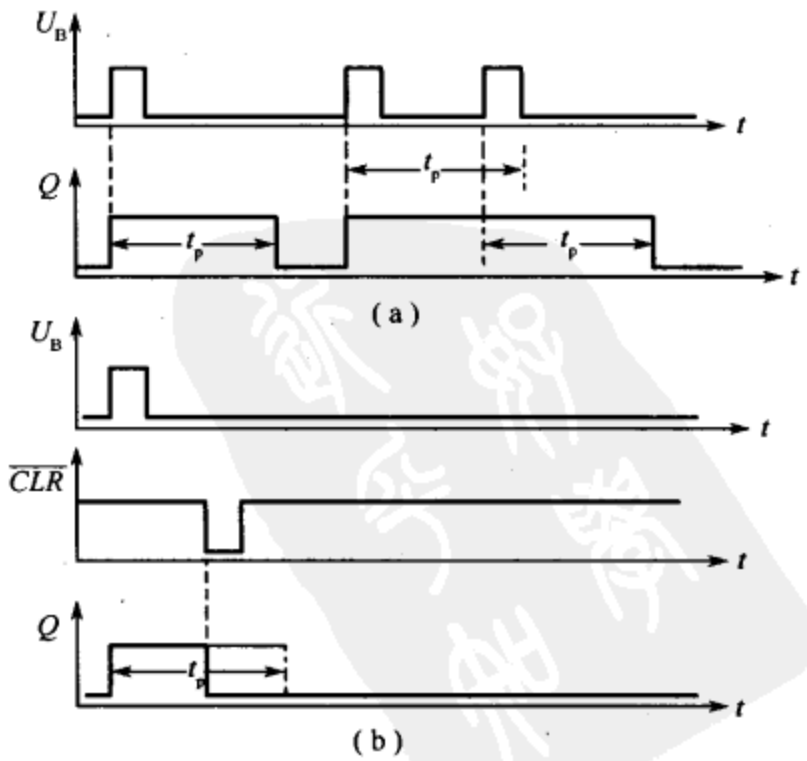


图 6-17　74LS123 工作波形

(a)重触发工作波形示意图；(b)复位关系。

4. 非重触发双单稳态触发器 74LS221(74221、74HC221)

74LS221 内也包含了两只相同的单稳态触发器。其引脚功能图与 74LS123 完全相同。功能状态表也与 74LS123 相符。

74LS221 没有重触发功能，但其输入端内部设有施密特整形电路，所以不要求从 A 端输入的触发信号有陡峭的下跳沿或从 B 端输入的触发信号有陡峭的上跳沿。根据厂家推荐，74221 的定时间电阻 R_x 取 1.4kΩ～40kΩ，74LS221 的定时电阻 R_x 取 1.4kΩ～100kΩ，定时电容 C_x 取 1000μF 以内，暂态时间 t_p 按 $0.7R_xC_x$ 估算。

5. CMOS 双单稳 CD4098、CD4528、CD4538

这三种器件的引脚功能及逻辑功能均相同，其引脚图如图 6-18 所示，$\overline{R}_D$ 为置零端，A 为上跳沿触发端，B 为下跳沿触发端，CD4538 的状态表见表 6-4。

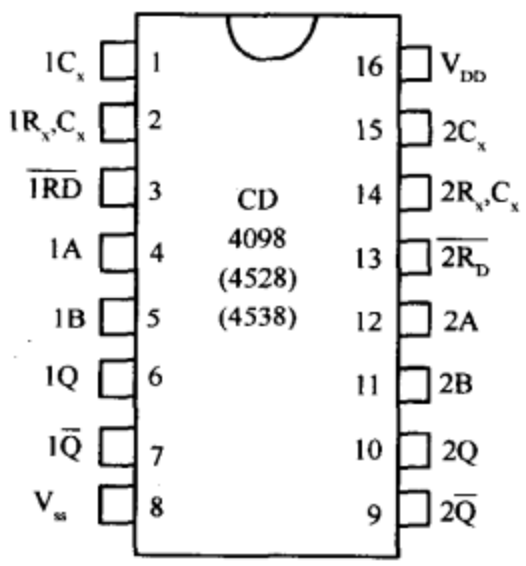


图 6-18　CD4098、CD4528、CD4538 引脚功能图

表 6-4　CD4538 功能状态表

输入			输出		说明
$\overline{R}_D$	A	B	Q	$\overline{Q}$	
0	×	×	0	1	复位
1	1	×	0	1	保持稳态
1	×	0	0	1	
1	↑	1	⎍	⎎	上升沿触发
1	0	↓	⎍	⎎	下降沿触发

四、单稳态触发器的应用

单稳态触发器应用十分广泛，下面列举几个例子说明。

1. 延时

利用两个单稳态触发器级联，就可以组成信号时电路，它常用于某些需要延迟动作的电路。图 6-19(a)为使用双稳态触发器 CD4528 构成的两级级联电路，前一级单稳接收外来信号 U_i 的触发(B 输入，下跳沿有效)，并从其输出端得到宽度为 t_{pl} 的正脉冲 U_{o1}，t_{pl} 的宽度由定时电阻 R1 调整；利用 U_{o1} 的下跳沿又去触发后一级单稳，于是在第二级单稳的 Q 端就可以得到一个比 U_i 延时了 t_{pl} 的正脉冲 U_{o2}，其波形如图 6-19(b)所示。

利用上述延时电路，可以组成“延迟动作”的装置，例如，在许多自动控制中所常用到的“延时继电器”等。图 6-20 是在图 6-19(a)的基础上，在第一级单稳的原触发输入端加接了 10kΩ 的上拉电阻、二极管 D 以及 0.1μF 电容。这样，单稳在通电的瞬间，第一级单稳即被触发进入暂态，暂态结束时使第二级单稳翻转，U_{o2} 输出一正脉冲通过 2kΩ 电阻触发了单向晶闸管 VS 的导通，于是继电器线圈 J 得电，J 吸合，达到通电延时吸合的目的。

2. 组成多谐振荡器

利用两个单稳态触发器可以构成多谐振荡器。由两片 74121 集成单稳态触发器组成

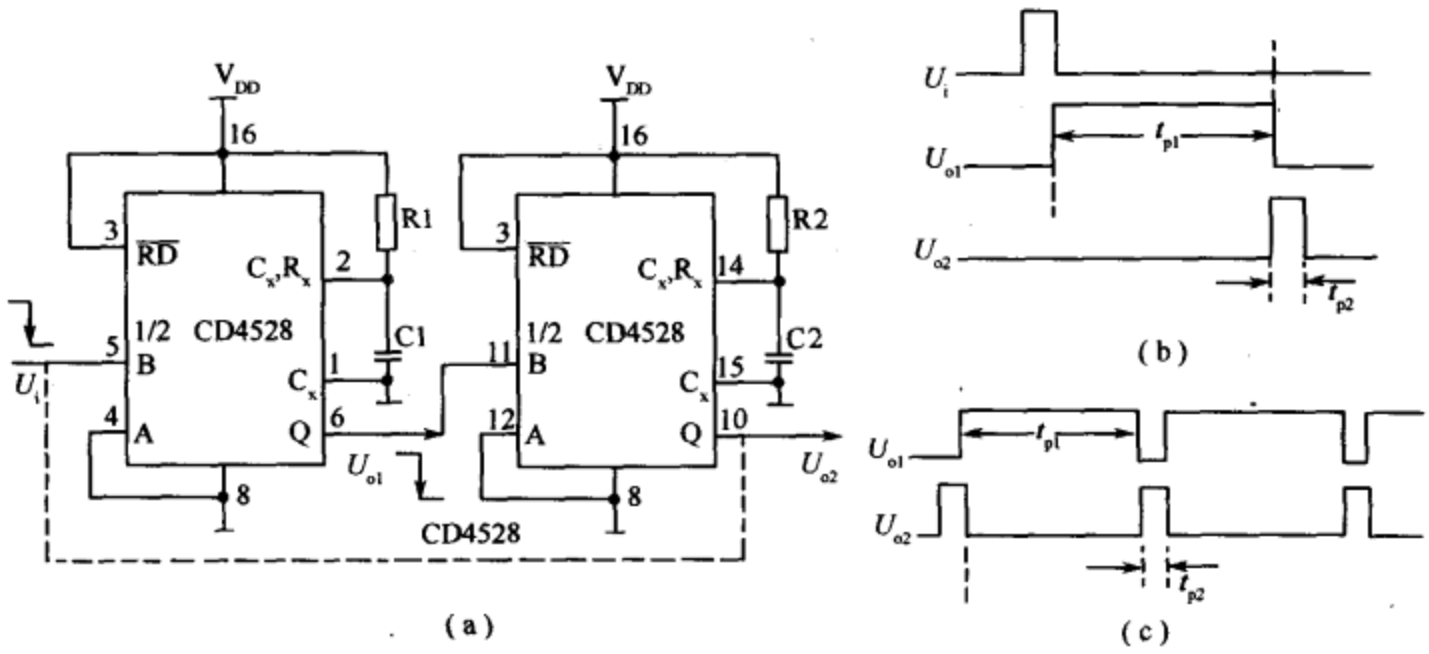


图 6-19　单稳态延时电路

(a)电路图；(b)波形图；(c)振荡器的波形图。

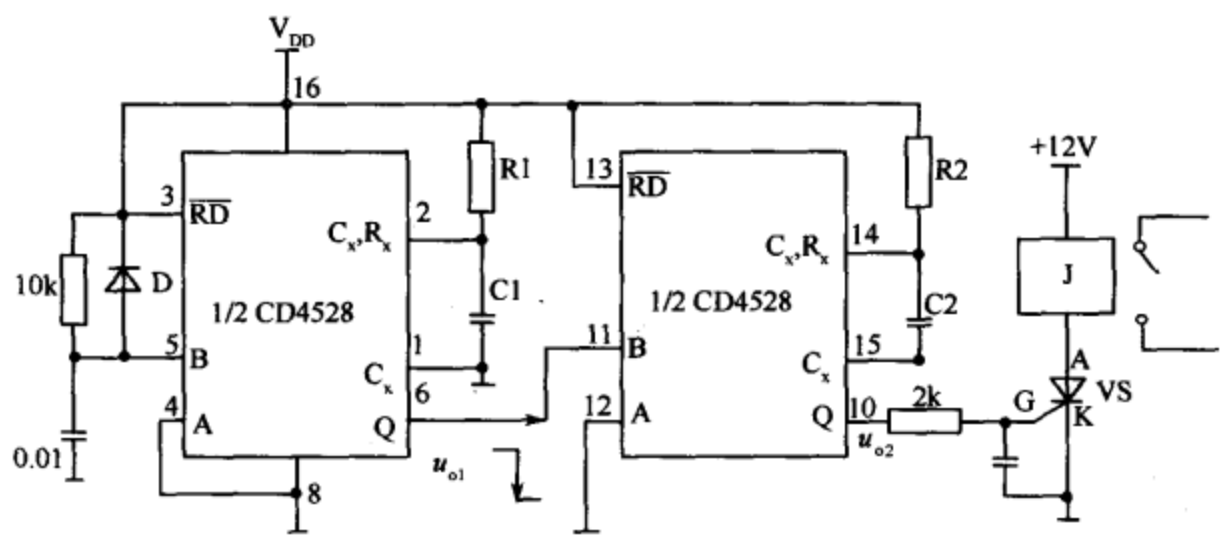


图 6-20　通电延时继电器

的多谐振荡器如图 6-21 所示，图中开关 S 为振荡器控制开关。

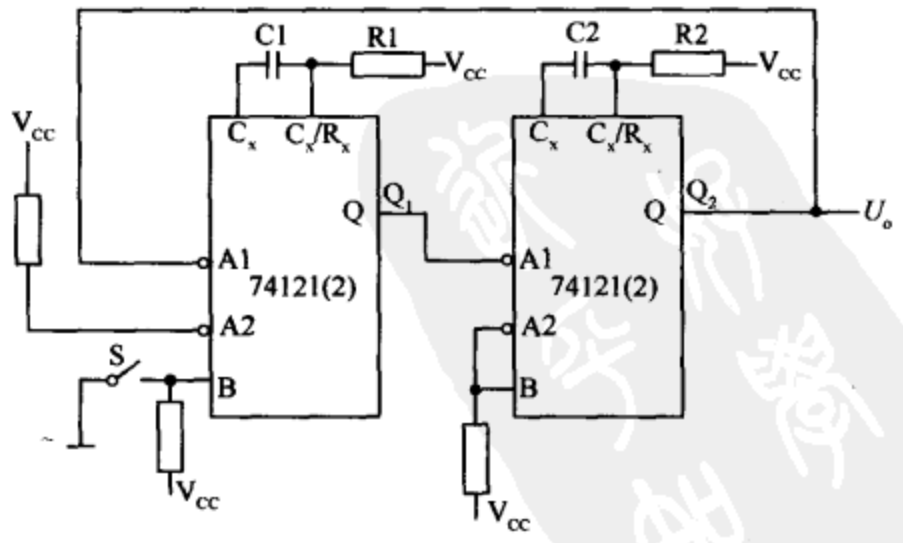


图 6-21　利用两个单稳态触发器 74121 构成的多谐振荡器

合上电源时，开关 S 是合上的，电路处于 Q1＝0，Q2＝0 状态，将开关 S 打开，电路开始振荡，其工作过程如下：在起始时，单稳态触发器(1)的 A1 为低电平，开关 S 打开瞬间，

B 端产生正跳变，单稳态(1)被触发，Q1 输出正脉冲，其脉冲宽度 0.7R1C1，当单稳态(1)暂稳态结束时，Q1 的下跳沿触发单稳态(2)，Q2 端输出正脉冲，此后，Q2 的下跳沿又触发单稳(1)，此后周而复始地产生振荡，其振荡周期为 T＝0.7(R1C1＋R2C2)。

3. 整形

在许多自动检测应用中，从传感器得到的信号往往像图 6-22 所示的 U_i 那样并不规则，若后续处理电路对波形的宽度、边沿有所要求，那么就必须插入一级输入端内部带有施密特电路的单稳态触发器，如 74LS221、74121 等。这类单稳对于加在其输入端的触发信号的边沿没有要求，经过单稳处理后的波形是边沿陡峭、宽度和幅度规则的波形，如图 6-22 中的 U_o 所示。

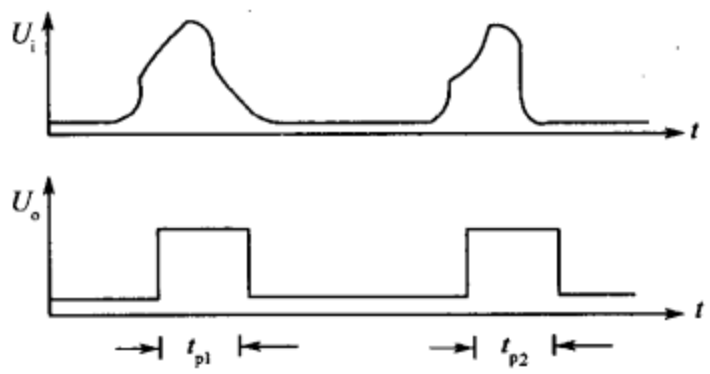


图 6-22　单稳态整形

第三节　施密特触发器

施密特触发器是一种常用的脉冲波形变换电路。它的输出端有两个稳定状态：当没有输入电压或输入电压低于某一临界值 U_{T+}，时，电路处于某一种稳定状态；当输入电压升高到某一临界值时，电路就跳变到另一种稳定状态。此后即使输入电压再增加，电路仍保持这种稳定状态不变，只有当输入电压再下降到某一临界值 U_{T-} 时，电路又跳变到初始稳定状态。图 6-23 所示出为施密特触发器的输入、输出波形。

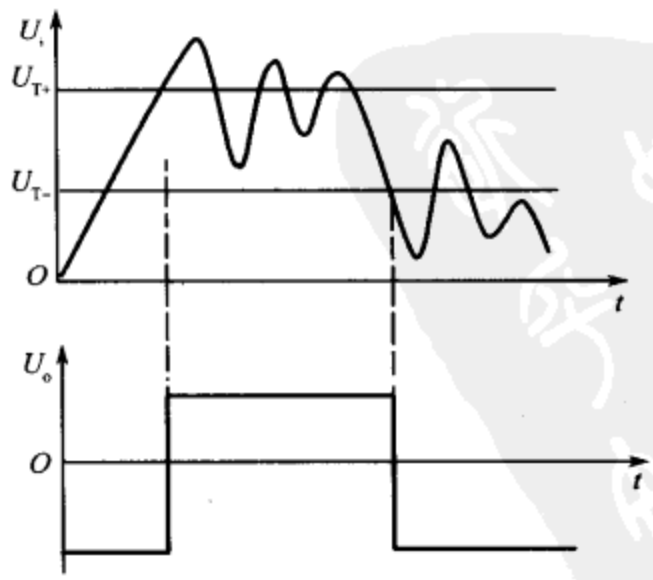


图 6-23　施密特触发器的输入、输出波形

施密特触发器在性能上有两个重要的特点：①输入信号从低电位上升时的转换电平 U_{T+} 和从高电位下降时的转换电平 U_{T-} 不同；②在电路状态转换时，通过电路内部的正反馈过程使输出波形的边沿变得很陡。

施密特触发器最主要的应用是对波形的整形，它能够将上升、下降过程变化很缓慢的波形转换为上升、下降都十分陡峭的矩形脉冲。施密特触发器可以用分立元件构成，也可以用门电路、电压比较器构成，还有多种专门的集成施密特触发器可供选择。

一、由 TTL 门组成的施密特触发器

由 TTL 门组成的施密特触发器的逻辑电路如图 6-24 所示。图中 G1 为与非门，G2 为反相器，U_i 通过电阻 R1 和 R2 来控制门的状态。因为 R1、R2 值不能取很大，因此串接二极管 VD，防止 $U_O=U_{OH}$ 时，G2 的负载电流过大。

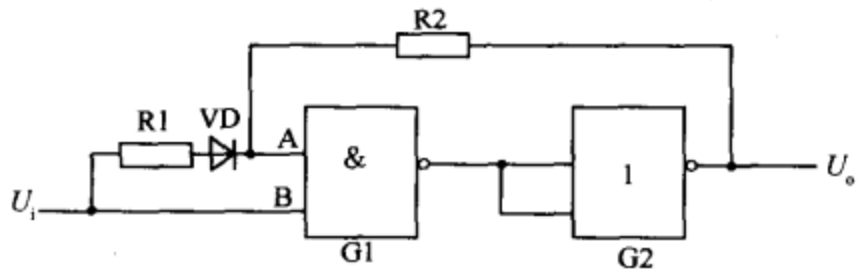


图 6-24　由 TTL 门电路组成的施密特触发器

若在电路的输入端输入一个正弦信号 U_i，当 $U_i=0$ 时，门 G1 截止，G1 输出高电平，此时门 G2 导通，G2 输出低电平 U_{OL}。这是电路的第一稳定状态。

当 U_i 逐步从零上升到与非门的开门电平 U_k 时，由于与非门的另一个输入端 U_A 仍低于 U_k，门 G1 仍不能开启。

当 U_i 继续升高到 U_{T+} 值，使 $U_A=U_k$ 时，门 G1 开始导通，G1 输出低电平，G2 输出高电平，通过 R2 反馈到 G1 的输入端，并引起正反馈过程，电路迅速翻转到门 G1 开启、门 G2 关闭的第二稳定状态。这以后，即使 U_i 继续上升，门 G1 的状态亦稳定不变。

当 U_i 由最大值开始下降，只要 $U_A>U_k$，门 G1 仍然开启，状态不变。

当 U_i 下降到 $U_{T-}=U_k$ 时，门 G1 关闭，输出高电平，导致 G1 输出低电平，并产生正反馈过程，使电路迅速翻回到门 G1 关闭、门 G2 开启的初始稳定状态。

上述 U_{T+} 与 U_{T-} 的差值称为施密特电路的回差，也称滞回电压，用 ΔU 表示。

二、集成施密特触发器

施密特触发器由于应用广泛，所以市场上有专门的集成电路产品出售，而且称之为施密特触发门电路，集成施密特触发器的一致性好，触发阈值稳定，使用十分方便。

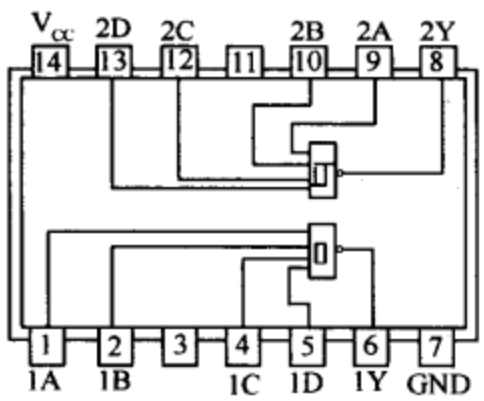
常用的集成施密特触发器有 7413（74LS13、74HC13）、7414（74LS14、74HC14）、74132（74LS132、74HC132）、7418（74LS18）、7424（74LS24）、CC4093、CC40106 等。它们的外部封装及引脚排列与普通门电路完全一样，其逻辑功能也与普通门电路相仿，所不同的只是对输入信号的边沿没有要求，可以是缓慢变化的信号，因此使用方法与普通门电路完全相同，可以当作普通门电路使用。

TTL 集成电路 7413（74LS13）是一种具有 4 个输入端的双与非施密特触发器，其引

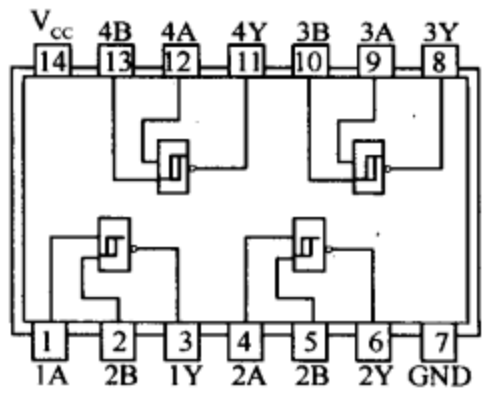
脚功能图如图 6-25(a)所示。当 4 个输入端 A、B、C、D 都大于上门槛电压 U_{T+} 时，输出 Y 才为低电平，具有“与非”特性；而只要有一个输入端减小到下门槛电压 U_{T-} 时，其输出为高电平，回差电压为($U_{T+}-U_{T-}$)。

图 6-25(b)是 TTL 施密特触发器 74132(74LS132)的引脚功能图。该器件内包含 4 个相同的两输入端的与非施密特触发器。

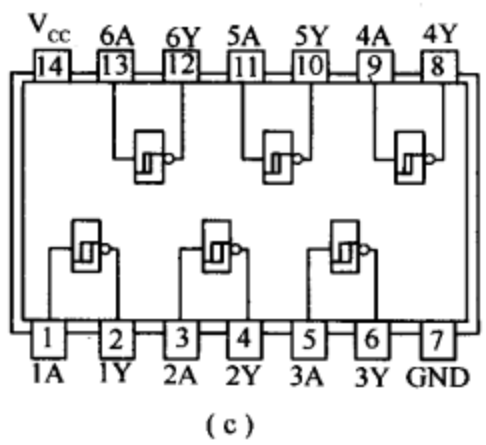
图 6-25(c)是 TTL 施密特触发器 7414(74LS14)的引脚功能图。该器件内包含 6 个相同的施密特反相器。



(a)



(b)



(c)

图 6-25　TTL 施密特触发器引脚功能图

(a)7413(74LS13)；(b)74132(74LS132)；(c)7414(74LS14)。

TTL 施密特触发器 7413(74LS13)、7414(74LS14)、74132(74LS132)参数典型值见表 6-5。

表 6-5　7413(74LS13)、7414(74LS14)、74132(74LS132)参数典型值

电路名称	型号	U_{T+}/V	U_{T-}/V	ΔU/V
六反相缓冲器	7414 74LS13	1.7 1.6	0.9 0.8	0.8 0.8
四 2 输入与非门	74132 74LS132	1.7 1.6	0.9 0.8	0.8 0.8
双 4 输入与非门	7413 74LS13	1.7 1.6	0.9 0.8	0.8 0.8

图 6-26 所示是 CMOS 集成施密特触发器 CC40106(六反相器)和 CC4093(四 2 输入与非门)的引脚功能图，其主要参数见表 6-6。

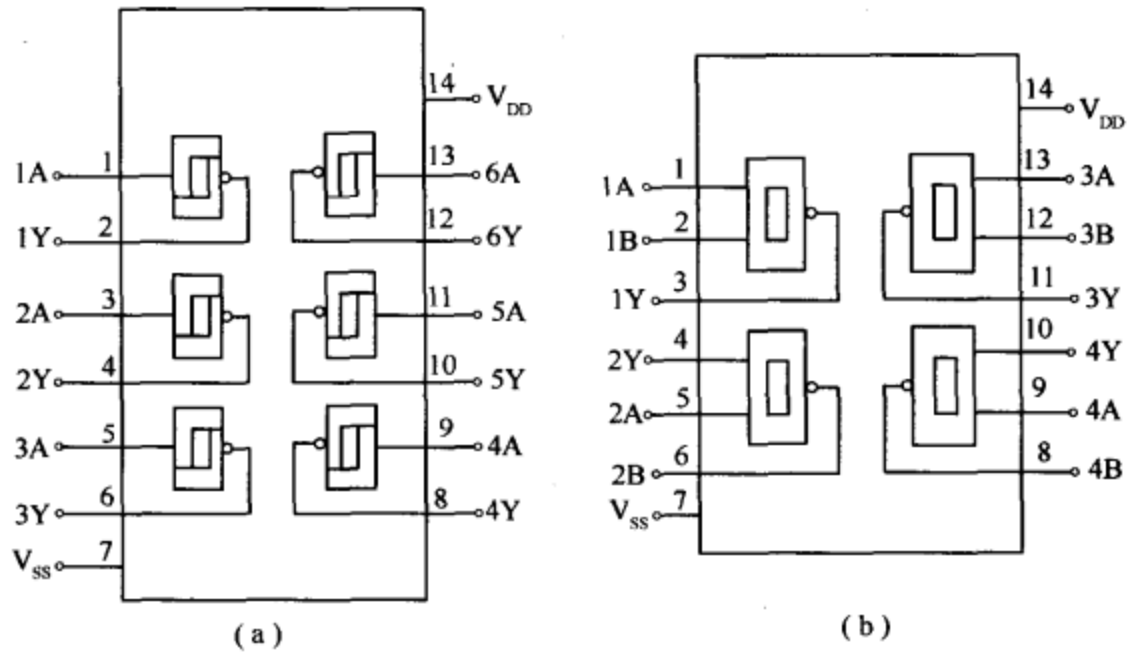


图 6-26　CMOS 集成施密特触发器 CC40106 和 CC4093 引脚功能图

(a)CC40106；(b)CC4093。

表 6-6　CC40106、CC4093 主要参数

参数名称	符号	测试条件	参　数	
		V_{DD}	最小值	最大值
上阈值电压/V	U_{T+}	5	2.2	3.6
		10	4.6	7.1
		15	6.8	10.8
下阈值电压/V	U_{T-}	5	0.9	2.8
		10	2.5	5.2
		15	4	7.4
滞回电压/V	ΔU	5	0.3	1.6
		10	1.2	3.4
		15	1.6	5

从表中可以看出，对于 CMOS 型器件，由于其电源电压范围宽，对于不同的电源电压，其上、下门槛电压以及回差电压有较大的不同，这点在实际使用中应注意。

三、施密特触发器的应用

1. 波形的整形

通常由测量装置来的信号，经放大后可能是不规则的波形，必须经施密特触发器整形。作为整形电路时，如果要求输出与输入同相，则可在上述集成施密特反相器后再加一级反相器。有关电路和波形如图 6-27 所示。

2. 幅度鉴别电路

利用施密特触发器输出状态取决于输入信号 U_i 幅度的工作特点，可以用它来作为幅度鉴别。例如在图 6-28 所示的波形中，后面的两个脉冲幅度大于 U_{T+}，因而可使触发器动作，有脉冲输出。而前两个脉冲的幅度小于 U_{T+}，故触发器不会动作，没有脉冲输出。

鉴幅电路在许多控制电路中有着极为广泛的用途，例如家用电冰箱保护器中的欠压保护电路。电冰箱压缩机在欠压状况下运行容易造成电动机的损坏，要求当电源电压低

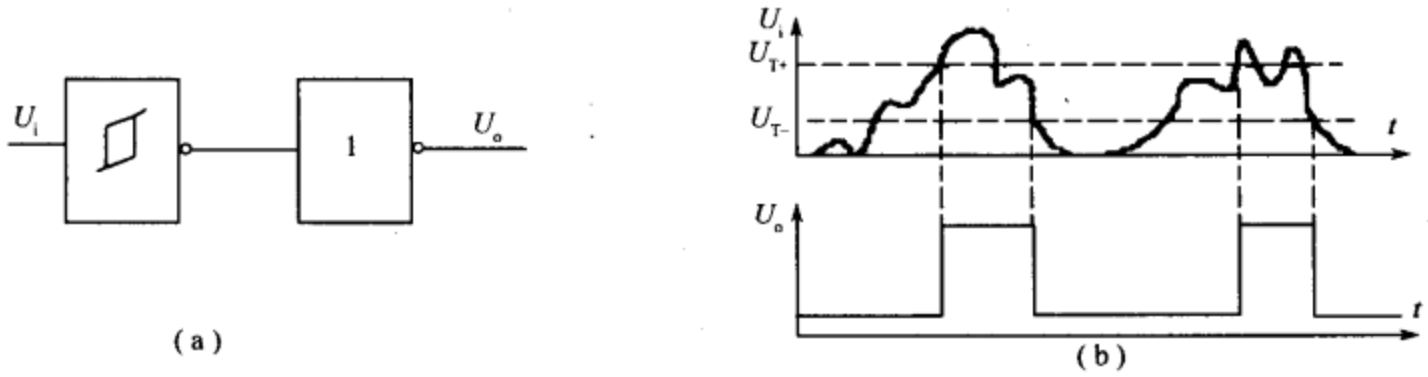


图 6-27　输入与输出同相的施密特整形电路和波形

(a)施密特的整形电路；(b)输入与输出同相的波形。

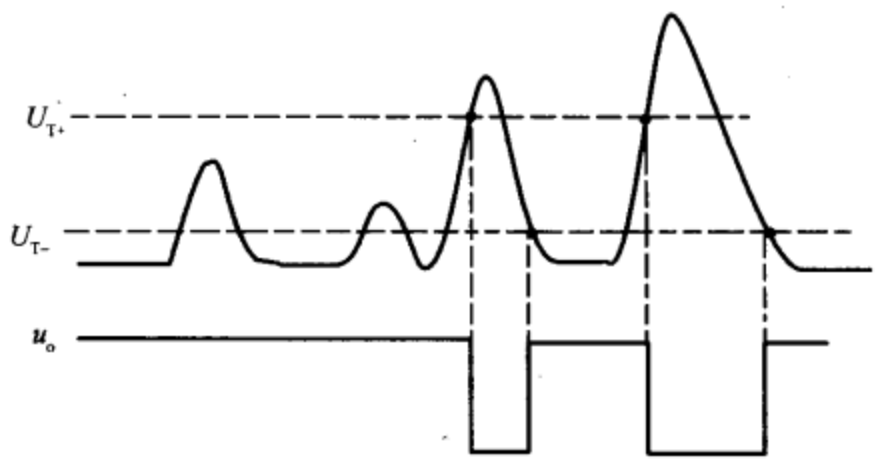


图 6-28　幅度鉴别电路

于某一值(例如为 200V)时应自动切断电源，如果只有简单的单值比较(单阈值)方法，会造成控制开关(继电器或无触点开关)的振荡，其原因是：设“单值比较”的控制电路的动作电压为 200V，即当电网电压达到 200V 以上时，控制开关自动接通，而低于 200V 时开关自动断开。若电网电压恰好处在“接通”的临界值附近，也就在是在略微高于 200V 之处，这时控制开关如果从原来的断开状态转换为闭合状态，则会因为电动机的突然投入给电网带来一个冲击负荷(电动机的启动电流较大)，造成电网电压的瞬间下降而低于 200V，于是控制电路动作，使控制开关断开。但开关一旦断开，电网电压又回升至 200V 以上，于是开关又闭合……另一种情况，电网自身也有可能在 200V 附近频繁波动，结果引起“单值比较”控制电路频繁动作，这些现象在电动机的控制电路中是不允许存在的。克服的办法是采有双值比较(双阈值)控制电路，当电网下降到 200V 以下时使控制开关断开，当电网上升到 200V 时却不会动作，而必须上升到高于 200V 的某一值(200＋ΔU)时，控制开关才会闭合。实现这一目的的最常用办法就是采用施密特触发器，电网电压经变压器变压、二极管整流、滤波、电阻分压后得到一个正比于电网电压的样品电压——取样电压，作为施密特电路的输入电压。

3. 脉冲展宽

图 6-29 所示是用施密特触发器构成的脉冲展宽器的电路及工作波形图。在图 6-29(a)所示电路中，当输入电压 U_i 为低电平 U_{IL} 时，集电极开路门输出三极管是截止的，根据施密特触发反相器的输入特性，可以保证 A 点电位 U_A 为高电平，因此输出电压 U_o 为低电平 U_{oL}。

当 U_i 跳变到高电平 U_{IH} 时，三极管饱和导通，电容 C 迅速放电，U_A 很快下降到低电

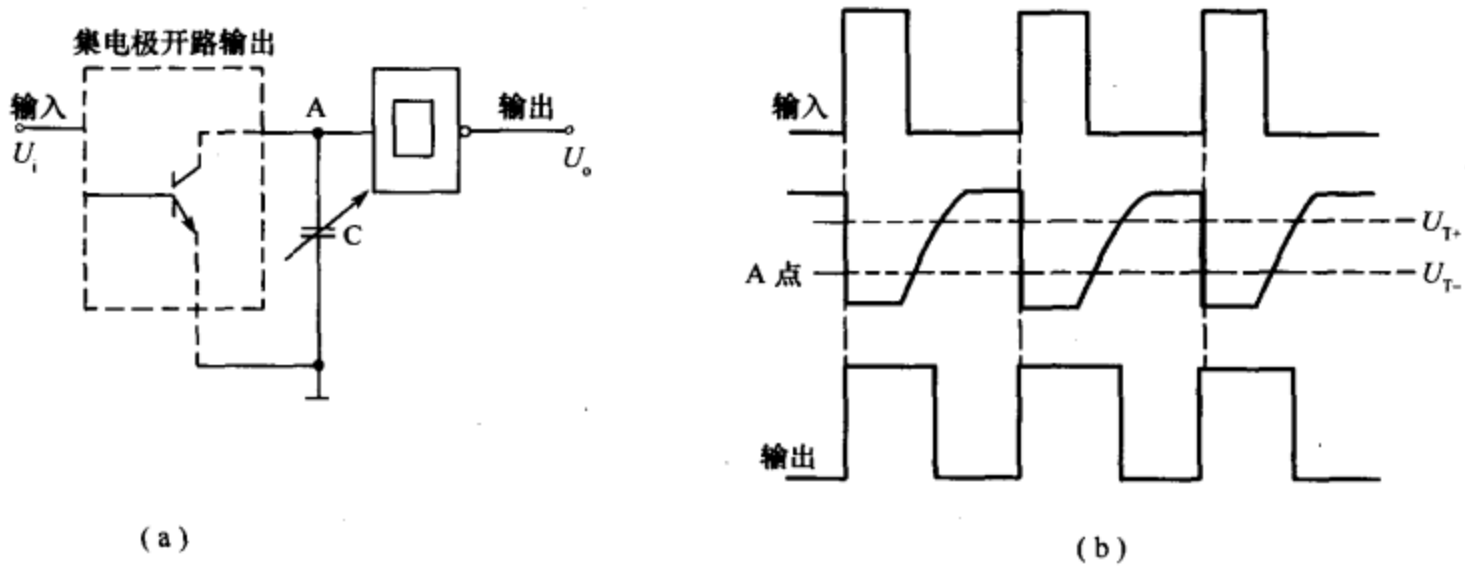


图 6-29　用施密特触发器构成的脉冲展宽器的电路及工作波形图

(a)电路；(b)波形图。

平。U_o 跳变到高电平 U_{oH}。

4. 用做阈值电压探测器

图 6-30 所示是用做阈值电压探测器时，施密特触发器的输入、输出波形，显然，凡是幅值达到 U_{T+} 的输入电压信号，均可被探测出来，并形成相应的输出脉冲。

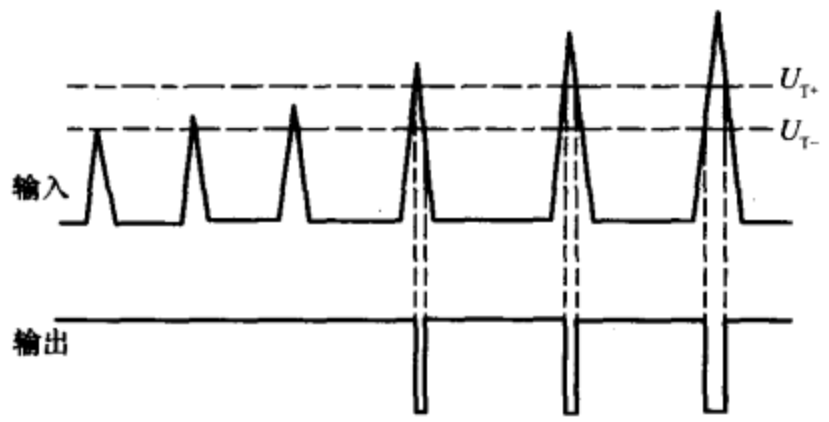


图 6-30　阈值电压探测器的输入、输出波形

5. 消除干扰

利用施密特触发器能够有效地消除某些干扰，例如，如图 6-31 所示的 U_i 波形，叠加了许多干扰信号。由于施密特触发器必须当 U_i 上升至上门槛电压 U_{T+} 时才能翻转，而下降时却必须下降至下门槛电压 U_{T-} 时才会翻回，因此只要干扰信号的幅度适当小于回差电压 ΔU，就能有效地消除干扰。经施密特作用后的波形如图中的 U_o 波形，回差电压越大，则抗干扰能力越强。

6. 用作多谐振荡器

图 6-32 所示是用施密特触发反相器构成的多谐振荡器，其工作原理比较简单。当施密特触发反相器输入端的电压 U_i 为低电平时，其输出电压 U_A 为高电平，电容 C 充电，随着充电过程的进行，U_i 逐渐升高，当 U_i 上升到 U_{T+} 时，U_A 由 U_{oH} 跳变为 U_{oL}，电容 C 放电，随着放电过程的进行，U_i 逐渐降低，当 U_i 下降到 U_{T-} 时，U_A 由 U_{oL} 跳变为 U_{oH}，电容 C 又充电，如此周而复始，电路不停地振荡，在施密特触发反相器输出端所得到的便是接近矩形的脉冲电压 U_A，再经过反相器整形，就可得到比较理想的矩形脉冲 U_o。

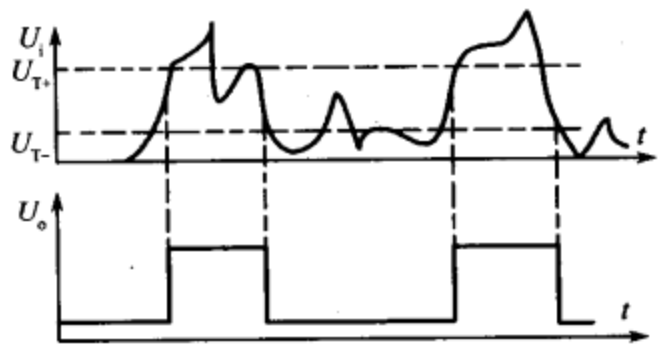


图 6-31　消除干扰

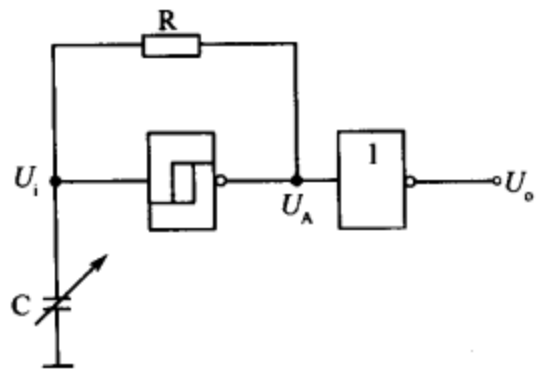


图 6-32　多谐振荡器

第四节　555 定时器及其应用

集成电路 555 定时器是将模拟电路和数字电路集成于一体的电子器件，该电路使用灵活、方便，只需外接少量的阻容元件就可以构成单稳、多谐和施密特触发器，因而广泛用于信号的产生、变换、控制与检测。

555 集成电路是一种双极型器件，其型号有 NE555 或 5G555 等多种，它们的结构及工作原理基本相同。双极型 555 定时器具有较大的驱动能力，其高电平输出电流可达 200mA，低电平吸入电流也可达 200mA，工作电源的电压范围宽，可达 4.5V～15V。

另有一种结构原理与 555 相同的 CMOS 器件 7555，它具有低功耗、输入阻抗高等优点。电源电压范围为 3V～18V，带拉电流负载的能力为 1mA，带灌电流负载的能力为 3.2 mA。

一、555 定时器工作原理

1. 电路组成

555 定时器的内部结构如图 6-33 的框图所示。

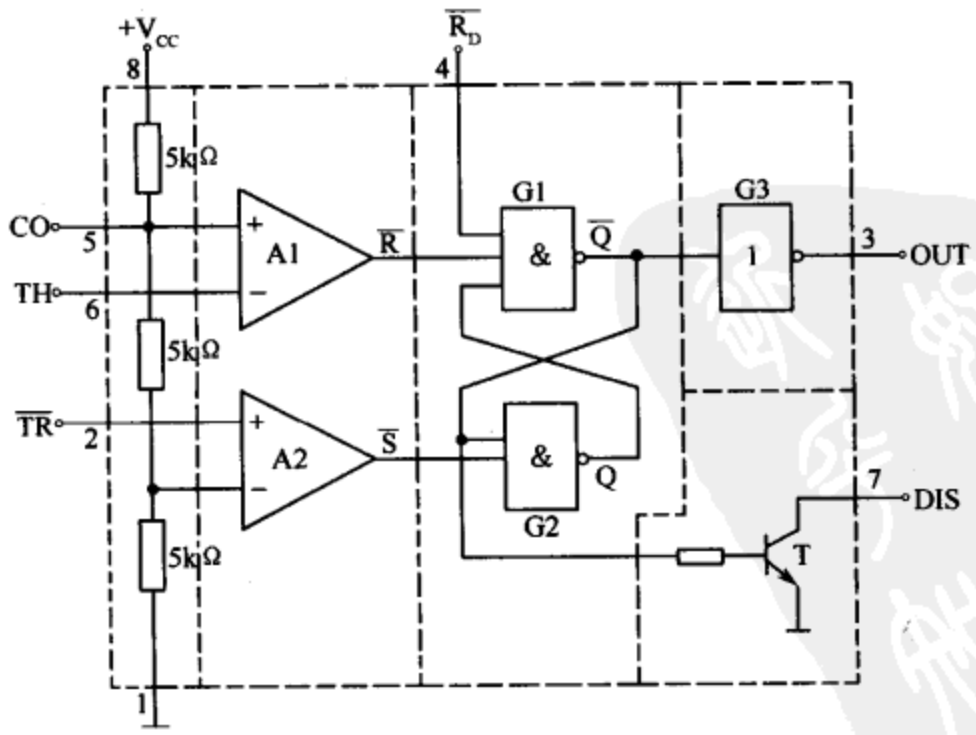


图 6-33　555 定时器的组成

555 定时器主要由几个部分组成：

(1)基本 RS 触发器。由两个与非门组成，$\overline{R}_D$ 是专门设置的可从外部进行置 0 的复位端，当 $\overline{R}_D=0$ 时，使 $Q=0$、$\overline{Q}=1$。

(2)比较器。A1、A2 是两个电压比较器。比较器有两个输入端，分别标有＋号和－号，如果用 U_+ 和 U_- 表示相应输入端上所加的电压，则当 $U_+>U_-$ 时，其输出为高电平，$U_+<U_-$ 时输出为低电平，两个输入端基本上不向外电路索取电流，即输入电阻趋近于无穷大。

(3)分压器。3 个阻值均为 5kΩ 的电阻串联起来构成分压器(555 也因此而得名)，为比较器 A1 和 A2 提供参考电压，A1 的正端 $U_+=\frac{2}{3}V_{CC}$、A2 的负端 $U_-=\frac{1}{3}V_{CC}$。如果在电压控制端 CO 另加控制电压，则可改变 A1、A2 的参考电压。工作中不使用 CO 端时，一般都通过一个 0.01pF 的电容接地，以旁路高频干扰。

(4)晶体管开关和输出缓冲器。晶体管 T 构成开关，其状态受 $\overline{Q}$ 端控制，当 $\overline{Q}$ 为 0 时 T 截止、为 1 时 T 导通。输出缓冲器就是接在输出端的反相器 G3，其作用是提高定时器的带负载能力和隔离负载对定时器的影响。

2. 基本功能

当 $\overline{R}_D=0$ 时，$\overline{Q}=1$，3 脚输出电压为低电平，三极管 T 饱和导通。

当 $\overline{R}_D=1$、$U_{TH}>\frac{2}{3}V_{CC}$、$U_{\overline{TR}}>\frac{1}{3}V_{CC}$ 时，A1 输出低电平，A2 输出高电平，$\overline{Q}=1$，$Q=0$，3 脚输出电压为低电平，三极管 T 饱和导通。

当 $\overline{R}_D=1$、$U_{TH}<\frac{2}{3}V_{CC}$、$U_{\overline{TR}}>\frac{1}{3}V_{CC}$ 时，A1、A2 均输出高电平，即 $\overline{R}=1$、$\overline{S}=1$(相当于 $R=0$、$S=0$)，所以，基本 RS 触发器保持原来的状态不变，3 脚和三极管 T 也保持原来的状态不变。

当 $\overline{R}_D=1$、$U_{TH}<\frac{2}{3}V_{CC}$、$U_{\overline{TR}}<\frac{1}{3}V_{CC}$ 时，A1 输出高电平，A2 输出低电平，$\overline{Q}=0$，$Q=1$，3 脚输出电压为高电平，三极管 T 截止。

根据以上分析，可以得出表 6-7 所示的逻辑状态表。

表 6-7　555 定时器的逻辑状态表

输　入			输出	
$\overline{R}_D$	高电平触发端 U_{TH}(6 脚)	低电平触发端 $U_{\overline{TR}}$(2 脚)	输出端 3 脚	T 的导通状态
0	×	×	0	导通
1	$>\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	0	导通
1	$<\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	不变	不变
1	$<\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	1	截止

二、双定时器 556

多功能集成电路 556 是在同一基片上制作了两个 555 集成电路，芯片内部的两个

555 电路除电源共线外，其余均各自独立。为便于对照，图 6-34 所示为 555 和 556 的引脚功能排列图。

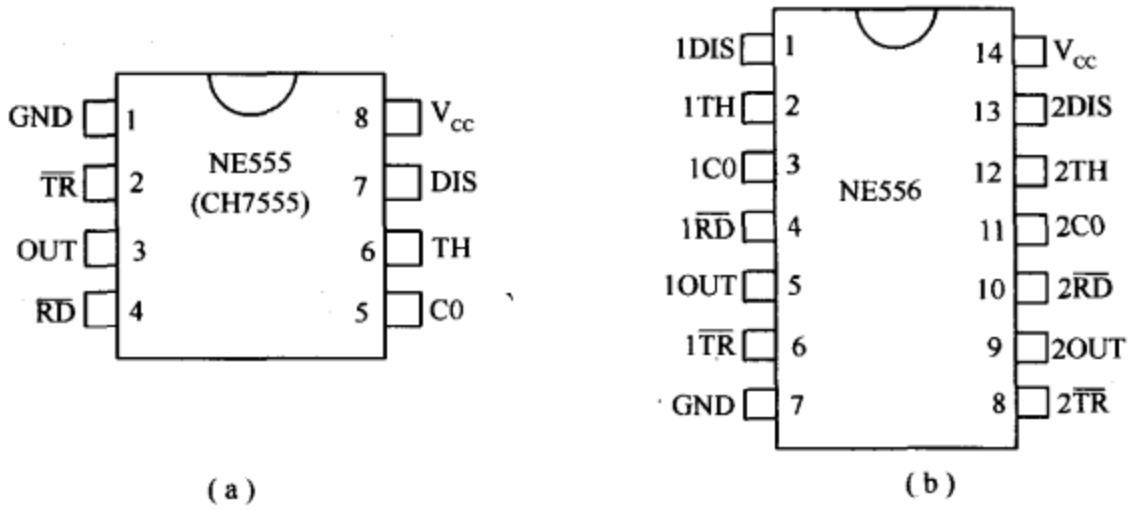


图 6-34　555 和 556 定时器引脚功能排列图

(a)NE555 引脚排列图；(b)NE556 引脚排列图。

三、555 定时器的应用

1. 用 555 电路组成多谐振荡器

采用 555 时基集成电路，可以组成多种形式的自激多谐振荡器。下面介绍几种实用电路。

1)典型多谐振荡器

图 6-35(a)所示是典型多谐振荡器电路。电路中，R1、R2、C 是外接定时元件，定时器 TH(6 脚)、$\overline{TR}$(2 脚)连接起来接电容 C 的一端，晶体管集电极(7 脚)接到 R1、R2 的连接点。

当电源接通时，V_{CC}通过电阻 R1、R2 向电容器 C 充电，充电开始瞬间，由于 2 脚处于 0 电平，故输出端 3 脚为高电平；当电源经 R1、R2 向 C 充电到 $U_C \geqslant \frac{2}{3}V_{CC}$时，输出端 3 脚由高电平变为低电平。此时，555 内部三极管 VT 导通，电容 C 经 R2、7 脚内部的三极管放电，放电到 $U_C \leqslant \frac{1}{3}V_{CC}$时，输出端 3 脚由低电平变为高电平，电容 C 又再次充电，如此循环往复，形成振荡，3 脚端输出周期性的矩形脉冲。如图 6-35(b)所示。

脉冲周期由充电时间 t_{p1}和放电时间 t_{p2}低决定，经推算：

充电时间：$t_{p1}=0.7(R1+R2)C$

放电时间：$t_{p2}=0.7R2C$

振荡周期：$T=t_{p1}+t_{p2}=0.7(R1+2R2)C$

振荡频率：$f=\frac{1}{T}=\frac{1}{0.7(R1+2R2)C}$

占空比：$q=\frac{t_{p1}}{T}=\frac{0.7(R1+R2)C}{0.7(R1+2R2)C}=\frac{R1+R2}{R1+2R2}$

2)占空比可调的多谐振荡器

图 6-35 所示的电路中，由于电容 C 的充电时间 $t_{p1}=0.7(R1+R2)C$，放电时间 $t_{p2}=$

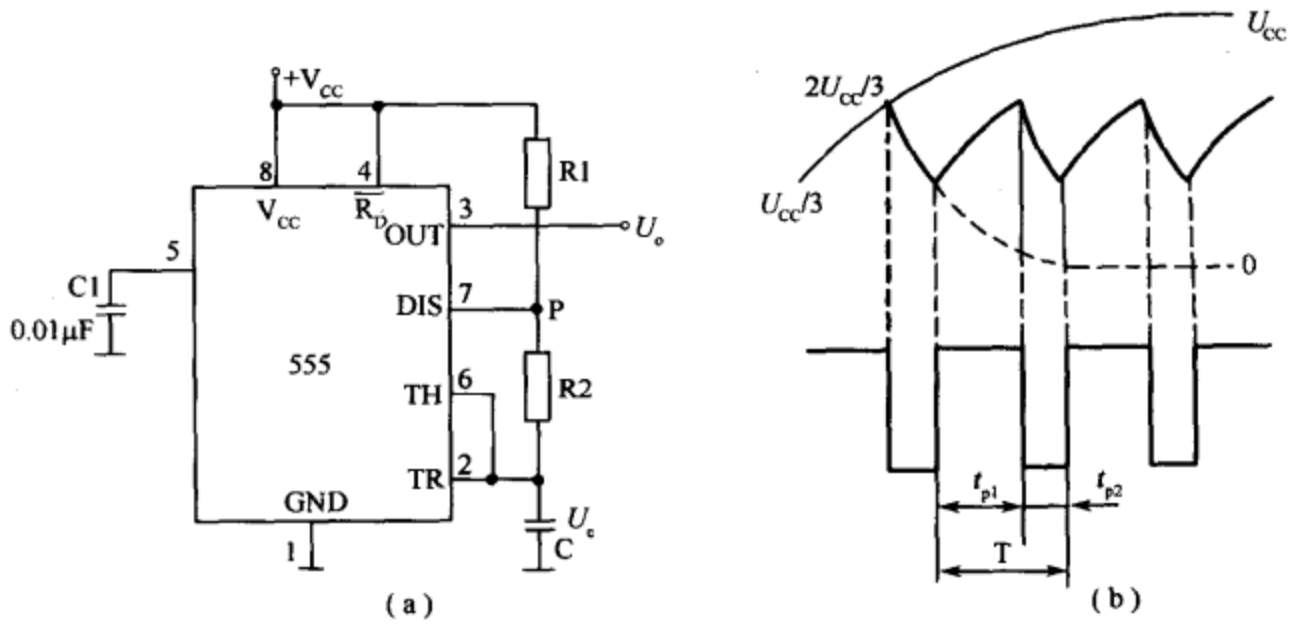


图 6-35　典型多谐振荡器及其波形

(a)用 555 定时器构成的多谐振荡器；(b)工作波形。

0.7$R2C$，所以总是 $t_{p1}>t_{p2}$，而且占容比 $q=\dfrac{R1+R2}{R1+2R2}$是容易调节的。

利用半导体二极管的单向导电性，把电容 C 充电和放电回路隔离开来，再加上一个电位器 R_P，便可得到占空比连续可调的多谐振荡器，如图 6-36 所示。

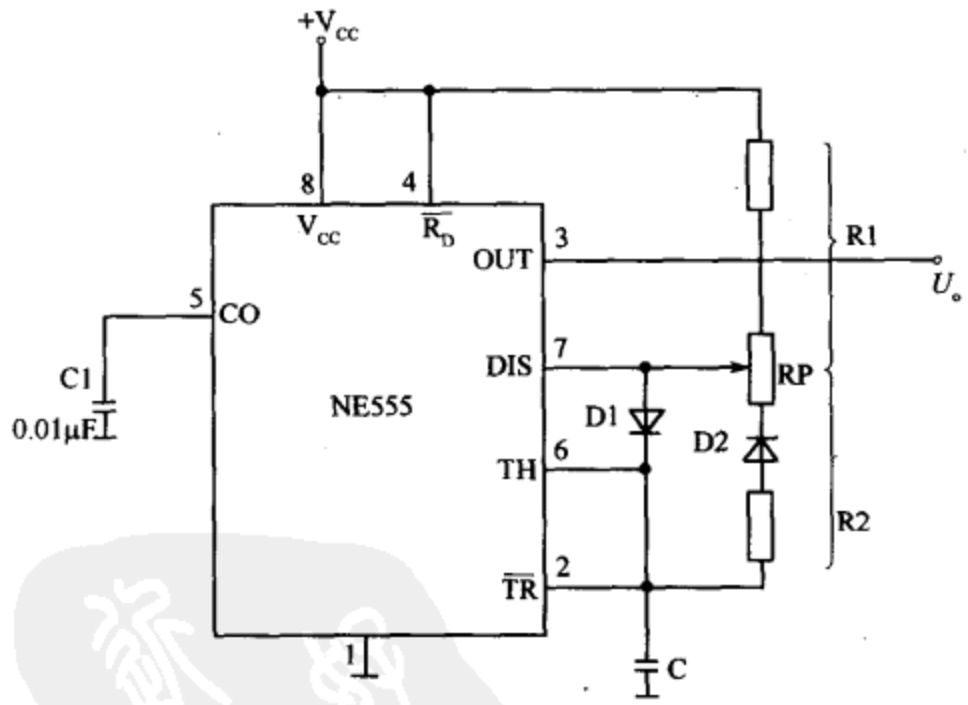


图 6-36　占空比连续可调的多谐振荡器

从图中可以看出，电容充电时间常数 $\tau_1=R1C$，放电时间常数 $\tau_2=R2C$，通过计算(忽略 D1、D2、VT 的导通电阻)，可得

充电时间：$t_{p1}=0.7R1C$

放电时间：$t_{p2}=0.7R2C$

占空比：$q=\dfrac{t_{p1}}{T}=\dfrac{0.7R1C}{0.7R1C+0.7R2C}=\dfrac{R1}{R1+R2}$

只要改变电位器活动端的位置，就可以方便地调节占空比。

2. 用 555 电路组成单稳态触发器

图 6-37(a)所示是用 555 集成电路组成的单稳态触发器。定时元件由 R 和 C 组成，决定着输出脉冲的宽度。$\overline{TR}$端(2 脚)作为触发脉冲输入端。2 脚必须是负脉冲，从 3 脚输出的是正脉冲暂态信号。

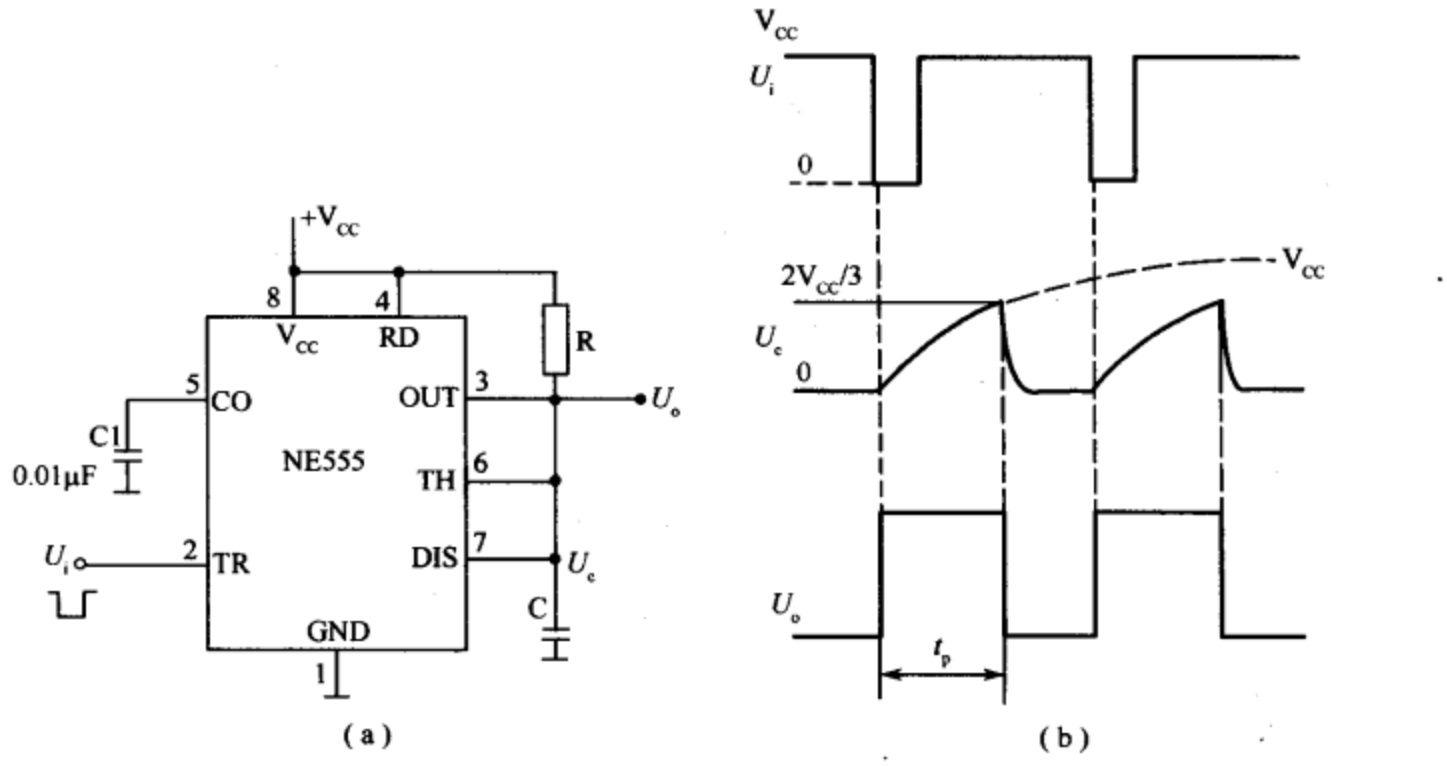


图 6-37　用 555 电路组成单稳态触发器

(a)用 555 构成的单稳态触发器；(b)工作波形图。

没有触发信号时，即 U_i 为高电平，电路工作在稳定状态，即 $Q=0$，$\overline{Q}=1$，U_o 为低电平，T 饱和导通。

当 U_i 下降沿到来时，电路被触发，立即由稳态翻转到暂稳态，即 $Q=1$、$\overline{Q}=0$，U_o 为高电平，VT 截止。

在暂稳态期间，开始对定时电容 C 充电，充电回路是 V_{CC}→R→C→地，时间常数为 $\tau 1=RC$。在电容上电压 U_C 上升到 $\frac{2}{3}V_{CC}$ 以前，电路将保持暂稳态不变。随着 C 充电过程的进行，U_C 逐渐升高，当 U_C 上升到 $\frac{2}{3}V_{CC}$ 时，比较器 A1 输出 0，立即将基本 RS 触发器复位到 0 状态，即 $Q=0$、$\overline{Q}=1$、U_o 输出低电平，VT 饱和导通，暂稳态结束。

当暂稳态结束后，定时电容 C 将通过饱和导通的晶体三极管 T 放电，时间常数为 $\tau 2=R_{CES}C$(R_{CES}是 VT 的饱和导通电阻，很小)，经 $3\tau 2\sim 5\tau 2$ 后，C 放电完毕，$U_C=0$，恢复过程结束。

恢复过程结束后，电路返回到稳定状态，单稳态触发器又可接收新的输入触发信号。

图 6-37(b)所示是单稳态触发器的工作波形图。

根据以上分析可知，输出脉冲宽度 t_p 等于暂稳态时间，也就是定时电容 C 的充电时间。根据推导，$t_p\approx 1.1RC$

重点提示：图 6-37 所示电路中，输入触发信号 U_i 的脉冲宽度必须小于电路输出的脉冲 U_o 的宽度，否则电路将不能正常工作。因为当单稳态触发器被触发翻转到暂稳态后，如果 U_i 即$\overline{TR}$端为低电平且一直保持不变，那么比较器 A2 的输出就总是 0，由与非门的

逻辑特性知道，基本 RS 触发器的 Q 端显然会一直为高电平，不难理解，电路将无法按规定时间返回到稳定状态。而且定时电容 C 会来回充电、放电，比较器 C1 的输出一会为 1，一会为 0，基本 RS 触发器的 $\overline{Q}$ 端会不停地在低电平、高电平之间来回变化，因此在单稳态触发器的输出端将出现高频振荡波形。

解决这一问题的一个简单办法，就是在电路的输入端加一个 RC 微分电路，即当 U_i 为宽脉冲时，让 U_i 经 RC 微分电路之后再接到$\overline{TR}$端。不过微分电路的电阻应接到 V_{CC}，以保证在 U_i 下降沿未到来时，$\overline{TR}$端为高电平。

3. 用 555 电路组成的施密特触发器

将 555 定时器的 TH 端(6 脚)、$\overline{TR}$端(2 脚)连接起来作为信号输入端 U_i，便构成了施密特触发器，如图 6-38(a)所示。图 6-38(b)所示是当 U_i 为三角波时施密特电路的工作波形。

555 中的晶体三极管 VT 集电极引出端(7 脚)，通过 R 接电源 V_{DD}，成为输出端 U_{O1}，其高电平可通过改变 V_{DD}进行调节；U_{O2}是 555 的信号输出端(3 脚)。

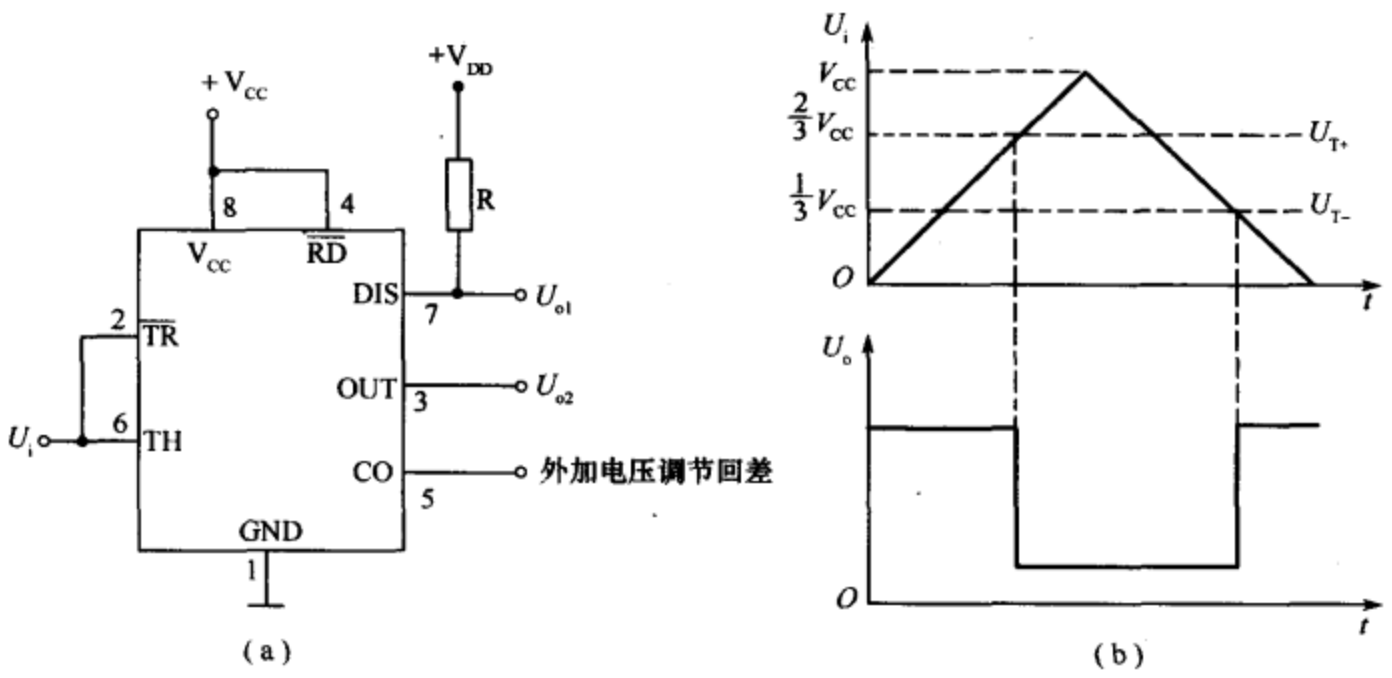


图 6-38　555 构成的施密特触发器

(a)由 555 定时器构成的施密特触发器；(b)施密特电路工作波形。

当 U_i=0V 时，显然，555 内基本 RS 触发器将工作在 1 状态，即 Q=1、$\overline{Q}$=0，555 内三极管 VT 截止，此时 U_{o1}、U_{o2}均为高电平。当 U_i 升高，在未到达$\frac{2}{3}V_{CC}$以前，电路的这种状态是不会改变的。

当 U_i 上升到$\frac{2}{3}V_{CC}$时，不难理解，比较器 A1 输出会跳变为 0。A2 输出为 1，基本 RS 触发器被触发，由 1 状态翻转到 0 状态，即跳变到 Q=0、$\overline{Q}$=1，U_{o1}、U_{o2}也随之由高电平跳变到低电平。此后，U_i 上升到 V_{CC}，再降低，但是在未下降到$\frac{1}{3}V_{CC}$以前，Q=0、$\overline{Q}$=1，U_{o1}和 U_{o2}为低电平的状态会一直保持不变。

当 U_i 下降到$\frac{1}{3}V_{CC}$时，比较器 A1 输出为 1、A2 输出将跳变为 0，基本 RS 触发器被触

发，由 0 状态翻转到 1 状态，即跳变到 $Q=1$、$\overline{Q}=0$，U_{o1}、U_{o2}也会随之由低电平跳变到高电平。而且 U_i 继续下降到 0V，电路的这种状态也都不会改变。

阅读材料：由 555 组成的看门狗电路

看门狗简称 WDT(Watch Dog Timer)，在计算机系统中是一个最忠实的可信赖的硬件，用来保证系统长久运行，看门狗的使用思路很简单，计算机必须不时地对看门狗说“你好”以让看门狗知道它依然在运行，如果这种操作失败，看门狗的动作就会引起系统硬件复位。

看门狗电路的型号较多，既有专用看门狗集成电路，如 XICOR 公司 X25045 和 X5045 也有由 555、数字集成电路或分立元件组成的看门狗电路，下面介绍由 555 组成的看门狗电路，如图 6-39 所示。

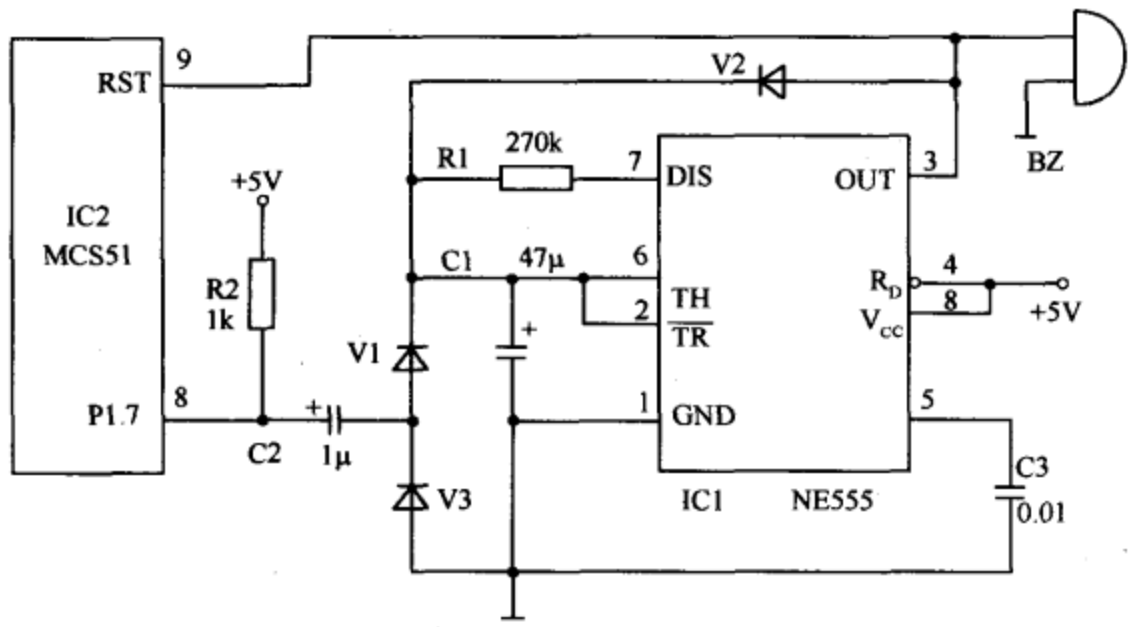


图 6-39　由 555 组成的看门狗电路

刚上电时，C1 两端电压为 0V，NE555 的 3 脚 OUT 端输出高电平，系统处于复位状态。上电后，通过 V2 为 C1 充电，充电时间与 C1 的容量有关。当 C1 电平升到 3.3V 时，NE555 的 3 脚输出低电平，复位完成。

复位后，C1 通过 R1 和 NE555 的 DIS 端放电。当 C1 两端电压降到 1.6V 时，NE555 的 3 脚输出高电平使电路复位。因此，在没有“喂狗”电路的情况下，“看门狗”电路是一个波形极不对称的振荡器。

“喂狗”电路由 MCS51 单片机的 P1.7、C2、V1、V3 及 R2 组成。正常运行时，P1.7 输出交变的脉冲方波。当输出为高电平时，经 C2 耦合和 V1 整流，为 C1 充电.使 C1 两端的电压保持高于 1.6V，电路不产生复位信号。当程序“跑飞”或“死机”时，P1.7 不能定时输出“喂狗”信号，C1 经 R1 放电，当其两端电压降至 1.6V 以下时，NE555 的 3 脚输出高电平，迫使电路复位。当 P1.7 输出低电平时，C2 经 P1.7、V3 放电。R2 用于提高一次“喂狗”能力，减少“喂狗”次数，一次“喂狗”延迟时间为 100ms。R1 和 C1 决定看门狗的复位时间。

蜂鸣器 BZ 在复位的瞬间鸣叫一声，有利于系统故障的判断。在图中所示元件参数和无“喂狗”脉冲的情况下，电路复位周期为 1.7s 左右。若“看门狗”电路运行正常且“喂狗”及时，“狗叫”声间隔 2s 左右，说明器件有故障，系统不能正常工作；如果“狗叫”声没有

规律较频繁出现，说明程序或局部电路需要修改。

该电路复位能力很强，驱动电流达 200mA 以上。

四、555 时基电路设计软件介绍

前已述及，555 时基电路是一种应用十分广泛的模拟—数字混合集成电路，在 555 时基电路应用中，常常需要计算定时电阻和定时电容，以便确定电路输出信号的翻转时间，使用 555 时基电路设计软件，不仅使元器件计算简单，而且也会觉得很有乐趣。

555 时基电路设计软件的界面如图 6-40 所示。

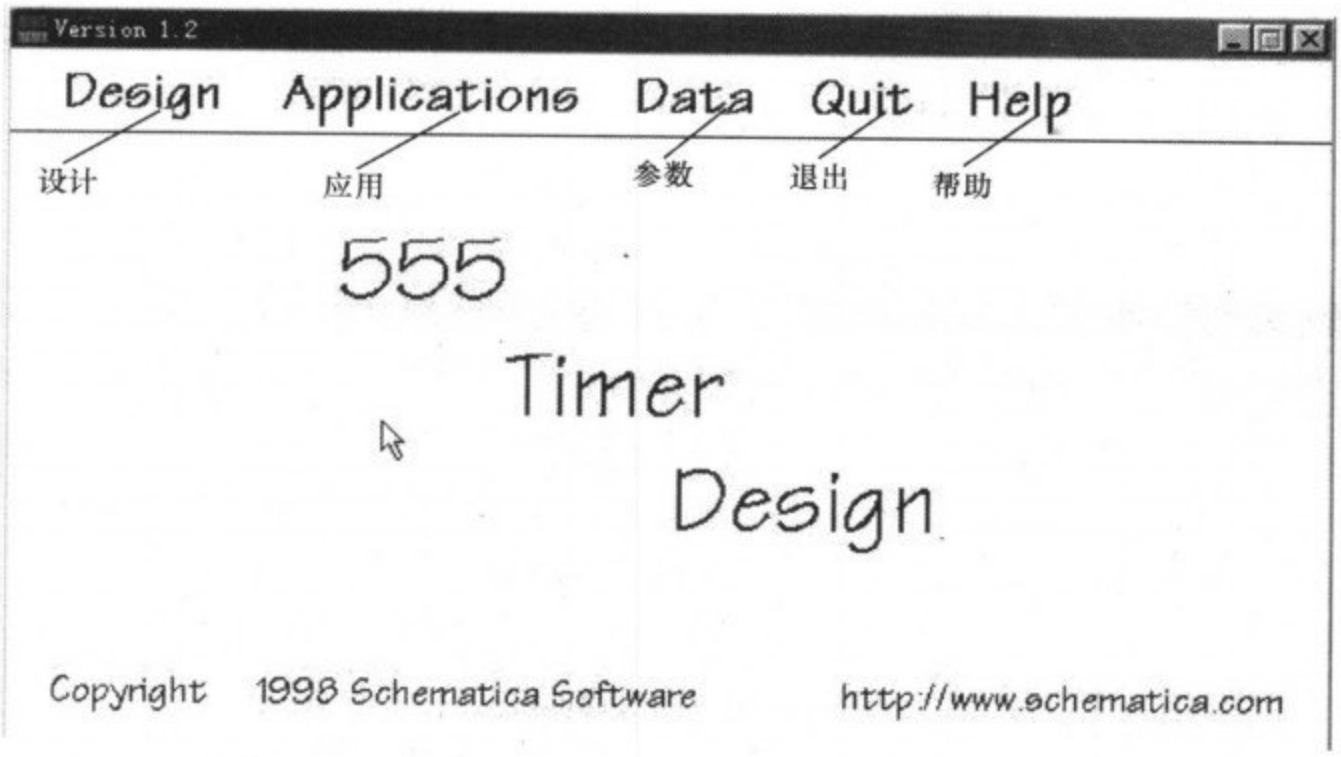


图 6-40　555 时基电路设计软件界面

图中，主菜单分别为 Design(设计菜单)、Applications(应用菜单)、Data(参数菜单)、Quit(退出命令菜单)和 Help(帮助菜单)。这些菜单中，设计菜单和应用菜单都是常用的菜单，主要完成对电路器件参数的设计。

1. 占空比大于 50%的设计

点击 Design(设计菜单)，会出现图 6-41 所示的界面，在此界面下，软件按脉冲波形占空比分为 4 类，分别为占空比大于 50%、小于 50%和等于 50%及单脉冲设计，点击所选择的设计类型后，该软件就会给出设计所需参数。

点击波形占空比大于 50%框内任意处，软件会自动进入占空比大于 50%的设计界面，如图 6-42 所示。

图中，左边是典型的 555 应用电路，右边则是电路参数设计的选项，在 Enter(进入)选项的 Frequency(频率)中，输入设计所需要的频率，如 1kHz，在 Duty Cycle(占空比)中输入所需信号的占空比 75%(注意在此输入占空比必须大于 50%，否则无效)，再按下 Calculate(计算)，在左边的电路中就会自动给出电路电阻、电容的参数，如图 6-43 所示。

对应的参数设计中，定时电阻 R1、R2 的选择和定时电容 C1 有关，在 Adjust(调整)中，选择 C1 或 Timer(时基)，再按上下调整键按扭 ▲ ▼，电路中参数均会随之变更，如选择 C1 并进行调整，则电路中的电阻 R1、R2 也随之改变，如果选择 Timer 并调整，则时

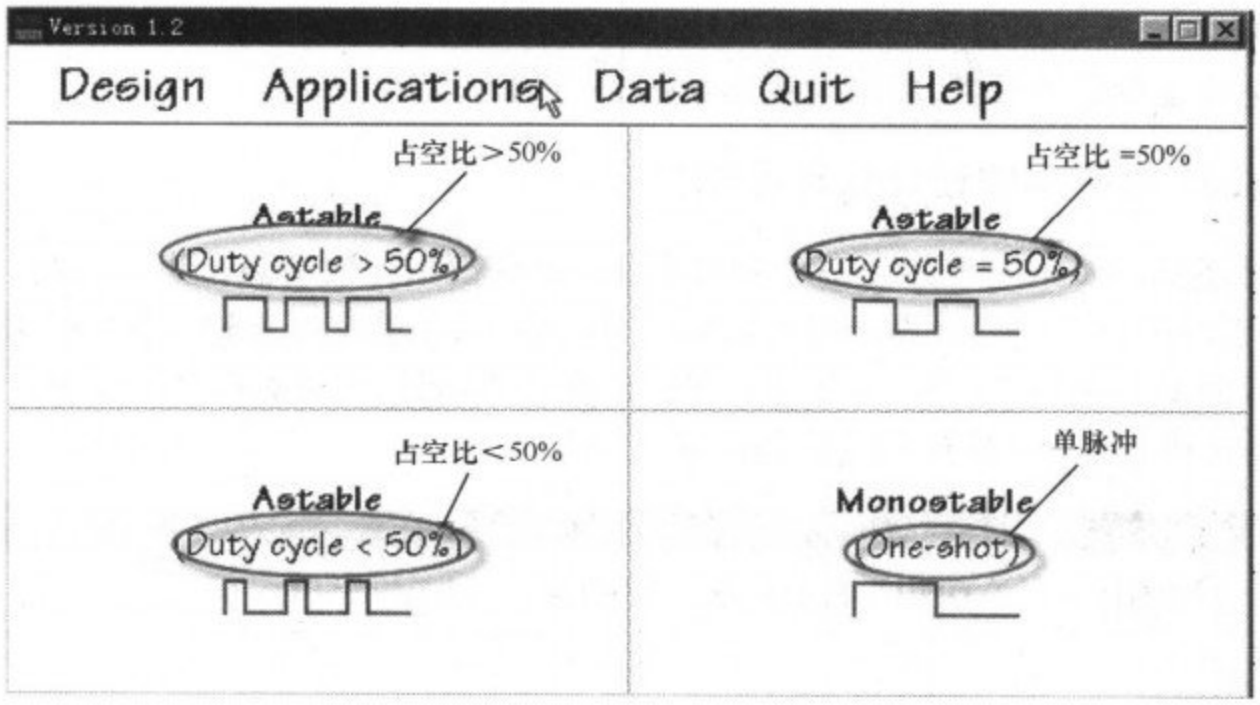


图 6-41　设计菜单界面

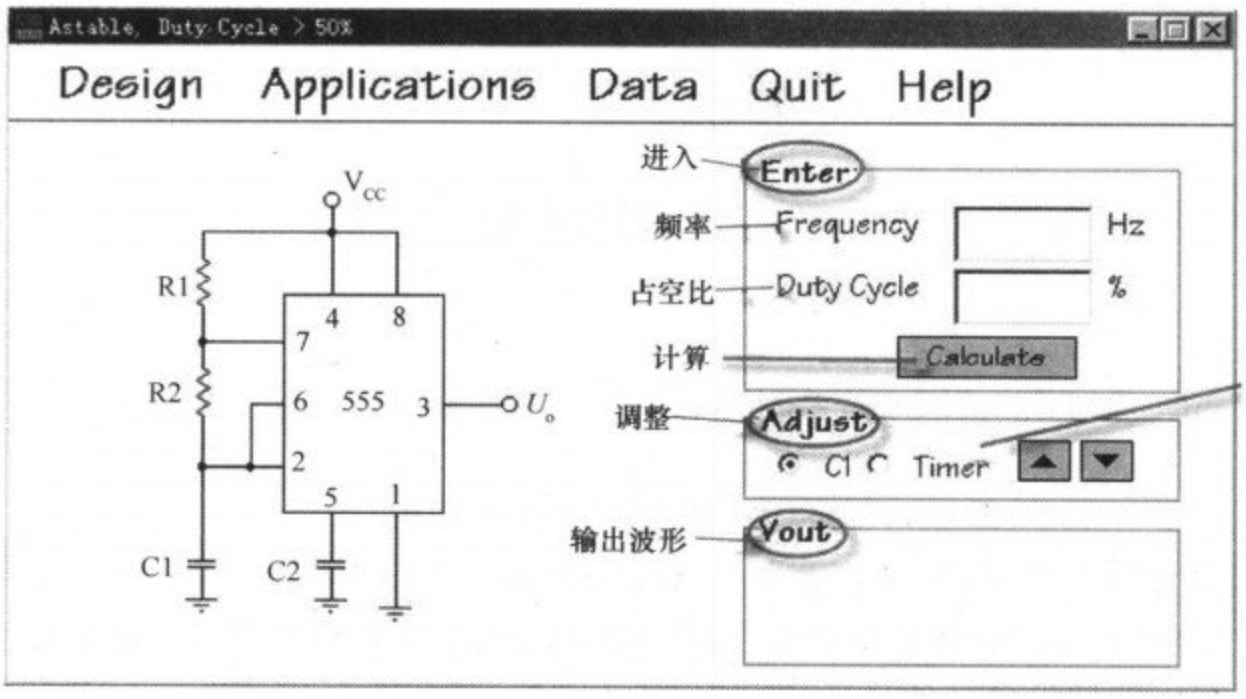


图 6-42　占空比大于 50%设计界面

基 555、双时基 556A 和双时基 556B 类型将交替变化。

在电路设计界面中，还有 Vout 栏，在该栏中一旦确定了频率和占空比，按下 Calculate(计算)按钮后，在输出栏中就会显示出该参数定义下的输出波形。

2. 计算振荡频率

555 时基电路设计软件不能直接定义电阻和电容器参数值，即不能直接计算电路的振荡频率。但是，如果先给出一个接近电路的振荡频率和占空比后，再改变电阻和电容器值，就可以计算出电路的振荡频率。

操作软件时，首先调整所需要计算电路的定时电容器的参数值，这时的电阻值电会随之而改变。调整好电容器参数之后，将光标移动到定时电阻上，这时在电阻上的光标就会变成一个电阻符号，点击鼠标左键，就会有该电阻当前的阻值对话框。在电阻值对话框内，可以直接输入调整的定时电阻值。但是要注意一点，该软件的器件值调整幅度只有±20%，每次就只能在原参数值的 20%内增加或减小，如果超出了这个调整范围，将会提示不能进行调整。电容器也可以这样调整。调整好电阻和电容值后，就可以计算出电路

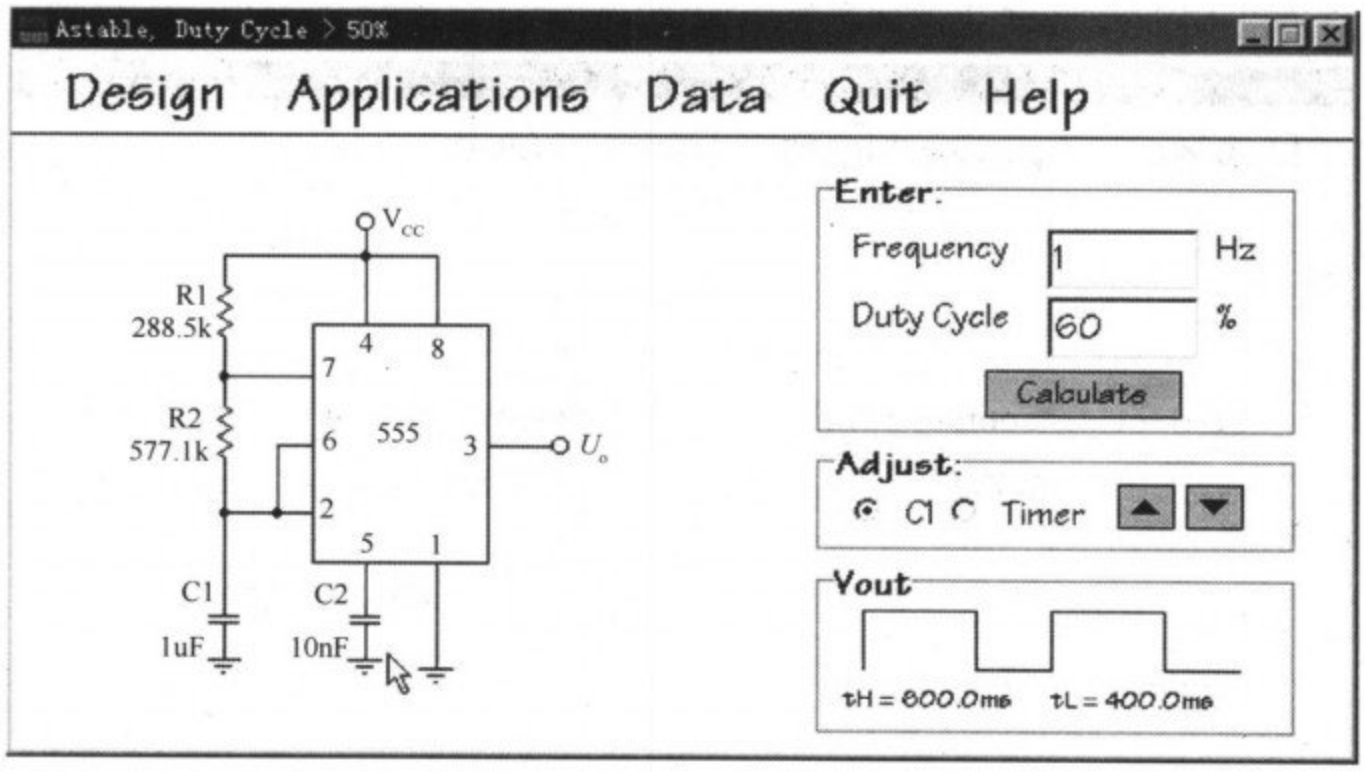


图 6-43　频率为 1kHz、占空比为 60%的设计界面

的振荡频率。

在上述方法中，不仅可以计算电路振荡频率，而且电路的占空比也会随电路参数值的改变而改变。

3. 555 时基电路的应用

点击 Applications(应用菜单)，则进入典型应用电路选择界面，如图 6-44 所示。

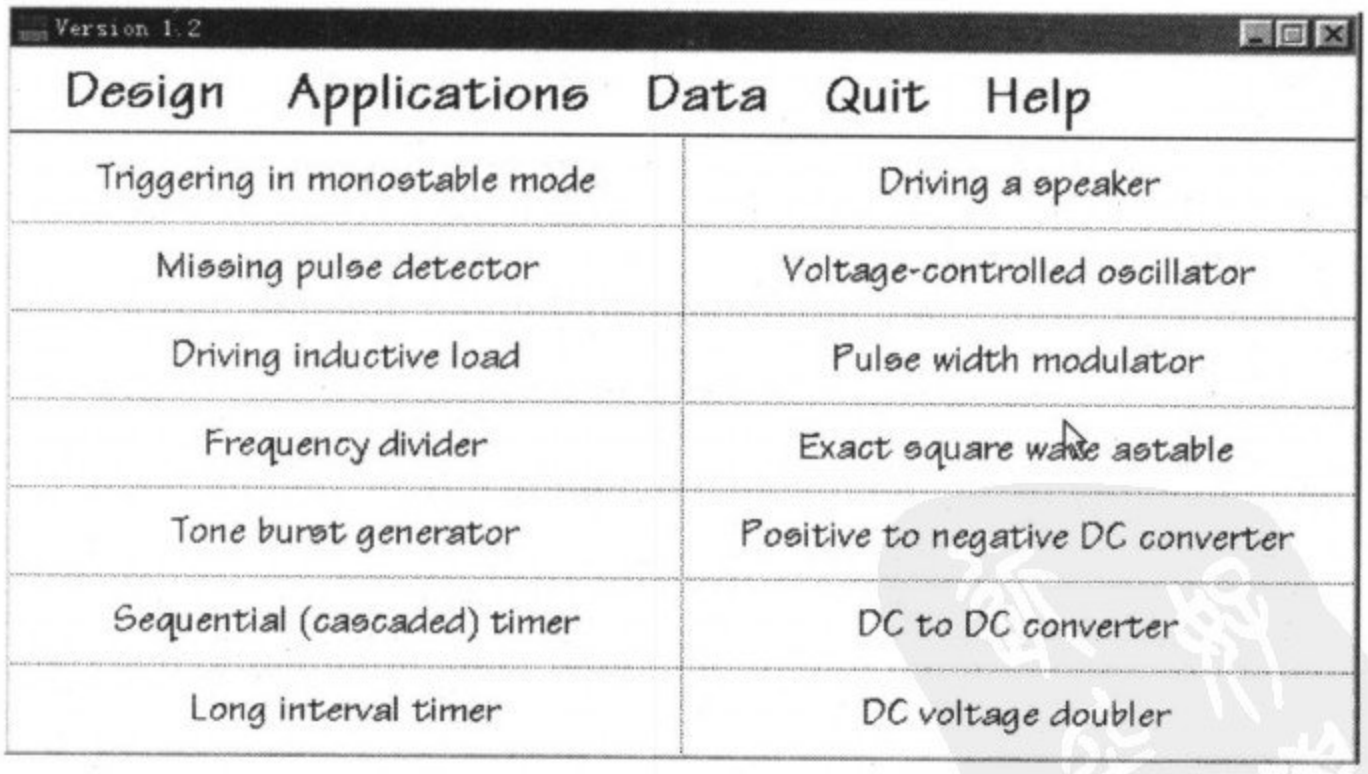


图 6-44　应用菜单界面

在该软件中提供了有关时基电路的 14 种应用电路，需要哪种应用电路只要直接点击即可，在每个典型应用电路中，不仅标明了用途，还注明了在该电路应用时的注意事项。

555 时基电路软件还提供了一些参数参考，点击 Data(参数菜单)，会出现如图 6-45 所示的参数菜单界面。

点击参数菜单的左边，将给出定时电阻和定时电容的相关参数说明，点击参数菜单的

右边，将给出不同类型 555 电路的参数说明。

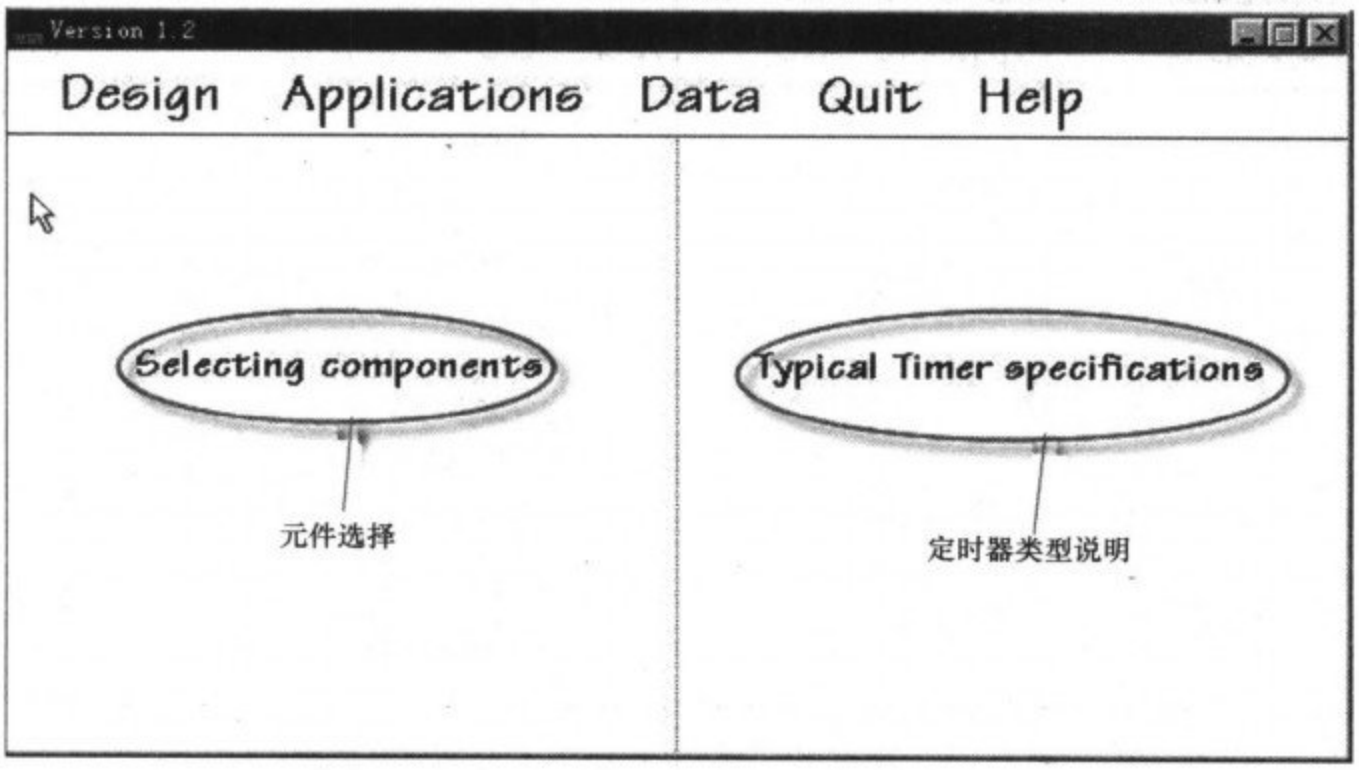


图 6-45　参数菜单界面

第七章　存储器和微控制器

前面我们刚介绍过寄存器，它是采用触发器组成的，电路结构较为复杂，因此它的容量十分有限。本章要介绍的存储器则和寄存器的结构完全不同，它采用二极管、TTL 三极管或 MOS 管作为存储单元，因此结构简单，存储容量非常大。本章的最后，还将对微控制器主要组成和工作过程进行简要介绍。

第一节　存储器概述

一、存储器的原理

半导体存储器是一种通用型 LSI，主要用来存放大量的二值信息，它是数字系统不可缺少的组成部分。图 7-1 是存储器的基本原理图。

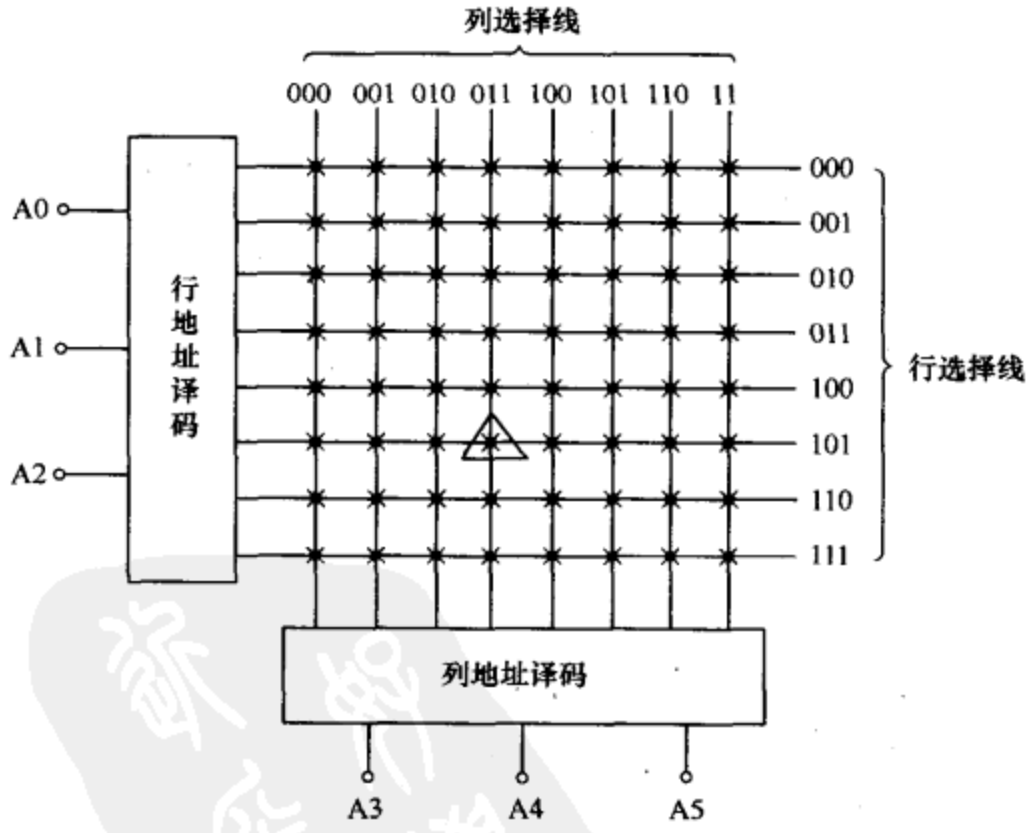


图 7-1　存储器基本原理图

一只存储器有很多个存储单元，每个存储单元可存储 1 位或多位二进制数(0 或 1)，把数据存入存储器称为写入，从存储器中取出数据称为读出。在众多的存储单元中选择某一单元的过程称为寻址。在任何时刻，只能对存储器中的一个单元进行写入或读出操作。为了寻址方便，在存储器中设有一套为选择地址用的地址译码电路。图 7-1 所示是一个有 64 个存储单元的存储器的地址结构，A0～A5 称为地址线，它又分为两组，其中

A0～A2 称为行地址线，A3～A5 称为列地址线。行地址线经 3 线—8 线译码器译码后得到 8 根水平方向的输出线，称为行选择线。同样，列地址线经译码后得到 8 根列选择线。行、列选择线组成了一个地址选择阵列，共 64 个交点。安排在每个交点上的存储单元，则可按照不同的行、列地址来操作，进行相应的写入或读出。例如：A2A1A0＝101，A5A4A3＝011，选中的将是存储器中用带有“三角形符号”的那个单元。

用这种方法寻址的存储器其寻址范围均为 2 的幂次方，即有 N 根地址线，便有 2^N 个存储单元。因存储器的容量一般都很大，为了便于记忆，令 $2^{10}=1024=1K$，这样，有 10 根地址线的存储器，其寻址范围就是 1K。其余可由此类推。

二、存储器的容量

通常，表示存储器存储容量的方式有两种：一种是用存储单元数（所能记忆的字数）乘上字长表示，例如，存储器有 4096 个存储单元，字长为 8 位，则该存储器的存储容量为 4K 字节；另一种是用存储器所能记忆的全部二进制信息量直接表示，例如，上述的 4K 字节的存储容量可表示为 4K×8＝32K 位（每字节为 8 位）。

所谓字长，是每个存储器的存储单元内含有的存储位数。若 1 个单元只有 1 位，即为一位字长的存储器。若一个单元有 8 位，则为 8 位字长（称为 1 个字节）的存储器。图 7-2 所示为 8 位字长存储单元。数据的写入或读出除受地址线的控制外，还受各位数据线和读写控制线的控制。

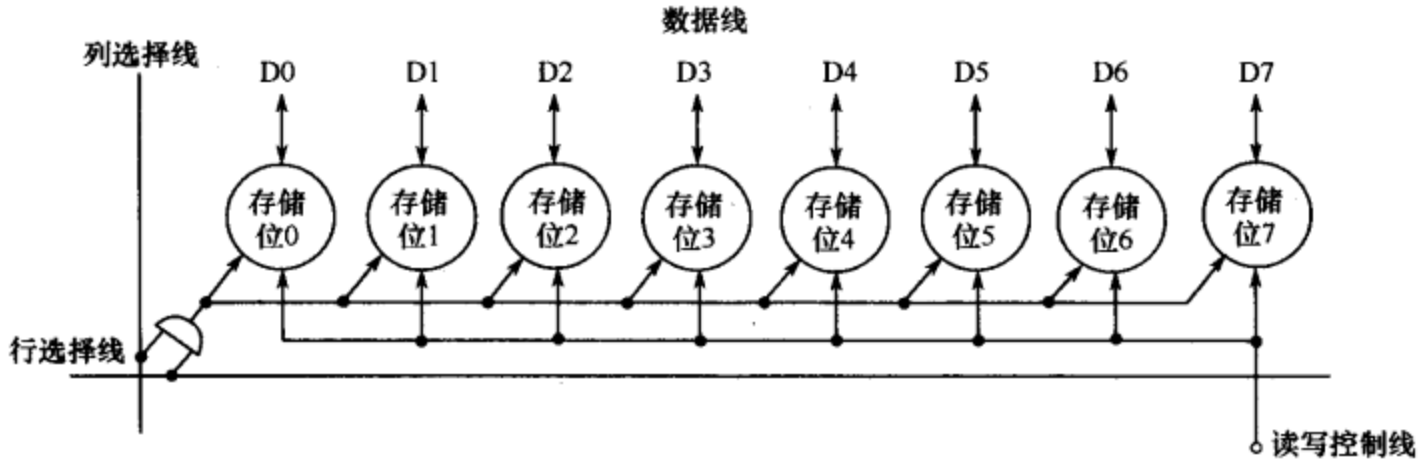


图 7-2　8 位字长（1 字节）存储单元

三、存储器的分类

半导体存储器的种类很多，一般按下述方法进行分类。

从制造工艺上分，有双极型和 MOS 型两类。双极型存储器以双极型触发器为基本存储单元，它具有工作速度快、功耗大的特点，主要用于对速度要求较高的场合；MOS 型存储器以 MOS 触发器或电荷存储结构为存储单元，它具有集成度高、功耗小、工艺简单等特点，主要用于大容量存储系统中。

从存取信息方式上分，有只读存储器（ROM）和随机存取存储器（RAM）两大类。只读存储器（ROM，Read Only Memory）在正常工作时只能读出信息，而不能写入信息。ROM 的信息是在制造时或用专门的写入装置写入的，并可以长期保留，即断电后器件中信息不会消失，因此也称为非易失性存储器。随机存取存储器（RAM，Random Access Memory）正常工作时可以随时写入（存入）或读出（取出）信息，但断电后器件中的信息也

随之消失，因此也称为易失性存储器。

按信息的传输方式分，有并行存储器和串行存储器两种。

第二节　只读存储器

一、只读存储器的分类

只读存储器(ROM)由专用的装置写入数据，数据一旦写入，不能随意改写，切断电源后，数据不会消失，具有非易失性。ROM 器件的种类很多，从制造工艺上看，有二极管 ROM、双极型 ROM 和 MOS 型 ROM 3 种。按存储内容存入方式的不同，又可以分成固定 ROM 和可编程 ROM。可编程 ROM 又可以细分为一次可编程存储器 PROM、光可擦除可编程存储器 EPROM、电可擦除可编程存储器 E^2PROM(EEPROM)和快闪存储器 Flash ROM 等。

1)掩膜 ROM

掩膜 ROM 中存放的信息是由生产厂家采用掩膜工艺专门为用户制作的，这种 ROM 出厂时其内部存储的信息就已经“固化”在里边了，所以也称固定 ROM。它在使用时只能读出，不能写入，因此通常只用来存放固定数据、固定程序和函数表等。

2)可编程 ROM(PROM)

PROM 在出厂时，存储的内容为全 0(或全 1)，用户根据需要，可将某些单元改写为 1(或 0)。这种 ROM 采用熔丝或 PN 结击穿的方法编程，由于熔丝烧断或 PN 结击穿后不能再恢复，因此 PROM 只能改写 1 次。

熔丝型 PROM 的存储矩阵中，每个存储单元都接有一个存储管，但每个存储管的一个电极都通过一根易熔的金属丝接到相应的位线上，如图 7-3 所示。用户对 PROM 编程是逐字逐位进行的。首先通过字线和位线选择需要编程的存储单元，然后通过规定宽度和幅度的脉冲电流，将该存储管的熔丝熔断，这样就将该单元的内容改写了。

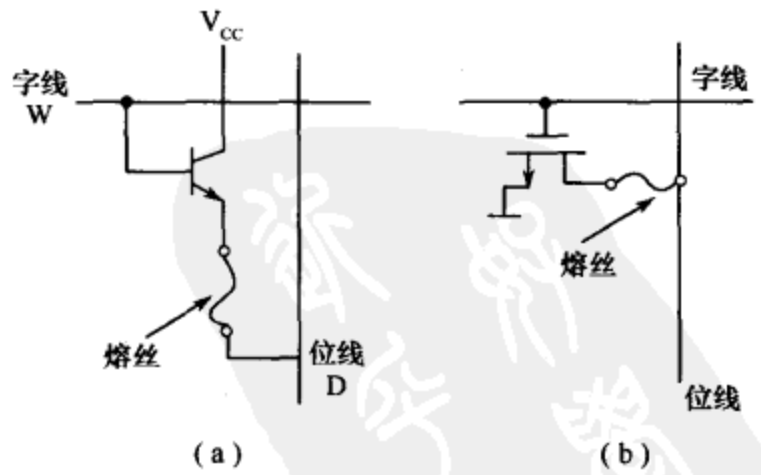


图 7-3　熔丝型 PROM 的存储单元

(a)采用三极管的熔丝型 PROM 存储单元；(b)采用场效应管的熔丝型 PROM 存储单元。

3)可擦除的可编程 ROM(EPROM)

这类 ROM 利用特殊结构的浮栅 MOS 管进行编程，ROM 中存储的数据可以用紫外线照射进行多次擦除和改写。

EPROM 的存储单元多采用 N 沟道叠栅 MOS 管(SIMOS),其结构及符号如图 7-4 所示。除控制栅外,还有一个无外引线的栅极,称为浮栅。当浮栅上无电荷时,给控制栅(接在行选择线上)加上控制电压,MOS 管导通;而当浮栅上带有负电荷时,则衬底表面感应的是正电荷,使得 MOS 管的开启电压变高,如果给控制栅加上同样的控制电压,MOS 管仍处于截止状态。由此可见,SIMOS 管可以利用浮栅是否积累有负电荷来存储二值数据。

在写入数据前,浮栅是不带电的,要使浮栅带负电荷,必须在 SIMOS 管的漏、栅极加上足够高的电压(如 25V),使漏极及衬底之间的 PN 结反向击穿,产生大量的高能电子。这些电子穿过很薄的氧化绝缘层堆积在浮栅上,从而使浮栅带有负电荷。当移去外加电压后,浮栅上的电子没有放电回路,能够长期保存。当用紫外线或 X 射线照射时,浮栅上的电子形成光电流而泄放,从而恢复写入前的状态。照射一般需要 15min～20min。为了便于照射擦除,芯片的封装外壳装有透明的石英盖板。EPROM 的擦除为一次全部擦除,数据写入需要通用或专用的编程器,编程器通常与微机联用。

4)电信号可擦除的可编程 ROM(E^2PROM 或 EEPROM)

E^2PROM 也是采用浮栅技术生产的可编程存储器,构成存储单元的 MOS 管的结构如图 7-5 所示。它与叠栅 MOS 管的不同之处在于浮栅延长区与漏区之间的交叠处有一个厚度极薄的绝缘层,当漏极接地,控制栅加上足够高的电压时,交叠区将产生一个很强的电场,在强电场的作用下,电子通过绝缘层到达浮栅,使浮栅带负电荷。这一现象称为"隧道效应",因此,该 MOS 管也称为隧道 MOS 管。相反,当控制栅接地漏极加一正电压,则产生与上述相反的过程,即浮栅放电。与 SIMOS 管相比,隧道 MOS 管也是利用浮栅是否积累有负电荷来存储二值数据的,不同的是隧道 MOS 管是利用电擦除的,并且擦除的速度要快得多。

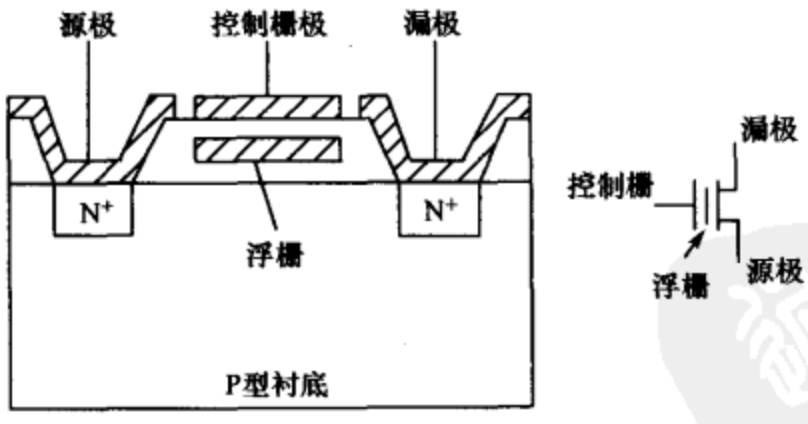


图 7-4　EPROM 存储单元的结构和符号

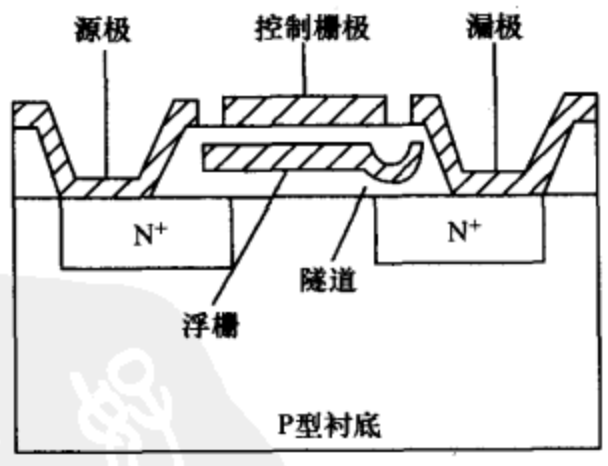


图 7-5　E^2PROM 存储单元的结构

E^2PROM 对硬件电路没有特殊要求,操作十分简便。由 E^2PROM 片内设有编程所需的高压脉冲产生电路,因而无需外加编程电源和编程脉冲即可完成写入工作。

E^2PROM 通常不需设置单独的擦除操作,可在写入的过程中自动擦抹(EPROM 芯片的擦抹需经紫外线照射)。

5)快闪存储器(Flash ROM)

E^2PROM 虽然具有既可读又可写的特点,但写入的速度较慢,使用起来不太方便,而 Flash ROM 是在 EPROM 和 E^2PROM 的基础上发展起来的一种只读存储器,这种存储器读

写速度很快，存取时间可达 70ns，存储容量可达 64MB，芯片的可改写次数从 1 万次到 100 万次。目前，Flash ROM 在手机等通信设备和电脑主板上（作为 BOIS 芯片）应用十分普遍。

二、典型的 EPROM 芯片介绍

紫外线擦除可编程只读存储器 EPROM 典型产品是 Intel 公司的系列芯片 2716（2K×8）、2732A（4K×8）、2764A（8K×8）、27128A（16K×8）、27256（32K×8）和 27512（64K×8）等，其管脚功能如图 7-6 所示。

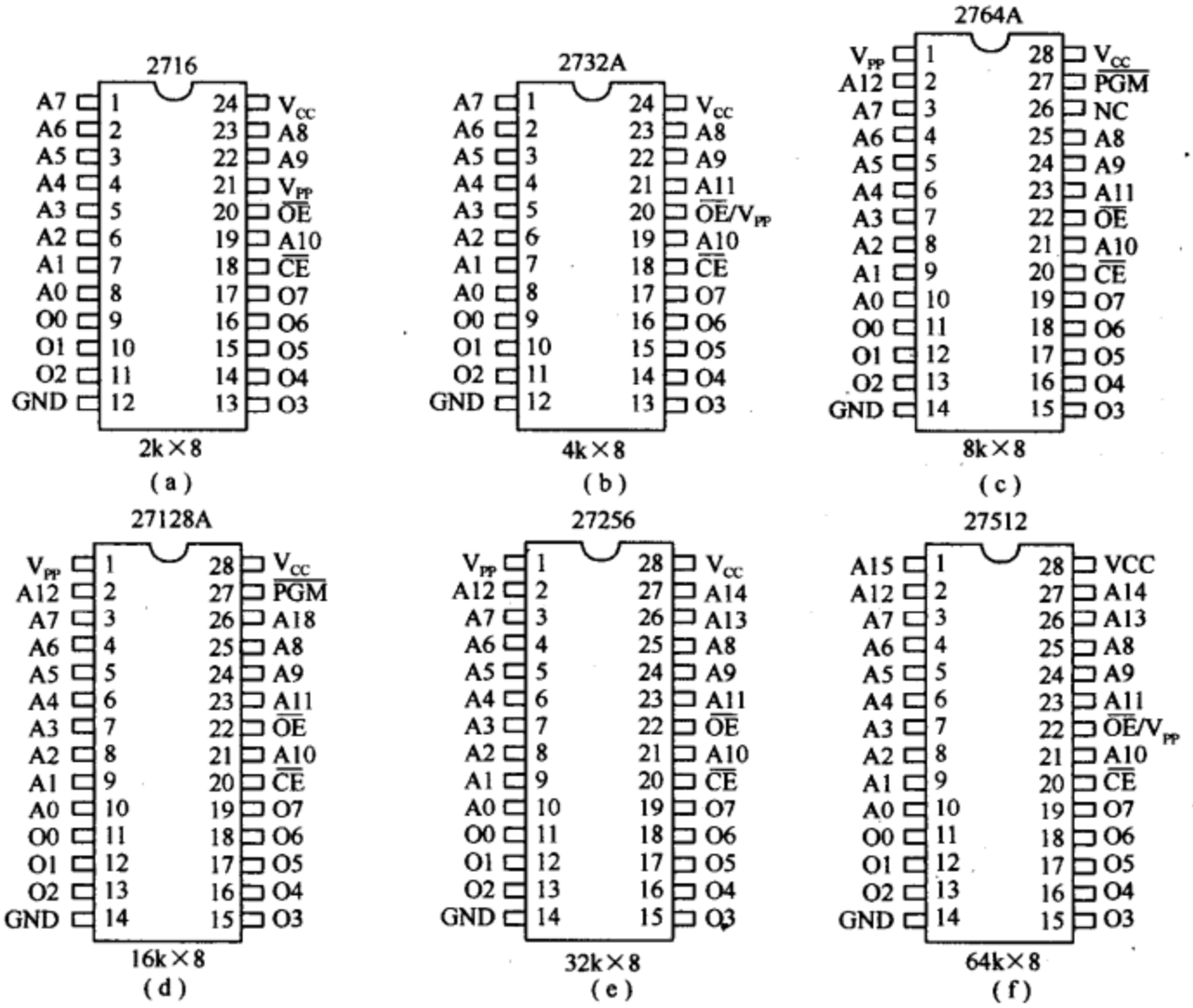


图 7-6　典型 EPROM 芯片管脚功能

从外观上可以看见，在 EPROM 芯片的中央有一个透明的小窗口，紫外线光即是通过这个小窗口将芯片上保存的信息擦除掉的，因为在日光和荧光中都含有紫外线，因此，我们通常用一块不透明的标签将已保存了信息的 EPROM 芯片的紫外线窗口封住。当然，写入 EPROM 芯片时，我们首先必须先用紫外线擦除器将 EPROM 中的信息清除掉，使它变为空的芯片后才能进行写操作，应该说明的是这里“空芯片”的“空”并非我们通常意义上的“空白”，而是此时芯片内部变为全 1 信息，因此，芯片的写入原理实际上是将指定位置上的 1 改为 0。到这里，有的朋友一定想问：既然日光和荧光均含有紫外线，为什么不让 EPROM 芯片在这些光线下暴露一段时间来擦除呢？要知道，完全擦除一块 EPROM 中的内容，在日光下至少要一周，在室内荧光下至少要三年呢。而且随着芯片容量的增大，时间也得相应拉长。

1)2716

2716 是 2K×8 位的紫外线擦除可编程只读存储器，单+5V 供电，运行时最大功耗为 252mW，维持功耗为 132mW，读出时间最大为 450ns，24 脚双列直插式封装，其管脚配置如图 7-6(a)所示。其中 A0～A10 是地址线；O0～O7 是数据线；$\overline{CE}$是片选线，低电平有效；$\overline{OE}$是数据输出选通线；V_{pp}是编程电源端，V_{CC}是工作电源端。

2716 的工作方式由$\overline{OE}$、$\overline{CE}$及 V_{pp}各信号的状态组合决定，各种工作方式的基本情况见表 7-1。

表 7-1　2716 的工作方式

引脚 / 方式	$\overline{CE}$	$\overline{OE}$	V_{pp}	O7～O0
读出	低	低	+5V	程序读出
未选中	高	任意	+5V	高阻
编程	低	高	+25V	程序写入
程序检验	低	低	+25V	程序读出

读方式：当$\overline{CE}$及$\overline{OE}$均为低电平，V_{pp}＝+5V 时，2716 芯片被选中，并处于读出工作方式。这时被寻址单元的内容经数据线 O7～O0 读出。

未选中方式：当$\overline{CE}$为高电平时，芯片不被选中，其数据线输出为高阻抗状态。这时 2716 处于低功耗维持状态，其功耗从读出方式的 252mW 下降到 132mW。

编程方式：当 V_{pp}端加+25V 高电压，$\overline{OE}$端加 TTL 高电平时，2716 处于编程工作方式，进行信息的重新写入。这时编程地址和写入数据分别由 A10～A0 及 O7～O0 引入。

程序检验方式：程序检验是检查写入的信息是否正确，因此程序检验通常总是紧跟编程之后。这时 V_{pp}＝+25V，$\overline{CE}$及$\overline{OE}$为低电平。

2)2732A

2732A 是一种 4K×8 位的紫外线擦除可编程只读存储器，单+5V 供电，最大静态工作电流为 100mA，维持电流为 35mA. 读出时间最大为 250ns。2732A 为 24 线双列直插式封装，如图 7-6(b)所示。2732A 各引脚含义是：A0～A11 为地址端；O0～O7 为数据输出端；$\overline{CE}$为片选端；V_{pp}为编程电源端；V_{CC}为主电源端；$\overline{OE}$为数据输出允许端。2732A 的工作方式见表 7-2。

3)2764A

2764A 是 8K×8 位(8K 字节)紫外线擦除可编程只读存储器，单+5V 供电，工作电流为 75mA，维持电流为 35mA，读出时间最大为 250ns，28 脚双列直插式封装。其管脚图如图 7-6(c)所示。各引脚的含义是：A0～A12 为 13 根地址线，可寻址 8K(2^{13})字节；O0～O7 为数据输出线；$\overline{CE}$为片选线；$\overline{OE}$为数据输出选通线；$\overline{PGM}$是编程脉冲输入端；V_{pp}是编程电源端；V_{CC}是主电源端。2764A 工作方式见表 7-3。

4)27128A

27128A 是 16K×8 位的紫外线擦除可编程只读存储器，单+5V 供电，工作电流为 100mA，维持电流 40mA，读出时间最大为 250ns，28 线双列直插式封装，其管脚配置如图 7-6(d)所示。27128A 各引脚含义是：A0～A13 为地址线；O0～O7 为数据输出线；$\overline{CE}$为片 选线；$\overline{OE}$为数据输出选通线；$\overline{PGM}$为编程脉冲输入端；V_{pp}为编程电源端。27128A 工

表 7-2　2732A 的工作方式

引脚 / 方式	$\overline{CE}$	$\overline{OE}/V_{pp}$	O7～O0
读出	低	低	程序读出
未选中	高	任意	高阻
编程	低	V_{pp}	程序写入
程序检验	低	低	程序读出

表 7-3　2764A 的工作方式

引脚 / 方式	$\overline{CE}$	$\overline{OE}$	V_{pp}	$\overline{PGM}$	O7～O0
读出	低	低	+5V	高	程序读出
未选中	高	任意	+5V	任意	高阻
编程	低	高	+25V	低	程序写入
程序检验	低	低	+25V	高	程序读出

作方式与 2764A 相同。

5)27256

27256 是 32K×8 位的紫外线擦除可编程只读存储器，单＋5V 供电，工作电流为 100mA，维持电流 40mA，读出时间最大为 250ns，28 线双列直插式封装，其管脚配置如图 7-6(e)所示。各引脚含义是：A0～A14 是地址线；O0～O7 是数据输出线；$\overline{CE}$是片选线；$\overline{OE}$是数据输出选通线；V_{pp}是编程电源端。27256 的工作方式见表 7-4。

6)27512

27512 是 64K×8 位的紫外线擦除可编程只读存储器，单＋5V 供电，工作电流最大 125mA，维持电流 40mA，读出时间最大为 250ns。27512 为 28 线双列直插式封装，其管脚配置如图 7-6(f)所示。各引脚含义是：A0～A15 为地址线；O0～O7 为数据输出线；$\overline{CE}$是片选线，$\overline{OE}$是数据输出选通线，V_{pp}是编程电源端。27512 的工作方式见表 7-5。

表 7-4　27256 的工作方式

引脚 / 方式	$\overline{CE}$	$\overline{OE}$	V_{pp}	O7～O0
读出	低	低	+5V	程序读出
未选中	高	任意	+5V	高阻
编程	低	高	+25V	程序写入
程序检验	低	低	+25V	程序读出

表 7-5　27512 的工作方式

引脚 / 方式	$\overline{CE}$	$\overline{OE}/V_{pp}$	O7～O0
读出	低	低	程序读出
未选中	高	任意	高阻
编程	低	V_{pp}	程序写入

三、典型 E^2PROM 芯片介绍

通常，E^2PROM 芯片分为串行 E^2PROM 和并行 E^2PROM 两种，串行 E^2PROM 在读写时数据的输入/输出是通过 2 线、3 线、4 线或 SPI 总线等接口方式进行的(详细内容将在《从零开始学单片机》一书中进行介绍)，而并行 E^2PROM 的数据输入/输出则是通过并行总线进行的。下面将要介绍的芯片均是并行存储器。

1)2817A

Intel 的 2817A 是 2K 字节的并行电擦除可编程只读存储器，采用单＋5V 供电，最大工作电流为 150mA，维持电流为 55mA，读出时间最大为 250ns。片内设有编程所需的高压脉冲产生电路，无需外加编程电源和写入脉冲即可工作。2817A 为 28 脚双列直插式封装，其引脚如图 7-7 所示。

2817A 在写入一个字节的指令码或数据之前，自动地对所要写入的单元进行擦除，因而无需进行专门的字节/芯片擦除操作，从这个意义上讲，使用 2817A 的 E^2PROM 就如同使用静态 RAM 一样。

当向 2817A 发出字节写入命令后，2817A 便锁存地址、数据及控制信号，从而启动一次写操作。2817A 的写入时间大约为 16ms，在此期间，2817A 的 RDY/$\overline{\text{BUSY}}$脚呈低电平，表示 2817A 正在进行写操作，此时它的数据总线呈高阻状态，因而允许与存储器相联系的微处理器在此期间执行其他的任务。一旦一次字节写入操作完毕，2817A 便将 RDY/$\overline{\text{BUSY}}$线置高，由此来通知微处理器。此时，微处理器又可以对 2817A 进行新的字节读/写操作。

2817A 的工作方式见表 7-6。

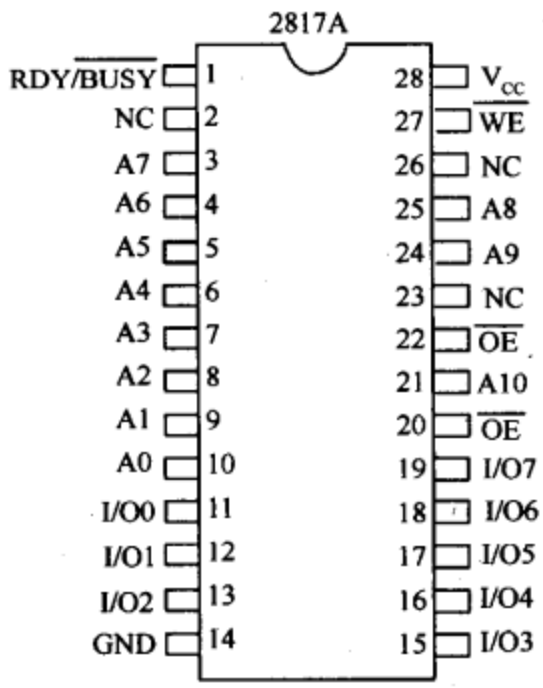


图 7-7　2817A 管脚功能图

表 7-6　2817A 的工作方式

引脚 / 方式	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	RDY/$\overline{\text{BUSY}}$	I/O7～I/O0
读	低	低	高	高阻	输出
维持	高	任意	任意	高阻	高阻
写	低	高	低	低	输入
字节擦除	字节写入之前自动擦除				

2）2864A

Intel 2864A 是 8K×8 位电擦除可编程只读存储器，单＋5V 供电，最大工作电流 160mA，最大维持电流 60mA，典型读出时间 250ns。由于芯片内部设有“页缓冲器”，因而允许对其快速写入。2864A 内部可提供编程所需的全部定时，编程结束可给出查询标志。2864A 为 28 线双列直插式封装，其管脚功能如图 7-8 所示。

2864A 的工作方式见表 7-7。

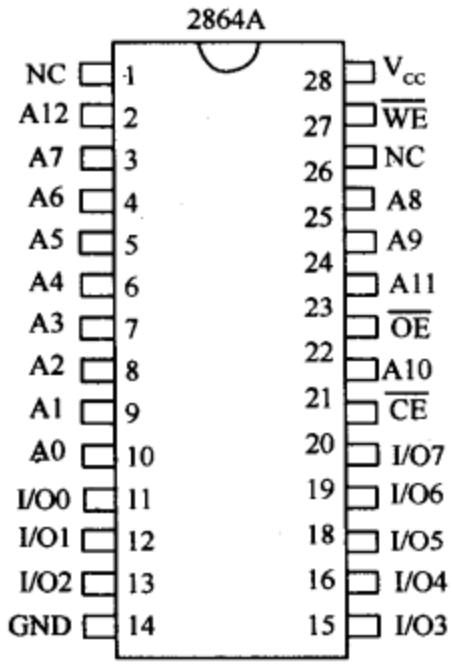


图 7-8　2864A 管脚功能

表 7-7　2864A 的工作方式

引脚 / 方式	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7～I/O0
读	低	低	高	输出
维持	高	任意	任意	高阻
写	低	高	负脉冲	输入

2864A 提供了两种数据写入操作方式：字节写入和页面写入。

(1)字节写入。2864A 的字节写入特性与前面介绍的 2817A 字节写入特性完全相同。

(2)页面写入为了提高写入速度，2864A 片内设置了 16 字节的“页缓冲器”，并将整个存储器阵列划分成 512 页，每页 16 字节。因此，页的区分可由地址的高 9 位(A4～A12)来确定。地址线的低 4 位(A0～A3)用以选择页缓冲器中的 16 个地址单元之一。把数据写入 2864A 的存储单元可分成两步来完成：第一步，在软件控制下把数据写入页缓冲器，此过程称之为“页加载”周期；第二步，2864A 在内部定时电路控制下，把页缓冲器的内容送到地址指定的 E^2PROM 单元内，即为“页存储”周期。

四、典型 Flash ROM 快闪存储器芯片介绍

下面以常见的 Flash ROM 快闪存储器 AT29C020 为例进行介绍。

AT29C020 是 ATMEL 公司生产的 256K×8 的 FLASH ROM 芯片，其管脚功能如图 7-9 所示。

AT29C020 采用单 5V 供电，由于 AT29C020 的容量为 256K×8，所以需要 18 根地址线来寻址，也即图中 A0～A17，而其输出是 8 位并行输出，需要 8 位双向数据线，即 DQ0～DQ7，另外图中还有几个用于控制芯片工作状态的引脚。WE#引脚是控制芯片写入的使能端，OE#引脚是控制芯片输出数据的使能端，这两个引脚控制芯片在选中后的工作状态，CE#引脚为芯片的片选端。当处理器需要对该芯片进行读写操作时，首先必须选中该芯片，即在 CE#端送出低电平，然后，再根据是读指令还是写指令，而将相应的 CE#引脚或 WE#引脚拉至低电平，同时微处理器要通过 A0～A17 地址线送出待读取或写入芯片指定的存储单元的地址，AT29C020 芯片就将该存储单元中的数据读出到数据线 DQ0～DQ7 上，或者将数据线 DQ0～DQ7 上的数据写入到指定的存储单元中，从而就完成了一次读或写操作。

AT29C020 的工作方式见表 7-8。

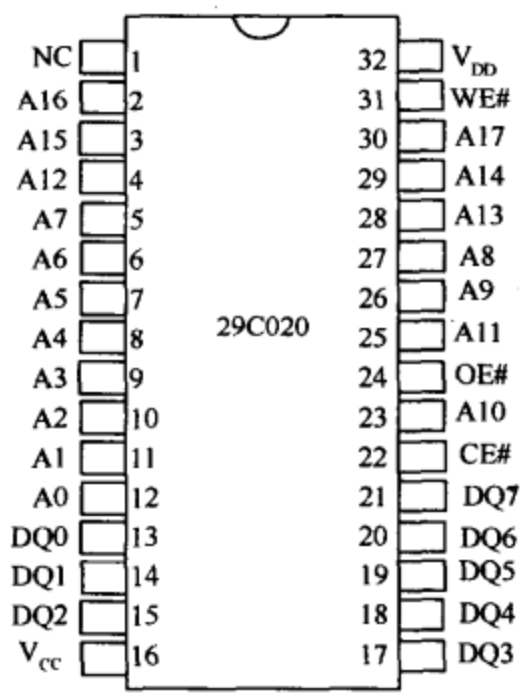


图 7-9　AT29C020 管脚功能图

表 7-8　AT29C020 的工作方式

方式 \ 引脚	CE#	OE#	WE#	DQ7～DQ0
读	低	低	高	输出
维持	高	任意	任意	高阻
写	低	高	低	输入

阅读材料:只读存储器在微机中的应用

在微机的发展初期,BIOS 都存放在 ROM 中。ROM 内部的资料是在 ROM 的制造工序中,在工厂里用特殊的方法被烧录进去的,其中的内容只能读不能改,一旦烧录进去,用户只能验证写入的资料是否正确,不能再作任何修改。如果发现资料有任何错误,则只有舍弃不用,重新订做一份。ROM 是在生产线上生产的,由于成本高,一般只用在大批量应用的场合。

由于 ROM 制造和升级的不便,后来人们发明了 PROM。最初从工厂中制作完成的 PROM 内部并没有资料,用户可以用专用的编程器将自己的资料写入,但是这种机会只有一次,一旦写入后也无法修改,若是出了错误,已写入的芯片只能报废。PROM 的特性和 ROM 相同,但是其成本比 ROM 高,而且写入资料的速度比 ROM 的量产速度要慢,一般只适用于少量需求的场合或是 ROM 量产前的验证。

EPROM 芯片可重复擦除和写入,解决了 PROM 芯片只能写入一次的弊端。EPROM 有两种,一种是不带窗口的,其特性和 PROM 类似,在专用编程器上只能写入一次,如果写错了,芯片只能报废,这种芯片在各种显卡、声卡和以前的解压卡上都能见到,由于使用不便,我们平常意义上的 EPROM 一般是指带窗口的 EPROM,这种 EPROM 芯片有一个很明显的特征,在其正面的陶瓷封装上,开有一个玻璃窗口,透过该窗口,可以看到其内部的集成电路,紫外线透过该孔照射内部芯片就可以擦除其内的数据,完成芯片擦除的操作要用到 EPROM 擦除器。EPROM 内资料的写入要用专用的编程器,并且往芯片中写内容时必须要加一定的编程电压(V_{pp}=12V～25V,随不同的芯片型号而定)。EPROM 的型号是以 27 开头的,EPROM 芯片在写入资料后,还要以不透光的贴纸或胶布把窗口封住,以免受到周围的紫外线照射而使资料受损。

鉴于 EPROM 升级不便,Intel 公司推出了 E^2PROM,即 P28F 系列芯片,E^2PROM 的擦除不需要借助于其他设备,它是以电子信号来修改其内容的,而且是以字节(Byte,B)为最小修改单位,不必将资料全部洗掉才能写入。E^2PROM 在写入数据时,仍要利用一定的编程电压,此时,只需用编程器按照厂商提供的专用刷新程序就可以轻而易举地改写内容,所以,它属于双电压芯片。现在生产的部分电脑主板上的 BOIS 芯片,仍然采用 E^2PROM芯片,这是因为,E^2PROM 芯片具有双电压特性,可以使 BIOS 具有良好的防毒功能,在升级时,把跳线开关打至“ON”的位置,即给芯片加上相应的编程电压,就可以方便地升级;平时使用时,则把跳线开关打至“OFF”的位置,防止 CIH 类的病毒对 BIOS 芯片的非法修改。

众所周知,为了方便用户自己能更新 BIOS 版本,以便使主板能支持新的硬件,现在市场上大多数主板 BIOS 芯片都采用了 Flash ROM,Flash ROM 则属于真正的单电压芯片,在使用上很类似 E^2PROM,因此,有些书籍上便把 Flash ROM 作为 E^2PROM 的一种。事实上,二者还是有差别的。Flash ROM 在擦除时,并非以 Byte 为基本单位,而是以 Sector 为最小单位,Sector 的大小随厂商的不同而有所不同;只有在写入时,才以 Byte 为最小单位写入;Flash ROM 芯片的读和写操作都是在单电压下进行,只利用专用程序即可方便地修改其内容;Flash ROM 的存储容量普遍大于 EPROM,另外,由于大批量生产,Flash ROM 价格也比较合适,很适合用来存放程序码,近年来已逐渐取代了 E^2PROM。Flash 并非十分十美,由于采用单电压,可随意改写,因此,广泛应用于电脑主

板上的 Flash ROM(BOIS 芯片)已成为 CIH 攻击的主要目标。CIH 等病毒的出现,打破了病毒不能“破坏”计算机硬件的神话。

第三节　随机存储器

随机存储器(RAM)可随时从其中任一指定地址读出(取出)或写入(存入)数据。按照存储机理的不同,RAM 又可分为静态 RAM(SRAM)和动态 RAM(DRAM)。RAM 使用灵活方便,但是 RAM 具有易失性,一旦失电,所存储的数据立即丢失。

一、随机存储器的结构

随机存储器(RAM)主要由地址译码器、读/写控制电路、片选控制和存储矩阵等部分组成,如图 7-10 所示。

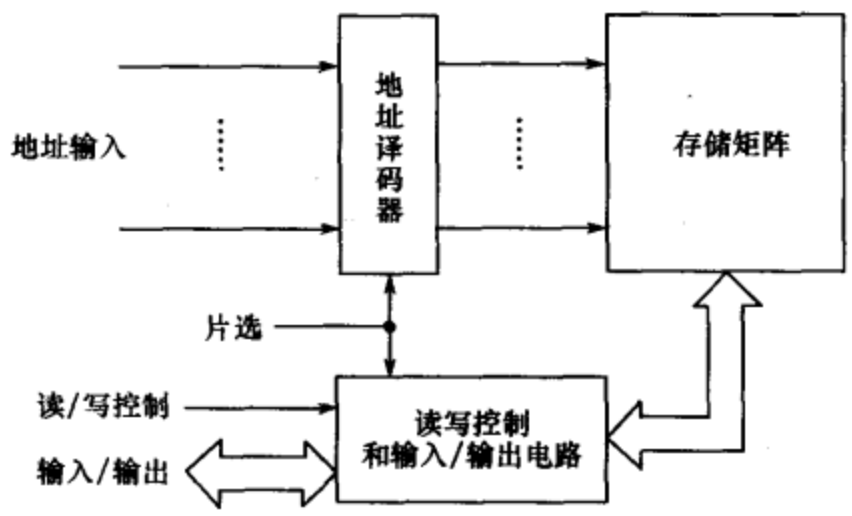


图 7-10　随机存储器的结构

1)地址译码

存储器的每个存储单元都有地址,每次访问存储器只能与存储器中的某一个存储单元发生数据交换,微处理器发出访问存储器中某一存储单元的指令后,通过地址译码器找到该指定的存储单元。具体地讲,地址译码器将从存储器外部输入的二进制地址码进行译码,在译码器相应的某一条输出线上给出信号,控制被选中的存储单元与存储器输入/输出端接通,以便读出该存储单元的数据或将数据写入该单元。

2)读/写控制

访问随机存储器时,对于被选中地址的存储单元,是进行写入操作还是读出操作,要由读/写控制线进行控制。有的随机存储器的读/写控制线为高电平读、低电平写。也有的随机存储器的读/写控制线是分开的,一条为读,另一条为写。

3)输入/输出接口电路

输入/输出接口电路是存储器数据进出的通道,随机存储器通过输入/输出电路与微处理器交换信息,在进行读操作时这一接口是存储器的输出端,在写入时这一接口是输入端,一线进出二用,由读/写控制线控制。存储器中的输入/输出端数目决定于存储单元的位数。

4)片选控制

由于集成度的限制,通常需要把多片随机存储器组装在一起,才能构成微处理器的存储器。微处理器在访问存储器时,一次只与一片随机存储器交换信息,而与其他片随机存储器不发生联系,片选信号就是用来实现这种控制的。当某一片的片选信号为有效低电平时,则该片被选中。

5)存储矩阵(存储器)

随机存储器中的存储单元通常被排列成矩阵形式,称为存储矩阵。地址译码器的输出信号,控制着存储矩阵与输入/输出端的连接状态,被选中的存储单元就接通,未被选中的存储单元就处于断开的状态。

二、静态和动态随机存储器

1)静态随机存储器

采用静态存储单元构成的随机存储器称之为静态随机存储器(SRAM),静态存储器电路结构复杂、所用管子数目多、功耗大、工作速度低,其优点是:只要不断电,只要不对存储单元进行改写,静态存储单元所存储的信息就不会丢失。

2)动态随机存储器

采用动态存储单元构成的随机存储器称之为动态随机存储器(DRAM),动态存储单元与静态存储单元不同,即使不断电,但一段时间后如果不对原信息进行刷新,存储单元所存储的原信息就会丢失,所以动态随机存储器存在一个刷新的问题。所谓刷新,是指每经过一段时间(MOS 管电路约为 20ms),要对所保存的信息全面进行一次重写,这种周期性的重复重写,就是刷新。

动态随机存储器功耗小、工作速度快、存储单元所用的元器件数目较少,更能适应制成大规模集成电路。但是,动态随机存储器需要刷新电路,使这种存储器的外围电路比较复杂。另外,在动态随机存储器进行刷新期间,不能对存储进行读出和写入操作,使存储器的有效利用时间受到限制。

三、RAM 容量的扩展

在数字系统或计算机中,单个存储器芯片往往不能满足存储容量的要求,因此,必须把若干个存储器芯片连接在一起,以扩展存储容量。扩展存储容量的方法可以通过增加字长(位数)或字数来实现。存储器的字数通常采用 K、M 或 G 为词头,其中 $1K=2^{10}=1024$,$1M=2^{20}=1024K$,$1G=2^{30}=1024M$。

1)位数的扩展

存储器芯片的字长多数为 1 位、4 位、8 位等。当实际的存储系统的字长超过存储器芯片的字长时,需要进行位扩展。

位扩展可以利用芯片的并联方式实现,图 7-11 所示是用 8 片 1024×1 位的 RAM 扩展为 1024×8 位 RAM 的存储系统框图。图中 8 片 RAM 的所有地址线、R/$\overline{W}$、$\overline{CS}$分别对应并接在一起,而每一片的 I/O 端作为整个 RAM 的 I/O 端的一位。

ROM 芯片上没有读/写控制端 R/W,位扩展时其余引出端的连接方法与 RAM 相同。

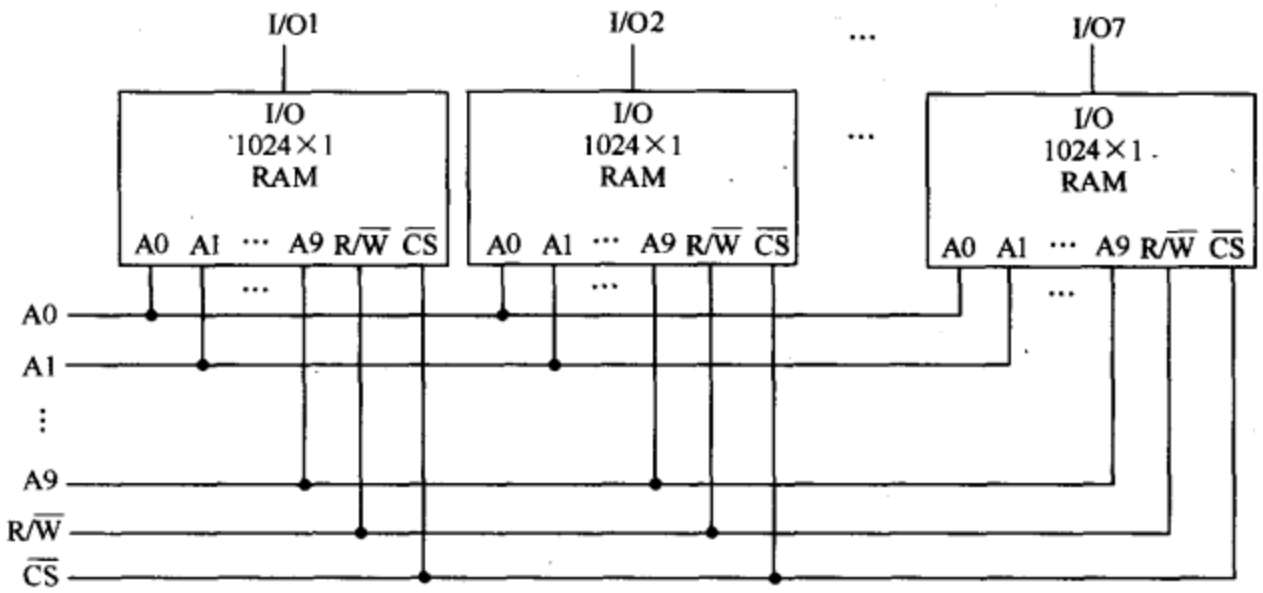


图 7-11　RAM 的位扩展连接法

2)字数的扩展

字数的扩展可以利用外加译码器控制芯片的片选(CS)输入端来实现。图 7-12 所示是用字扩展方式将 4 片 256×8 位的 RAM 扩展为 1024×8 位 RAM 的系统框图。图中，2—4 译码器(74LS139)的输入是系统的高位地址 A9、A8，其输出是各片 RAM 的片选信号。若 A9A8=01，则 RAM(2)片的$\overline{CS}$=0，其余各片 RAM 的$\overline{CS}$均为 1，故选中第 2 片。只有该片的信息可以读出，送到位线上，读出的内容则由低位地址 A7～A0 决定，显然，4 片 RAM 轮流工作，任何时候，只有 1 片 RAM 处于工作状态，整个系统扩大了 4 倍，而字长则为 8 位。

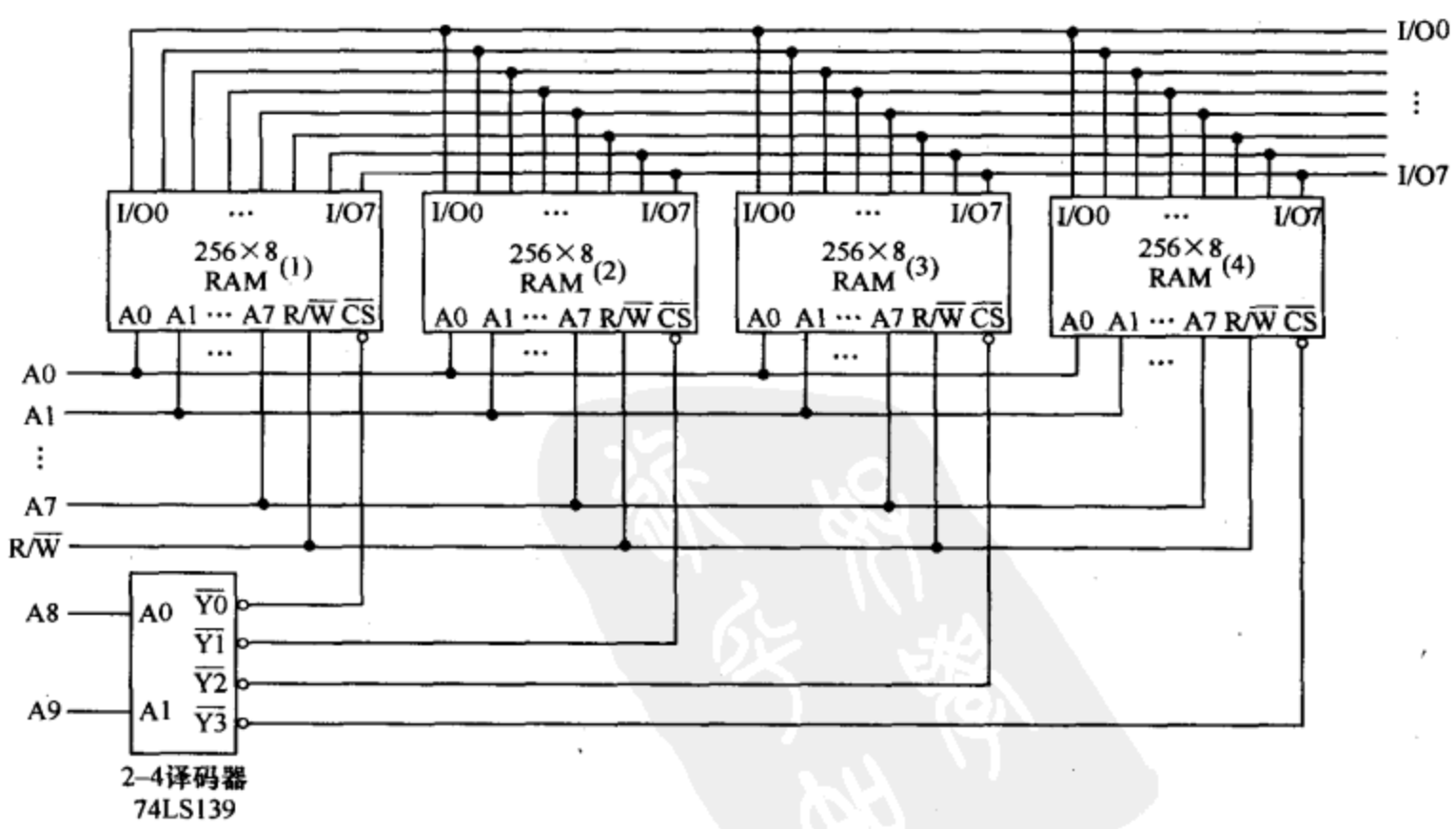


图 7-12　RAM 的字扩展

ROM 的扩展方法与上述相同。

实际应用中，常将两种方法相互结合，以达到字和位均扩展的要求。可见，无论需

要多大容量的存储系统，均可利用容量有限的存储器芯片，通过位数和字数的扩展来实现。

四、随机存取存储器芯片介绍

目前，市场上的 RAM 品种繁多，且没有一个统一的命名标准。不同厂商生产的功能相同的产品，其型号也不尽相同。这里仅以 RAM6116 存储器为例简要进行介绍。

图 7-13 所示是 RAM6116 引脚功能图，$\overline{CS}$是片选端，$\overline{OE}$是输出使能端，$\overline{WE}$是写入控制端，A0～A10 是地址码输入端，D0～D7 是数码输出端。

表 7-9 是 6116 工作方式与控制信号的关系，读出与写入线是分开的，而且写入优先。

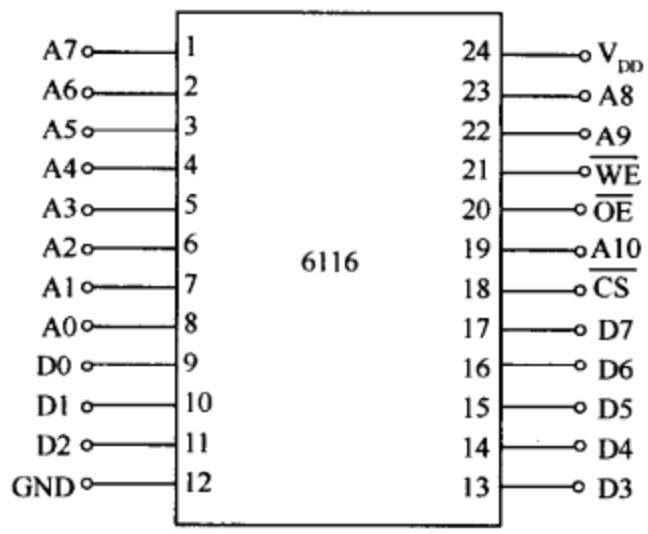


图 7-13　RAM6116 引脚功能图

表 7-9　6116 工作方式与控制信号的关系

输入				工作方式	I/O
$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	A0～A10		D0～D7
高	任意	任意	任意	低功耗维持	高阻
低	低	高	稳定	读	输出
低	任意	低	稳定	写	输入

第四节　微控制器简介

自 1946 年世界上第一台电子计算机在美国诞生至今，不过 50 多年的历史。然而它发展之迅速，普及之广泛，对整个人类社会和科学技术影响之深远，是任何其他学科所不及的。50 多年来，计算机的发展经历了从电子管计算机发展到晶体管计算机，再到集成电路计算机，目前已发展到以大规模和超大规模集成电路为主要特征的计算机，运算速度为每秒数百亿次甚至数千亿次的巨型机也已投入运行。计算机已从早期的数值计算、数据处理发展到目前的进行知识处理的人工智能阶段，不仅可以处理文字、字符、图形图像信息，而且可以处理音频、视频信息。

在推动计算机技术发展的诸多因素中，除计算机系统结构和计算机软件技术的发展起着重大作用外，电子技术特别是微电子技术的发展起着决定性作用。20 世纪 70 年代初，随着大规模集成电路(LSI)的出现并开始商品化，已将原来体积很大的中央处理器(CPU)电路集成在一个面积仅为十几平方毫米的半导体芯片上，称为微处理器(Microprocessor)，简称 MPU。由于中央处理器与微处理器功能相同，所以一般也将微处理器称为 CPU。

以微处理器为核心，配置半导体存储器(RAM，ROM)、输入/输出接口电路(简称 I/O 接口电路)、系统总线及定时器/计数器等电路，并把它们做成一块大规模集成电路，称为单片微型计算机(简称单片机)，由于单片微型计算机的设计时充分考虑了控制上的需

要，它具有独有的硬件结构、指令系统和多种输入/输出能力，提供了十分有效的控制功能，所以称之为微控制器。

目前，有些微控制器将 A/D(模/数转换)、D/A(数/模转换)电路也集中在芯片内，以进一步加强微控制器的功能。

一、微控制器的分类

微控制器按位数可分为 4 位、8 位、16 位等。微控制器按照工艺可分为 PMOS、NMOS 和 CMOS(包括 CHMOS)等 3 种。微控制器按用途可分为通用型和专用型两类。

通用型微控制器就是通常所说的各种系列的单片机(51 系列单片机等)，它把可开发的资源(ROM，I/O 接口等)全部提供给用户，用户可根据自己应用的需要来设计接口和编制程序，因此适应性较强，应用较广泛。

专用型微控制器是根据某种具体的控制要求进行针对性设计，特别是软件部件只能用于指定的控制功能，家电产品(如彩电、DVD 机等)上的微控制器大多为专用型。

二、微控制器硬件基本结构

图 7-14 是微控制器硬件组成框图。由图可见，一个最基本的微控制器主要由下列几部分组成。

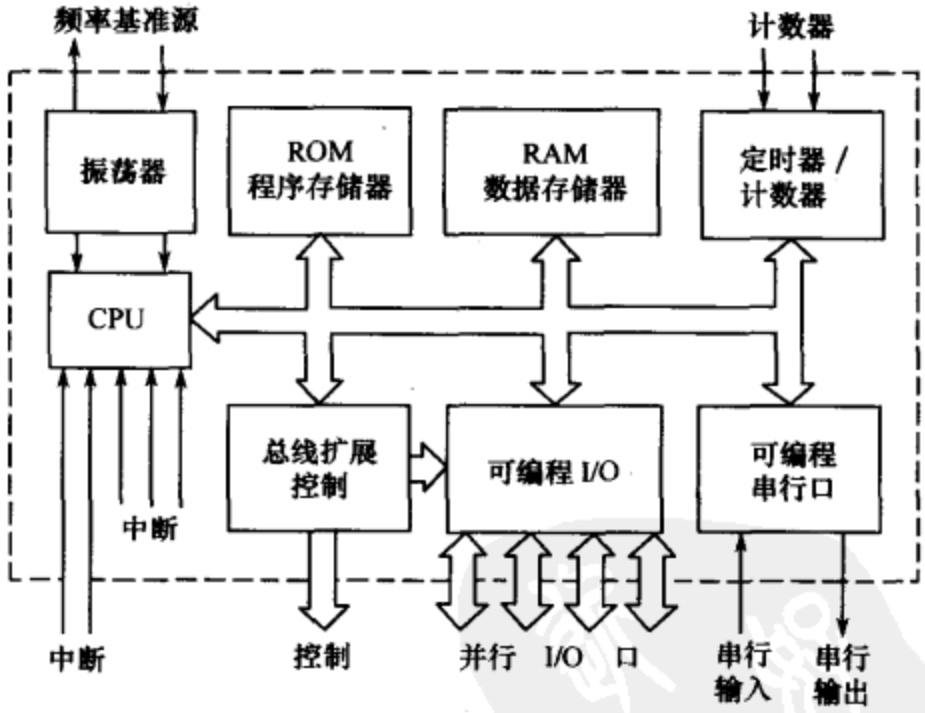


图 7-14　微控制器硬件组成框图

1. CPU(中央处理器)

CPU 在微控制器中起着核心作用，微控制器的所有操作动作指令的接收和执行指令、各种控制功能、辅助功能都是在 CPU 的管理下进行的。同时，CPU 还要担任各种运算工作。

图 7-15 所示是 CPU 的组成框图，各单元电路可以归纳成为 3 类：一是算术逻辑部件；二是寄存器阵列；三是指令处理单元。它们都挂在内部总线上。CPU 对外引出端分别为地址总线(AB)、数据总线(DB)和控制总线(CB)。

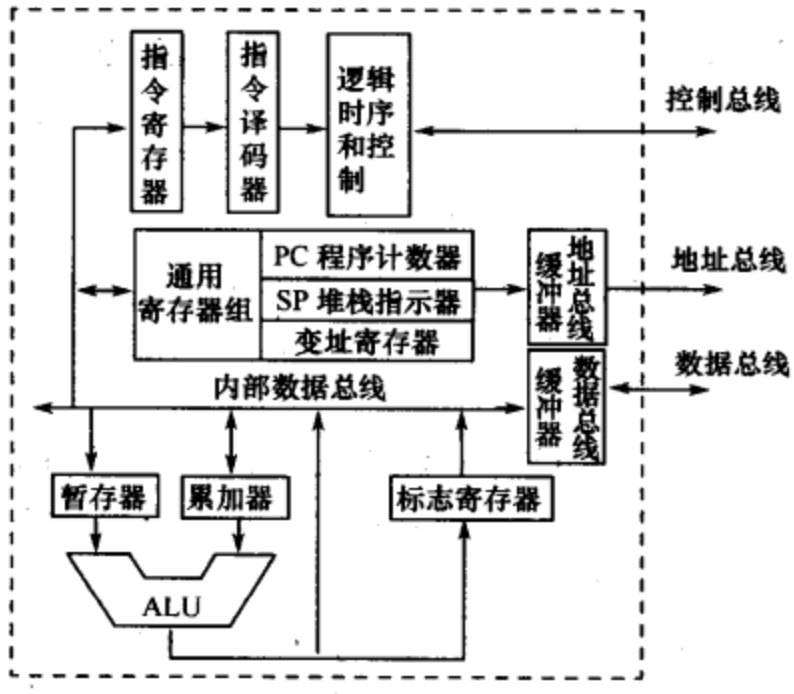


图 7-15　CPU 的组成框图

1)算术逻辑部件

算术逻辑部件(ALU)由全加器组成。它的主要任务是执行算术运算、逻辑运算及移位等操作。ALU 有两个输入端:一个与累加器相连,另一个与暂存器相连。参与运算的两个操作数分别在累加器和暂存器中。ALU 的输出端也有两个:一个将操作结果送回到内部总线,经内部总线送到累加器或其他寄存器;另一个用来输出表示操作结果特征的标志信息。

2)寄存器阵列

寄存器阵列是 CPU 的重要组成部分,可以存放数据和地址。CPU 内部大量使用寄存器的目的在于提高计算机的功能,增强程序设计的灵活性。使用的寄存器多,可以减少访问存储器的次数和时间,但寄存器太多,将导致为寄存器编码的地址码位数增加,从而使指令长度增长。CPU 内部寄存器的数量与类型视具体的微处理器而定。一般包括通用寄存器、累加器、标志寄存器和专用寄存器(如程序计数器 PC、堆栈指示器 SP、变址寄存器、地址寄存器等)。

(1)通用寄存器组。通用寄存器可以存放数据和地址。对 8 位 CPU 而言,每个寄存器由 8 位触发器组成,如果是 16 位 CPU,则寄存器为 16 位。由于 CPU 可以直接处理这些信息,故可以减少访问存储器的次数,从而节省访问内存的时间。由于这类寄存器的作用并不做预先规定,故称之为通用寄存器组。

(2)累加器。它也是数据寄存器。累加器往往与 ALU 单元一起完成各种算术或逻辑运算。运算前,它作为运算器的一个输入,运算后它常用来保存运算结果。在指令的操作下,可对累加器中的内容进行移位、比较及各种运算。CPU 对存储器或 I/O 接口电路的读出或写入一般也是通过累加器进行的。

(3)标志寄存器。进行算术运算或逻辑运算时,可能会发生进位、溢出、全零、符号及奇偶性等状态的变化,运算后又往往需要保存这些状态的变化。为此,在 CPU 中都设置了标志寄存器。标志寄存器中所存储的状态将作为一种条件,用于判断是否控制程序转

移。常用的状态标志有：进位标志位 C、零标志位 Z、符号标志位 S、奇偶位 P、溢出位 O 和辅助进位位 A(或称半进位)等。

(4)专用寄存器。专用寄存器主要有以下几种：

①程序计数器 PC。它是指令地址寄存器。它的内容指出了现行指令在存储器中的存放地址，当按此地址从存储器中取出指令时，程序计数器的内容便自动加 1，从而指向下一条指令所在的地址(对单字节指令)。如果是多字节指令，则每取一个字节，PC 便自动加 1；当取出最后一个指令字节时，PC 仍指向下一条指令所在的地址。

②堆栈指示器 SP。SP 用于确定在堆栈操作时，堆栈在内存中的具体位置。

③变址寄存器。用于变址寻址方式，也可做通用寄存器使用。

另外，在 CPU 内部，还有一些程序员不能访问的内部工作寄存器，如指令寄存器、暂存器、地址缓冲器和数据缓冲器等。

3)指令处理单元

指令处理单元负责对指令进行译码和处理。它一般包括：

①指令寄存器。它用来暂存被译码处理的指令。

②指令译码器。它负责对指令进行译码，通过译码获知该指令属于什么功能的指令。

③时序和控制逻辑。它根据指令要求，按一定的时序发出并接收各种信号，目的是控制、协调整个系统完成指令所要求的操作，包括发送系统定时控制信号、发送 CPU 的状态和应答信号、接收外界的请求信号和联络信号等。

2. 存储器

微控制器内部的存储器包括两个部分：一是 ROM，它用来存储程序；二是 RAM，它用来存储数据。

所谓程序就是根据所要解决问题的要求，应用指令系统中所包含的指令，编成一组有次序的指令集合。

所谓数据就是微控制器工作过程中的信息、变量、参数、表格等，例如传感器反馈回来的反馈信息。

在一个具体的微控制器中，程序是固定不变的，但数据是可变的。固定不变的程序由 ROM 存储器来存放，ROM 内除存放应用程序外，还要存放程序中用到的常数和表格，这里程序、常数、表格被永久性地存放在 ROM 中，无法改变。

RAM 用于在程序运行期间存储工作变量和数据，在微控制器工作过程中，这些数据可能被要求改写，所以 RAM 中存放的内容是随时可以改变的。

3. 输入/输出(I/O)接口

输入/输出接口电路是指 CPU 与外部电路、设备之间连接通道及有关的控制电路。由于外部电路、设备的电平大小、数据格式、运行速度、工作方式等均不统一，一般情况是不能与 CPU 相兼容的(即不能直接与 CPU 连接)，这些外部的电路和设备只有通过输入/输出接口的桥梁作用，才能相互之间进行信息传输、交流和使 CPU 与外部电路、设备之间协调工作。

输入/输出接口种类繁多，不同的外部电路和设备需要相应的输入/输出接口电路，可利用编制程序的方法具体确定接口的工作方式、功能和工作状态。

输入/输出接口可分成两大类：一是并行输入/输出接口；二是串行输入/输出接口。

1)并行输入/输出接口

并行输入/输出接口的每根引线可灵活地选做输入引线或输出引线。有些输入/输出引线适合于直接与其他(如发光二极管显示器)电路相连,有些接口能够提供足够大的驱动电流,使与外部电路和设备接口时使用起来非常方便。有些微控制器允许输入/输出接口作为系统总线来使用,以外扩存储器和输入/输出接口芯片。

2)串行输入/输出接口

串行输入/输出接口是最简单的电气接口,和外部电路、设备进行串行通信时只需使用较少的信号线。

4. 定时器/计数器

在微控制器的许多应用中,往往需要进行精确的定时和产生方波信号,这由定时器/计数器电路来完成。

有的定时器还具有自动重新加载的能力,这使得定时器的使用更加灵活方便,利用这种功能很容易产生一个可编程的时钟。

此外,定时器还可作为一个事件计数器,当工作在计数器方式时,可从指定的输入端输入脉冲,计数器对其进行计数运算。

5. 振荡器

振荡器用来产生时钟信号,以便使微控制器在某一时刻只做一个动作,以实现电路的有序工作。振荡器一般由微控制器内部的时钟电路和外接的晶振和 RC 元件组成。

6. 系统总线

微处理器的上述 5 个基本部件电路之间通过地址总线(AB)、数据总线(DB)和控制总线(CB)连接在一起,再通过输出/输入接口与微处理器外部的电路连接起来。如图 7-16 所示。

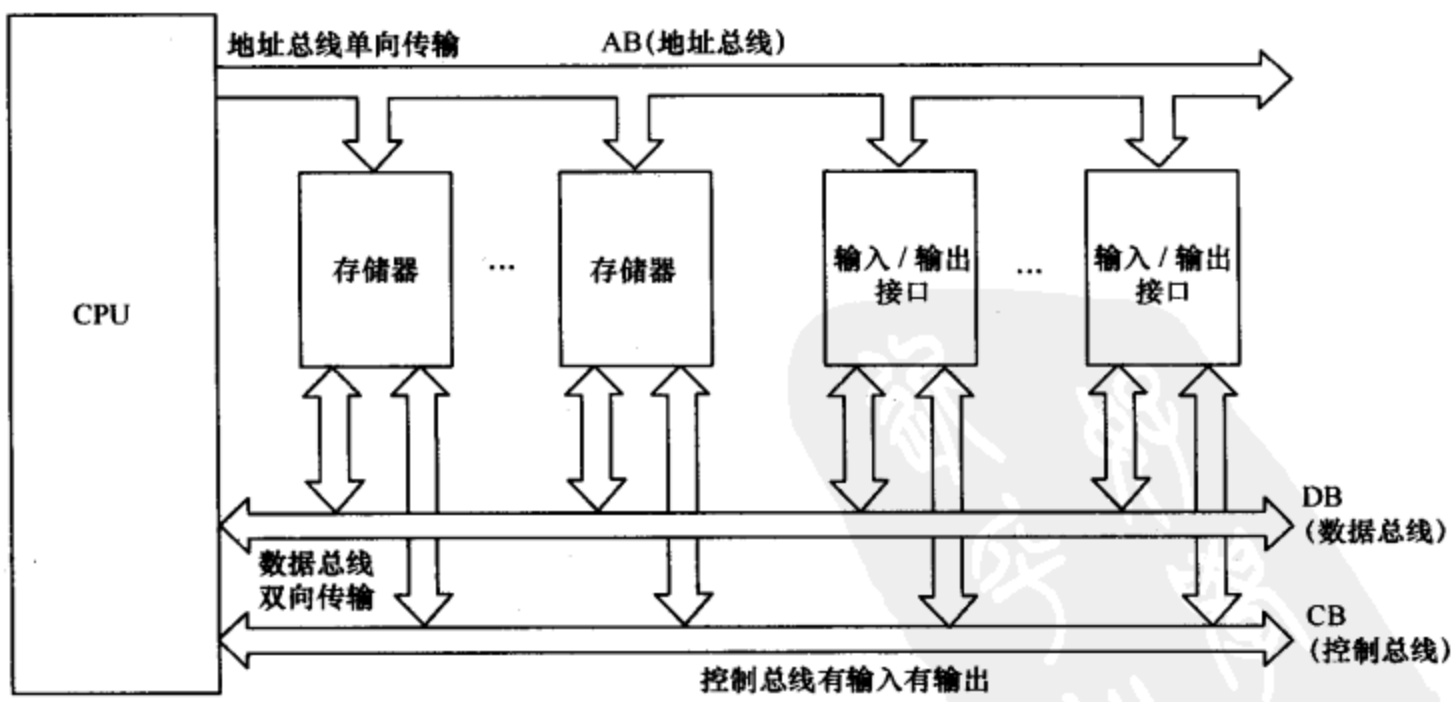


图 7-16　系统总线示意图

1)地址总线

地址总线用 AB 表示,AB 是英文 Address Bus 的缩写。地址总线用来由 CPU 向存储器(ROM)单元和输入/输出接口发送(传输)地址信息,由于存储器单元和输入/输出接

口是不会向 CPU 传输信息的，所以地址总线(AB)是单向传输总线。

在微控制器中使用了能够存储大量信息的存储器，存储器如同一间很大的仓库，在库房内分隔成许多单元，不同的单元存放着各种参数、表格和程序，如果是一个 64K 的存储器，它共分成了 $2^{16}=65536=64K$ 个存储单元。为了能够方便地找到这 64K 单元中某一个单元中的内容，必须给这 64K 单元编上相应的号，就像编制“门牌号码”一样，这些“门牌号码”就是地址，地址是用二进制代码表示的地址码。

CPU 要发出的地址信息就是通过地址总线(AB)去访问存储器的某一个单元。同理，输入/输出接口在微控制器中也有许多(但远没有存储单元多)，它们也有相应的地址代码，CPU 发出的地址信息也是通过地址总线(AB)传输到某一个输入/输出接口。

一个 8 位(8bit)的微控制器，其地址总线(AB)数目一般为 16 根，一般用 A0～A15 表示，这 16 根地址通信线可以寻址的存储单元数目是 $2^{16}=65536=64K$。输入/输出接口的数目比较少，一般只用 A0～A15 中的 8 根，它可以寻址的数目是 $2^8=256$。

地址总线的位数决定了所用微控制器的最大寻址空间。在微控制器的位数(即几位的微控制器)和地址总线数(AB)决定后，内部存储器(称为内存)的最大容量也就确定了。但是，这些内部存储容量往往不能满足微控制器工作的需要，这时就需要外部存储器(称为外存)。

2)数据总线

数据总线用 DB 表示，DB 是英文 Data Bus 的缩写。数据总线用来在 CPU 与存储器、输入/输出接口和其他电路之间传输数据。由于数据可以从 CPU 传输到内部存储器、输入/输出接口，也可反方向传输到 CPU 中，所以数据总线(DB)是双向传输的总线，与地址总线(AB)不同。

数据总线的根数与微控制器的位数相对应，一个 8 位(8bit)的微控制器，其数据总线(DB)数目一般为 8 根，分别用 D0～D7 表示。

3)控制总线

控制总线用 CB 表示，CB 是英文 Control Bus 的缩写。控制总线是用来传输控制信息的，例如传送中断请求、定时脉冲和读写操作等。控制总线(CB)是单向传输的，但是对 CPU 来讲，根据各种控制信息的具体情况，有的是输入信息，有的是输出信息。

三、微控制器的软件系统

前面介绍的各种部件、电路称之为微控制器系统中的硬件。所谓硬件就是指能够看得到的有形元器件、部件、电路，例如上面所介绍的 CPU、存储器、接口电路等。微控制器能够正常而高效地工作只有硬件是根本不行的，必须要有相应的软件来支持，要使微控制器进行各种计算或处理，必须给微控制器编制各种各样的程序。所谓软件就是为了进行管理、维修和开发各种微控制器所编制的各种各样程序的总和。

微控制器之所以能够脱离人的直接干预，而能够自动地进行各种事件约定的无人操作，就是因为软件起了作用。在对一种微控制器系统进行设计时，已经将解决各种问题、实现各种自动操作的步骤、方法等，用指令编成了程序，事先送进了微控制器。微控制器在执行时，只要将指令一条条取出来，加以译码，变成相应的控制信号，就可以控制微控制器一步步地运行。

四、微控制器工作过程

微控制器的工作过程就是执行程序的过程，程序由指令序列组成，因此程序的执行过程就是执行指令序列的过程，也就是周而复始地进行取指令、执行指令的过程。

微控制器在开始执行程序时，必须由人工通过微控制器的外部输入设备（如键输入操作）给微控制器具体的操作要求，例如打开机器电源开关或按下某一功能键，微控制就能得到一个指令操作码。这一指令操作码被取到控制器内，因而控制器发了相应的控制信号。而在执行指令阶段，由于不同指令的功能不同，要求机器执行的操作也不同，因而控制器发出的控制信号也随之不同。

1. 程序顺序执行过程

在程序执行前，微控制器先复位，程序计数器（PC）便清零，即初值为零，程序执行时便从零地址开始。如果需要程序从中间某一给定的地址开始执行时，先将该确定的地址赋给程序计数器（PC）作为初值，程序便能从该地址开始执行。无论是程序的哪一种执行，在程序计数器（PC）的 PC 值送出后程序计数器（PC）就自动加 1，为下次送出下一个 PC 值作好了准备，从而顺序地从只读存储器（ROM）中读取指令，这是程序的顺序执行。

2. 中断

中断是一项重要的计算机技术，这一技术在微控制器中得到了充分继承。其实，中断现象不仅在控制器中存在，就是在我们的日常生活中也同样存在，请看下例：

你在看书→电话铃响了→你在书上做个记号，走到电话旁→你拿起电话和对方通话→门铃响了→你让打电话的对方稍等一下→你去开门，并在门旁与来访者交谈→谈话结束，关好门→回到电话机旁，拿起电话，继续通话→通话完毕，挂上电话→从作记号的地方起继续读书。

这是一个很典型的中断现象。从看书到接电话，是一次中断过程，而从打电话到与门外来访者交谈，则是在中断过程中发生的又一次中断，即所谓中断嵌套。为什么会发生上述的中断现象呢？就是因为你在一个特定的时刻，面对着三项任务：看书、打电话和接待来访者。但一个人又不可能同时完成三项任务，因此你只好采用中断方法，穿插着去做。

此种现象同样也可能出现在微控制器中，因为通常微控制器中只有一个 CPU，但在运行程序过程中可能会出现诸如数据输入、数据输出或特殊情况处理等其他的事情要 CPU 去完成，对此，CPU 也只能采用停下一个任务去处理另一任务的中断方法解决。

中断技术在微控制器中得到了广泛的应用。中断技术能实现 CPU 与外部设备的并行工作，提高 CPU 的利用率以及数据的输入/输出效率；中断技术也能对微控制器运行过程中突然发生的故障做到及时发现并进行自动处理，例如：硬件故障、运算错误及程序故障等。

在微控制器中，中断技术还广泛用于实时控制，所谓实时控制，就是要求微控制器能及时地响应被控对象提出的分析、计算和控制等请求，使被控对象保持在最佳工作状态或达到预定的控制效果。例如，DVD 在正常播放过程中，微控制器在执行有关正常播放的程序（这里称为主程序），现要求快速向前搜索，此时微控制器在外部按键操作控制下中断原先播放程序，进入快速向前搜索程序。

五、微控制器的应用

目前，微控制器已渗透到生活的各个领域，几乎很难说哪个领域没有微控制器的踪迹。导弹的导航装置，飞机上各种仪表的控制，计算机的网络通信与数据传输，工业自动化过程的实时控制和数据处理，广泛使用的各种智能 IC 卡，民用豪华轿车的安全保障系统，录像机、摄像机、全自动洗衣机的控制，以及程控玩具、电子宠物等，这些都离不开微控制器；更不用说自动控制领域的机器人、智能仪表、医疗器械了。因此，微控制器的开发与应用将造就一批计算机应用与智能化控制的科学家、工程师。下面简要说明微控制器的主要应用领域。

1. 智能产品方面

微控制器与传统的机械产品相结合，不但可构成智能化的机电一体化产品，而且产品结构大大简化。例如，传真打字机采用微控制器，可以取代近千个机械器件；缝纫机采用微控制器控制，可执行多功能自动操作、自动调速，控制缝纫花样的选择。

2. 智能仪表方面

微控制器具有体积小、功耗低、控制功能强、扩展灵活、微型化和使用方便等优点，广泛应用于仪器仪表中，结合不同类型的传感器，可实现诸如电压、功率、频率、湿度、温度、流量、速度、厚度、角度、长度、硬度、元素、压力等物理量的测量。采用微控制器控制使得仪器仪表实现数字化、智能化、微型化，且功能比采用电子或数字电路更加强大。

3. 家用电器方面

微控制器构成的现代电子系统已深入到各家各户，正改变我们的生活，如家庭中的音响、电视机、洗衣机、微波炉、电话、防盗系统、空调机等。微控制器革新了原有电子系统，例如，微波炉采用微控制器控制后，可方便地进行时钟设置、程序记忆、功率控制；空调机采用微控制器后不但遥控参数设置方便，运行状态自动变换，还可实现变频控制。目前许多家用电器如 VCD、DVD 只有微控制器出现后才可能实现其功能。

智能化家用电器将给我们带来更大的舒适和方便，进一步改善我们的生活质量，把我们的生活变得更加丰富多彩。

4. 网络和通信产品方面

现代的微控制器普遍具备通信接口，可以很方便地与计算机进行数据通信，为在计算机网络和通信设备间的应用提供了极好的物质条件，现在的通信设备基本上都实现了微控制器智能控制，从手机、电话机、小型程控交换机、楼宇自动通信呼叫系统、列车无线通信，再到日常工作中随处可见的移动电话、集群移动通信、无线电对讲机等，都有微控制器在其中发挥着作用。

5. 智能接口方面

较大型的工业测控系统中，除外围装置(打印机、键盘、磁盘、CRT)外，还有许多外部通信、采集、多路分配管理、驱动控制等接口。这些外围装置与接口如果完全由主机进行管理，势必造成主机负担过重，降低执行速度，如果采用微控制器进行接口的控制与管理，微控制器与主机可并行工作，大大地提高了系统的执行速度。例如，在大型数据采集系统中，用微控制器对模拟/数字转换接口进行控制，不仅可提高采集速度，还可对数据进行预先处理，如数字滤波、线性化处理、误差修正等；在通信接口中采用微控制器，可对数据进

行编码主译码、分配管理、接收/发送控制等。

6. 医用设备领域

微控制器在医用设备中的用途亦相当广泛，例如医用呼吸机、各种分析仪、监护仪、超声诊断设备及病床呼叫系统等。

此外，微控制器在工商、金融、科研、教育、国防、航空航天等领域都有着十分广泛的用途。

第八章　DAC 转换器和 ADC 转换器

通常把数字量变成模拟量的装置称为数/模转换器或 DAC 转换器(Digital to Analog Converter),把模拟量变成数字量的装置称为模/数转换器或 ADC 转换器(Analog to Digital Converter)。DAC 转换器和 ADC 转换器是数字系统不可缺少的组成部分。如用微控制器对生产过程进行控制,就必须首先将被控制的模拟量转换为数字量,才能送到微控制器系统中去进行运算和处理,然后又需将运算得到的数字量转换为模拟量,才能实现对被控参数的控制。DAC 和 ADC 转换器的发展方向是集成电路和大规模集成电路。目前已做到把整个转换器的电路集成到一块硅片上,并制成插件形式,使用十分方便。本章主要讲述两方面的内容:一是 DAC 和 ADC 转换器的基本概念及基本原理,二是简要介绍几种典型 DAC 和 ADC 转换器。

第一节　DAC 转换器

数字量是用代码按数位组合起来表示的,对于有权码,每位代码都有一定的位权。为了将数字量转换成模拟量,必须将每一位的代码按其位权的大小转换成相应的模拟量,然后将这些模拟量相加,即可得到与数字量成正比的总模拟量,从而实现了数字—模拟转换。这就是组成 DAC 转换器的基本指导思想。

图 8-1 所示是 DAC 转换器输入、输出关系框图,d0～d(n－1)是输入的 n 位二进制数,u_o 和 i_o 是与输入二进制数成比例的输出电压或电流。

图 8-2 所示是输入为 3 位二进制数时 DAC 转换器的转换特性,它具体而形象地反映了对 DAC 的基本要求。

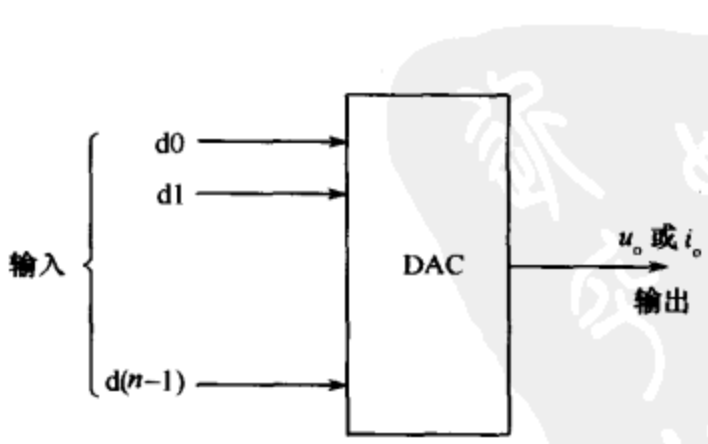


图 8-1　DAC 转换器输入与输出关系图

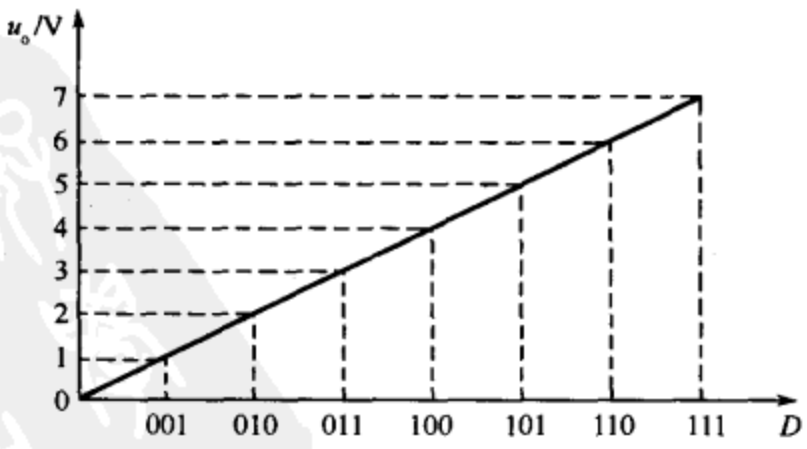


图 8-2　3 位二进制输入时 DAC 的转换特性

一、DAC 转换器的工作原理

1. DAC 转换器的组成

图 8-3 所示是一个 3 位二进制数 DAC 转换器的原理电路图。d2d1d0 是输入的 3 位二进制数，它们控制着由 N 沟道增强型 MOS 管组成的 3 个电子开关 S2、S1、S0，R、2R 组成倒 T 型电阻转换网络，运算放大器完成求和运算，u_o 是输出模拟电压，U_{REF} 是参考电压（也叫做基准电压）。

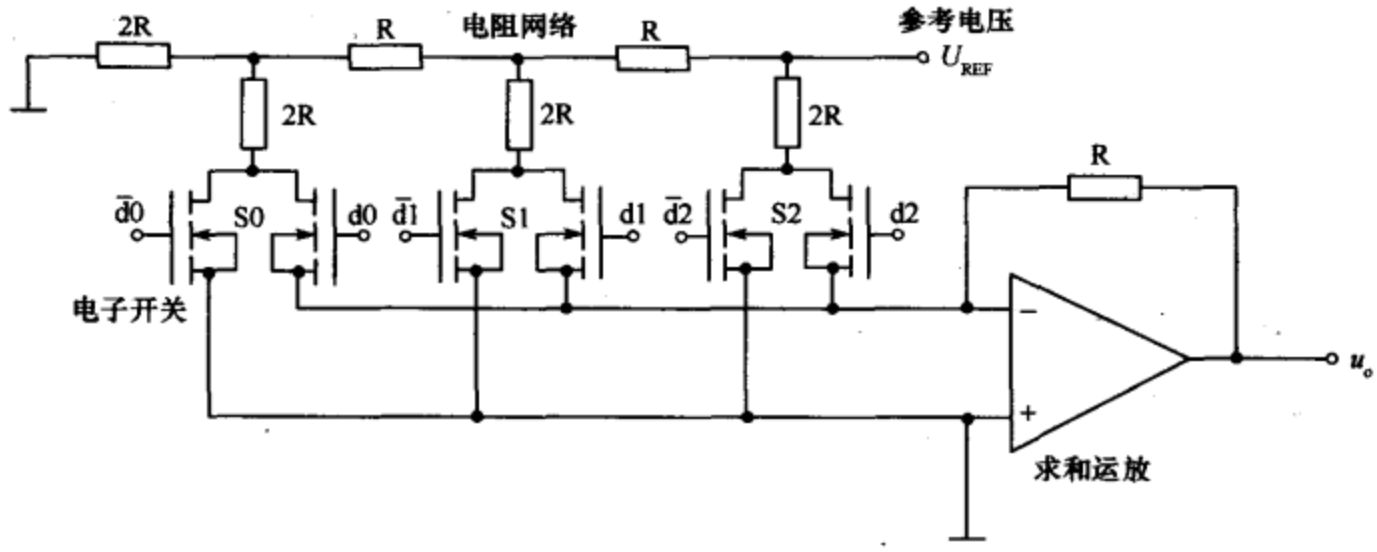


图 8-3　DAC 电路的组成

S2、S1、S0 与 d2、d1、d0 的对应关系是：当 d2＝1，即为高电平时，$\overline{d2}=0$ 为低电平，S2 右边 MOS 导通，左边 MOS 管截止，将相应的 2R 电阻接到运放的反相输入端，反之若 d2＝0即为低电平时，$\overline{d2}=1$ 为高电平，S2 右边 MOS 截止，左边 MOS 管导通，2R 电阻接地；d1、d0 对 S1、S0 的控制作用与 d2 对 S2 的控制作是相同的。

2. DAC 转换电路的工作原理

1）当 d2d1d0＝100 时

图 8-4 所示是 d2d1d0＝100 时的等效电路。由于引入了深度电压负反馈，集成运放工作在线性区，而其同相输入端接地，故其反相输入端为虚地。倒 T 型电阻网络中，无论是从 AA 端、BB 端还是从 CC 端向左看进去，其等效电阻均为 R，由参考电压提供的电流 $I=U_{REF}/R$。

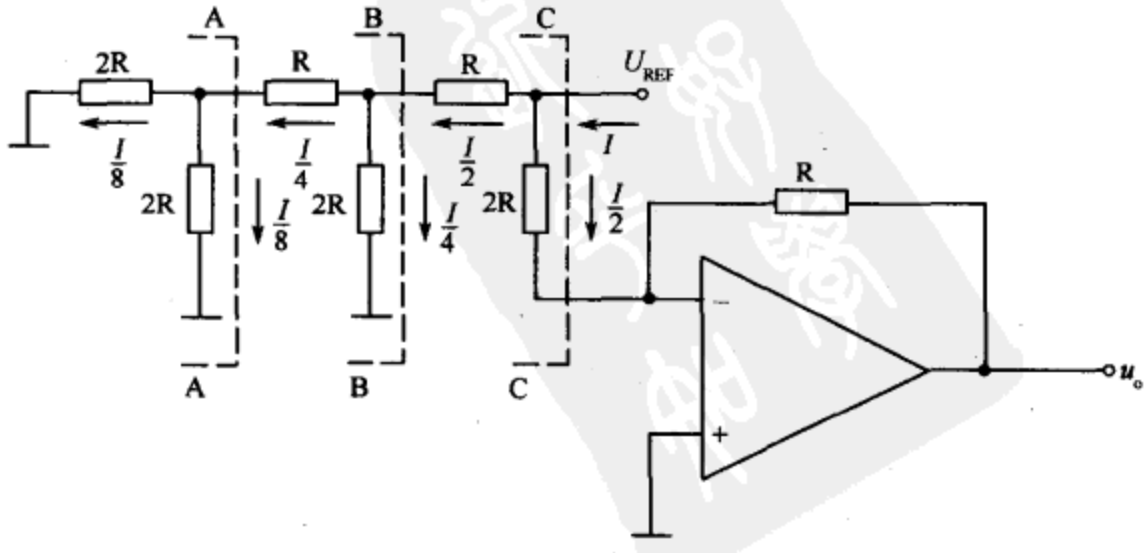


图 8-4　d2d1d0＝100 时的等效电路

当 d2d1d0＝100 时不难发现，流入求和电路的电流为 I/2，由运算放大器的知识可知，输出电压为

$$u_o=-\frac{I}{2}R=-\frac{1}{2}\cdot\frac{U_{REF}}{R}\cdot R=-\frac{U_{REF}}{2}=-\frac{U_{REF}}{2^3}\times1\times2^2$$

2）当 d2d1d0＝110 时

图 8-5 所示是 d2d1d0＝110 时的等效电路，显然，流入求和电路的电流是 $I/2+I/4$，根据运算放大器的知识可知，输出电压为

$$u_o=-\left(\frac{I}{2}+\frac{I}{4}\right)\cdot R=-\left(\frac{1}{2}\cdot\frac{U_{REF}}{R}+\frac{1}{4}\cdot\frac{U_{REF}}{R}\right)\cdot R=-\frac{U_{REF}}{2^3}(1\times2^2+1\times2^1)$$

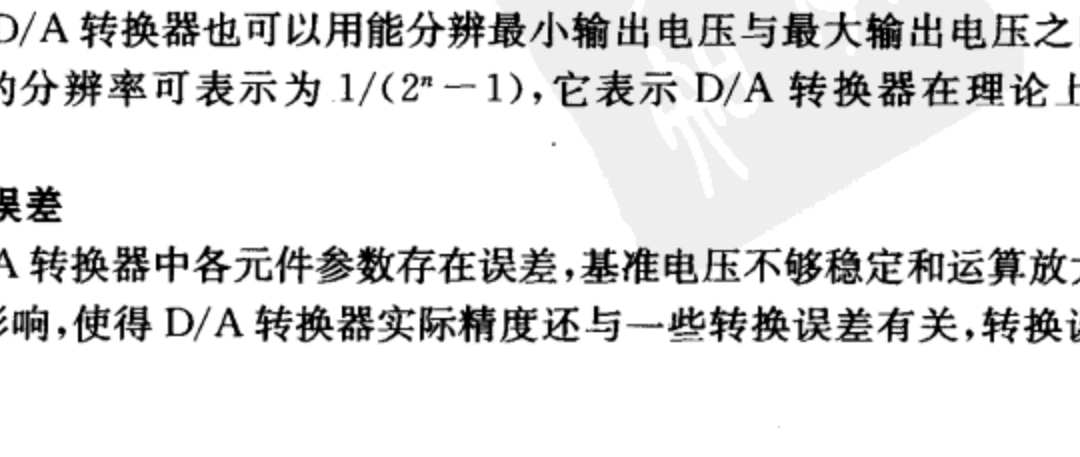


图 8-5　d2d1d0＝110 时的等效电路

3）当 d2d1d0＝111 时

利用上面介绍的方法，可求出当 d2d1d0＝110 时的输出电压为

$$u_o=-\left(\frac{I}{2}+\frac{I}{4}+\frac{I}{8}\right)\cdot R=-\frac{U_{REF}}{2^3}(1\times2^2+1\times2^1+1\times2^0)$$

根据 d2d1d0＝100、110、111 时的分析结果，可得到输出电压的一般表达式为

$$u_o=-\frac{U_{REF}}{2^3}(d2\times2^2+d1\times2^1+d0\times2^0)$$

一般地，当输入 n 位二进制数 D＝d(n－1)d(n－2)…d1d0 时，输出电压为

$$u_o=-\frac{U_{REF}}{2^n}(d(n-1)\times2^{n-1}+d(n-2)\times2^{n-2}+\cdots d0\times2^0)$$

二、DAC 转换器的主要技术指标

1. 分辨率

分辨率用于表征 D/A 转换器对输入微小量变化的敏感程度。其定义为 D/A 转换器模拟量输出电压可能被分离的等级数。输入数字量位数愈多，输出电压可分离的等级愈多，即分辨率愈高。所以在实际应用中，往往用输入数字量的位数表示 D/A 转换器的分辨率。此外，D/A 转换器也可以用能分辨最小输出电压与最大输出电压之比给出。n 位 D/A 转换器的分辨率可表示为 $1/(2^n-1)$，它表示 D/A 转换器在理论上可以达到的精度。

2. 转换误差

由于 D/A 转换器中各元件参数存在误差，基准电压不够稳定和运算放大器的零漂等各种因素的影响，使得 D/A 转换器实际精度还与一些转换误差有关，转换误差主要有以

下几种。

(1)非线性误差。它是由电子开关的导通压降和电阻网络电阻阻值的偏差产生的,常用满刻度的百分数表示。

(2)比例系数误差。它是由参考电压 U_{REF} 偏离规定值引起的,也用满刻度的百分数表示。

(3)漂移误差。它是由运算放大器零点漂移产生的。

3. 建立时间

通常以大信号工作下(输入由全 0 变为全 1 或由全 1 变为全 0),输出电压达到某一规定值所需要的时间,定义为建立时间。

目前,在不包括参考电压源和运算放大器的单片集成 DAC 转换器中,建立时间最短的可达 0.1 μs 以下。而在包含参考电压源和运算放大器的集成 DAC 转换器中,建立时间可短到 1.5μs。

4. 转换速率

DAC 转换器的转换速率用大信号工作状态下输出模拟电压的变化率表示。一般在不包含参考电压源和运算放大器时,集成 DAC 转换器的转换速度可以做得比较高,如果要求整个 DAC 转换器有较高的转换速率,则应选配转换速率较高的运算放大器。

三、集成 DAC 转换器介绍

目前市场上出售的集成 DAC 转换器有两大类:一类器件的内部只包含电阻网络和模拟开关;另一类器件还包含了参考电压源发生电路和运算放大器。因此,在使用前一类器件时,必须外接参考电压源和运算放大器,为了保证 DAC 转换器的转换精度和速度,应注意合理地确定对参考电压源稳定度的要求,选择零点漂移和转换速率都恰当的集成运算放大器。

1. 8 位 DAC 转换器 DAC0830/0831/0832

DAC0830/0831/0832 是 8 位分辨率的 D/A 转换集成芯片,可以相互代换,这个系列的芯片以其价格低廉、接口简单、转换控制容易等优点得到了广泛的应用。

DAC0830 系列芯片管脚功能和内部电路框图如图 8-6 所示。

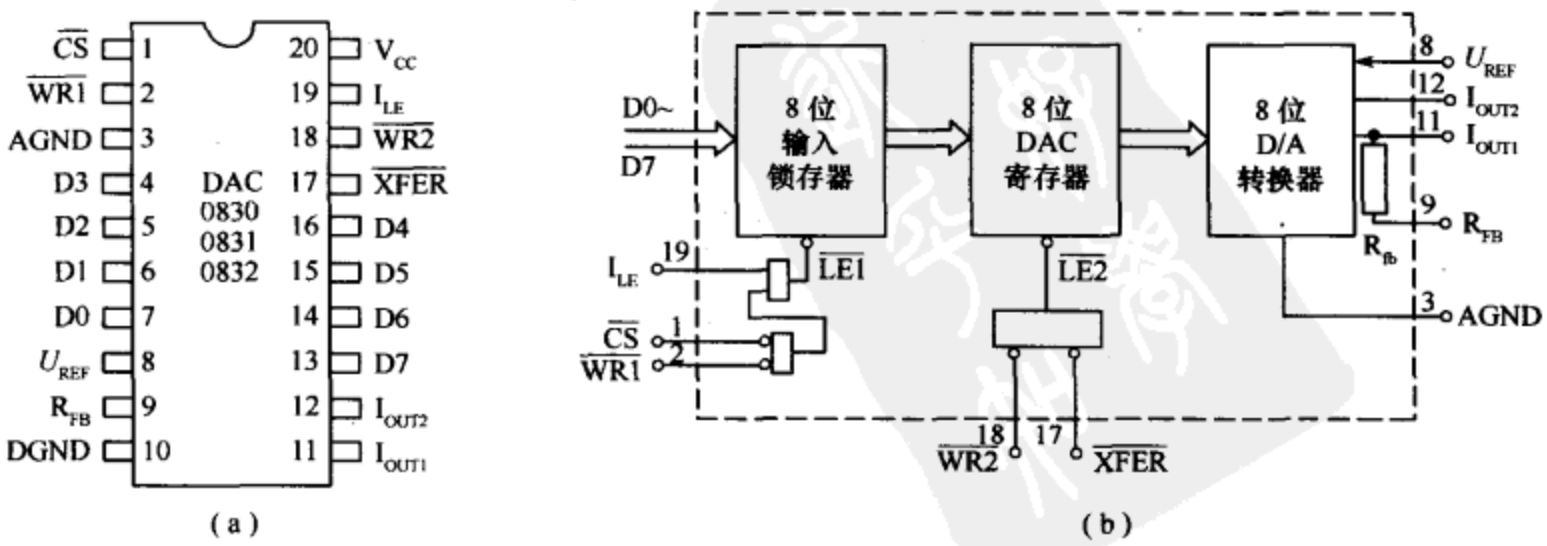


图 8-6 DAC0830 系列芯片管脚功能和内部电路框图

(a)DAC0830/0831/0832 的引脚分布;(b)DAC0830/0831/0832 的逻辑结构。

DAC0830 各引脚的功能如下所述。

D0～D7：数据输入线。

I_{LE}：数据允许锁存信号，高电平有效。

$\overline{CS}$：输入寄存器选择信号，低电平有效。

$\overline{WR1}$：输入寄存器的写选通信号。

重点提示：输入寄存器的锁存信号$\overline{LE1}$由 I_{LE}、$\overline{CS}$、$\overline{WR1}$的逻辑组合产生。当 I_{LE}为高电平、$\overline{CS}$为低电平、$\overline{WR1}$输入负脉冲时，在$\overline{LE1}$产生正脉冲；$\overline{LE1}$为高电平时，输入锁存器的状态随数据输入线的状态变化，$\overline{LE1}$的负跳变将数据线上的信息锁入输入寄存器。

$\overline{XFER}$：数据传送信号，低电平有效。

$\overline{WR2}$：DAC 寄存器的写选通信号。

重点提示：DAC 寄存器的锁存信号$\overline{LE2}$，由$\overline{XFER}$、$\overline{WR2}$的逻辑组合产生。当$\overline{XFER}$为低电平，$\overline{WR2}$输入负脉冲，则在$\overline{LE2}$产生正脉冲；$\overline{LE2}$为高电平时，DAC 寄存器的输出和输入寄存器的状态一致，$\overline{LE2}$负跳变，输入寄存器的内容送到 DAC 寄存器。

U_{REF}：基准电源输入引脚。

R_{FB}：反馈信号输入引脚，反馈电阻在芯片内部。

I_{OUT1}、I_{OUT2}：电流输出引脚。电流 I_{OUT1}与 I_{OUT2}的和为常数，I_{OUT1}与 I_{OUT2}随 DAC 寄存器的内容线性变化。

V_{CC}：电源输入引脚。

AGND：模拟信号地。

DGND：数字地。

为便于 DAC0830 系列 DAC 的使用，特将其应用特性总结如下：

(1)DAC0830 是与微控制器兼容型 D/A 转换器，可以充分利用微控制器的控制能力实现对 D/A 转换的控制。这种芯片有许多控制引脚，可以和微控制器的控制线相连，接受微处理器的控制，如 I_{LE}、$\overline{CS}$、$\overline{WR1}$、$\overline{WR2}$、$\overline{XFER}$端。

(2)有两级锁存控制功能，能够实现多通道 D/A 的同步转换输出。

(3)DAC0830 内部无参考电压源，需外接参考电压源。

(4)DAC0830 为电流输出型 D/A 转换器，要获得模拟电压输出时，需要外加转换电路。图 8-7 所示为两级运算放大器组成的模拟电压输出电路。从 A 点输出为单极性模

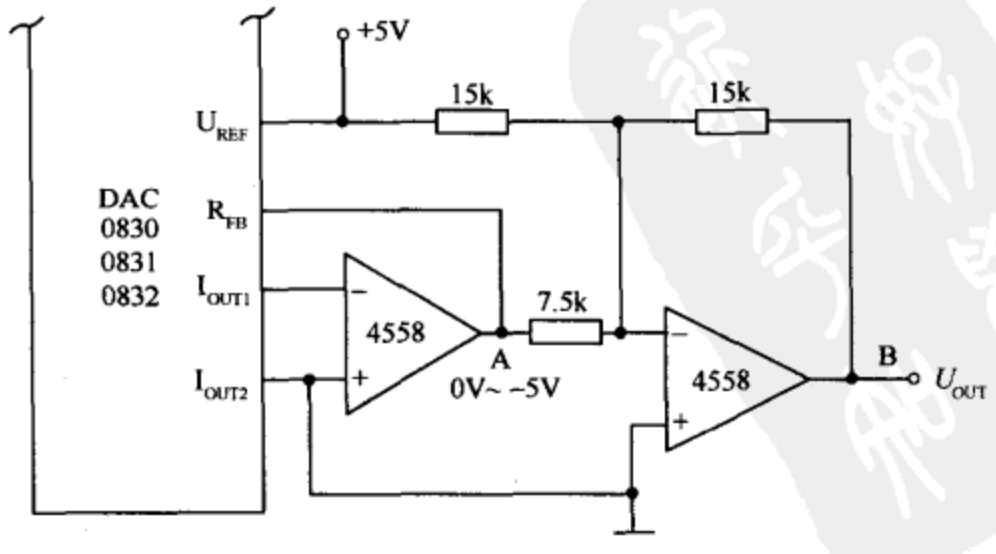


图 8-7　DAC0830 的模拟电压输出电路

拟电压，从 B 点输出为双极性模拟电压。如果参考电压为＋5V，则 A 点输出电压为 0V～－5V，B 点输出为±5V 电压。

2. 8 位 DAC 转换器 AD558

AD558 是 8 位电压输出 DAC 转换器。它片内含有输出运算放大器、高精度参考电压源和与微控制器完全兼容的接口，因此不需外接元件和调整即可与微控制器直接接口。AD558 这些完备的功能使其应用比 DAC0830 系列更简单、方便。

AD558 的管脚功能图如图 8-8 所示。

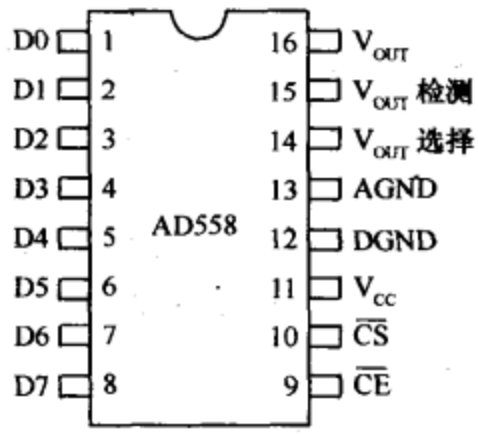


图 8-8　AD558 管脚功能图

D0～D7：8 位数据输入。

$\overline{CE}$：芯片允许信号，低电平有效，一般和$\overline{WR}$相连。

$\overline{CS}$：片选信号，低电平有效。

V_{CC}：供电电源，＋5V～＋15V。

DGND：数字地。

AGND：模拟地。

V_{OUT}检测：输出量程选择端，如果该引脚和 AGND 相连，则输出电压为 0V～＋10V，如果和引脚 15 相连，则输出电压为 0V～＋2.56V。

VOUT 检测：输出运放检测引脚，特殊用途时可接补偿电阻以提供大的驱动电流。

VOUT：运放电压输出引脚。

AD558 的主要应用特性总结如下：

(1)AD558 的数据输出及控制逻辑与微控制器总线完全兼容。

(2)片内含基准电压、输出放大器和逻辑控制电路，为确保指定的精度，厂家已在出厂时标定调好了芯片，不需用户再调，用户只要选择连结方式，以确定输出电压的量程范围。

(3)内含高速输出运算放大器。

(4)数据输入电流小，电压供电范围宽。

第二节　ADC 转换器

一、A/D 转换的过程

A/D 转换的作用是将时间连续、幅值也连续的模拟量转换为时间离散、幅值也离散的数字信号，因此，A/D 转换一般要经过取样、保持、量化及编码 4 个过程。在实际电路中，这些过程有的是合并进行的，例如，取样和保持，量化和编码往往都是在转换过程中同时实现的。A/D 转换的过程如图 8-9 所示。

1. 采样和保持

1)采样

所谓采样就是将随时间连续变化的模拟信号大小(振幅)，按一定的时间间隔采集样值，形成在时间上不连续的脉冲序列的操作。图 8-10 所示是采样过程示意图。

从图 8-10 中可以看出，在 t_A时刻，模拟信号在图中的 A 点的幅度是 5，采样的作用就是要在 t_A时刻测出信号幅度为 5。同样的道理，在 t_B时刻得到的采样值是模拟量的 7。每

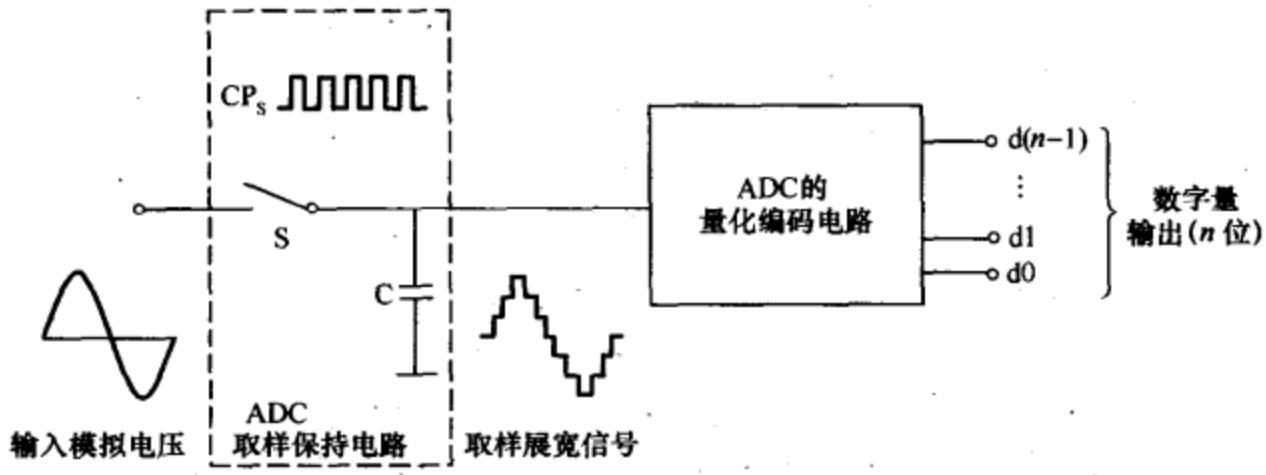


图 8-9　A/D 转换的过程

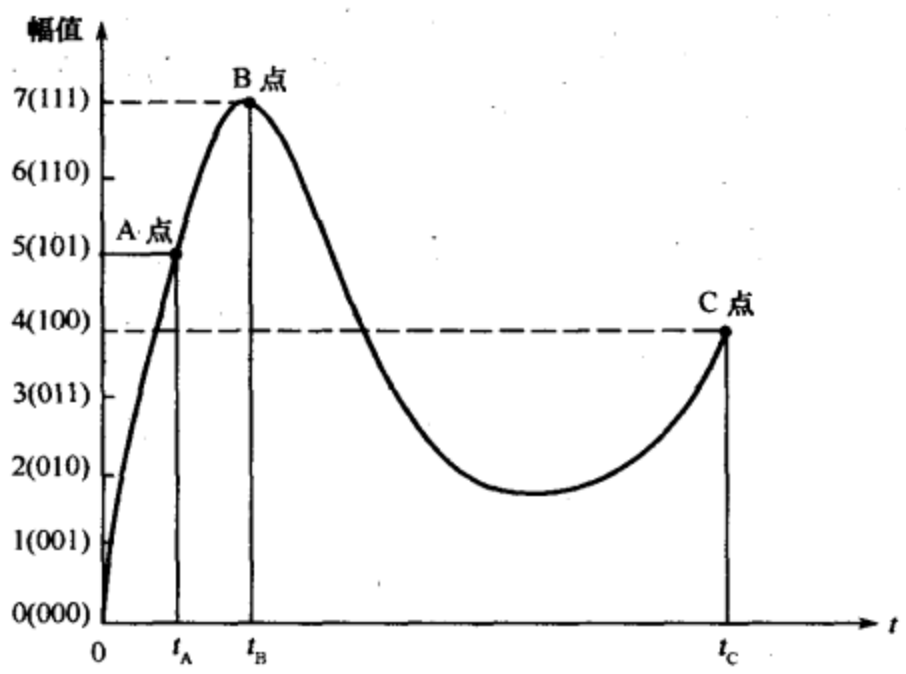


图 8-10　采样过程示意图

一个采样点，都可以得到一个与该时刻信号振幅对应的样本，这一对应的信号幅度值叫做采样值。通过采样，经将在时间上连续变化的模拟信号变成了一列的样本值。

对一个模拟信号的采样是不断进行的，相邻两个采样点的时间间隔是相同的。采样点选取应有一定规律，每隔一段时间就进行一次采样，单位时间对模拟信号的采样次数称为采样频率。采样频率的选择要科学，采样定理可以解决这一问题。该定理是，如果将随时间变化的信号波形用该信号所含最高频率信号的 2 倍的频率进行采样，就可以通过称为插补的方法，正确地将原取样值还原成原来的信号波形。所谓插补，它是采样的反过程，就是将一列样本值之间的空隙补上，使之恢复原来的波形特征。

2)采样保持电路

采样保持电路用于对模拟信号采集样本值，图 8-11 所示是采样保持原理电路图。电路中，输入信号 u_i 是模拟信号，其输出信号是一种阶梯信号，注意它还不是数字信号，只有对这种阶梯信号经量化处理后才成为数字信号。

由图 8-11 可见，采样保持电路主要由输入缓冲放大器 A1、模拟开关 S、保持电容 C 和输出缓冲放大器 A2 组成。

输入缓冲放大器用来将输入信号源与取样保持电路之间进行隔离，以防止输入信号源对采样保持电路正常工作的影响。输入缓冲放大器的输出信号加到取样开关的输入端。

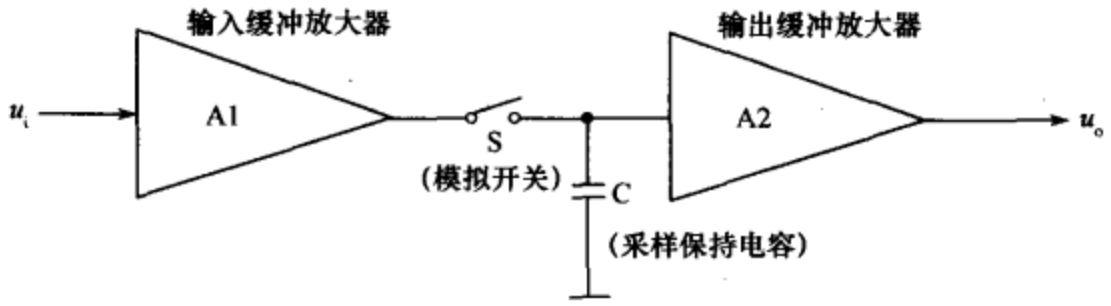


图 8-11　采样保持原理图

模拟开关就是采样开关，当该开关接通时将输入信号加到保持电容上，由于采样开关的速度很快，即接通后立即断开，这样在开关接通时刻的输入信号幅度大小就是该时刻电容 C 上的充电电压大小，这就是该时刻对输入模拟信号的采样值。采样开关受一个专门脉冲开关控制信号的控制，在开关脉冲出现时模拟开关接通；在开关脉冲消失时，模拟开关断开；该开关断开后等待下一次的脉冲开关信号的出现，进行第二次采样。模拟开关每秒钟接通的次数就是采样频率，接通的时间就是采样时间。例如，音乐信号采样频率为 44.1kHz，采样时间一般小于 25μs。

保持电路由保持电容和输出缓冲放大器构成。为便于量化处理，模拟开关采集到的样本电平值送到保持电容，通过保持电容保持采样得到的电平值，这一电平经输出缓冲放大器放大后输出。当下一个采样值送到保持电容上，保持电容和输出缓冲放大器又保持和输出最新的采样电平值。采样保持电路的输出信号波形如图 8-12 所示。

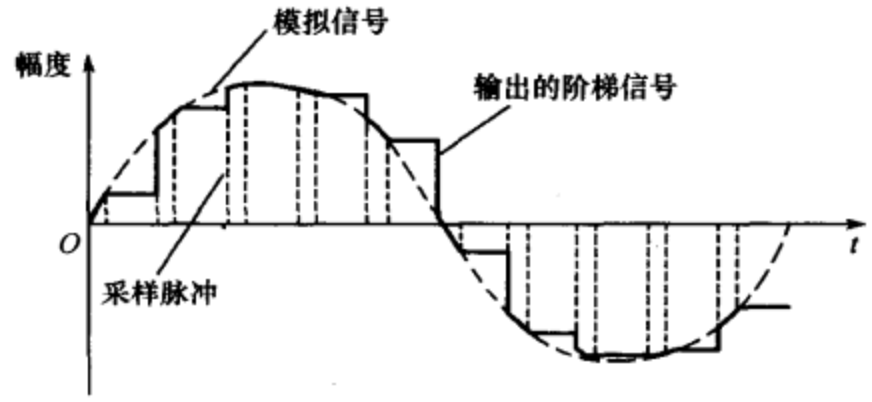


图 8-12　采样保持电路输出信号波形

从图 8-12 中可看出，模拟信号经过采样保持电路处理后变成了一种阶梯信号，该阶梯信号在时间轴上仍然是连续的，所以它还是一种模拟信号而不是数字信号，这一阶梯信号要经量化编码处理后才能变成数字信号。

重点提示：从采样保持电路输出信号波形可以看出，采样频率愈高，采样保持输出信号的波形与原模拟信号愈相近，在恢复原信号时失真就愈小。但是，采样频率高会增大对信号处理器件和电路提出的要求更高，必然要增加成本。所以，对于各种模拟信号的采样频率有专门的标准，对采样频率等作出了科学的规定。

2. 量化和编码

量化就是通过四舍五入的方法将采样后的模拟信号转换成数字信号的过程。如前所述，对模拟信号采样后的信号是一种阶梯信号，它虽然在时间轴上已经离散，但这种阶梯信号幅值仍然是连续的，若对这种信号用二进制数码精确表示，需要无穷多位的二进制编码，所以要采用四舍五入的方法将每一个采样值归并到某一个临近的整数，这样就可以用

一定字长的二进制码来表示，这种取有限个数值近似地表示某一连续变化信号的过程称为量化。

由于量化过程中的四舍五入，采样值经量化后将是一个确定的值，将这一确定值变换成码列的操作过程叫做编码。编码工作由称之为编码器的电路来完成。

为进一步说明这种四舍五入方法，这里用 3 位(3 比特)的二进制数码进行量化和编码的过程来说明，如图 8-13 所示。

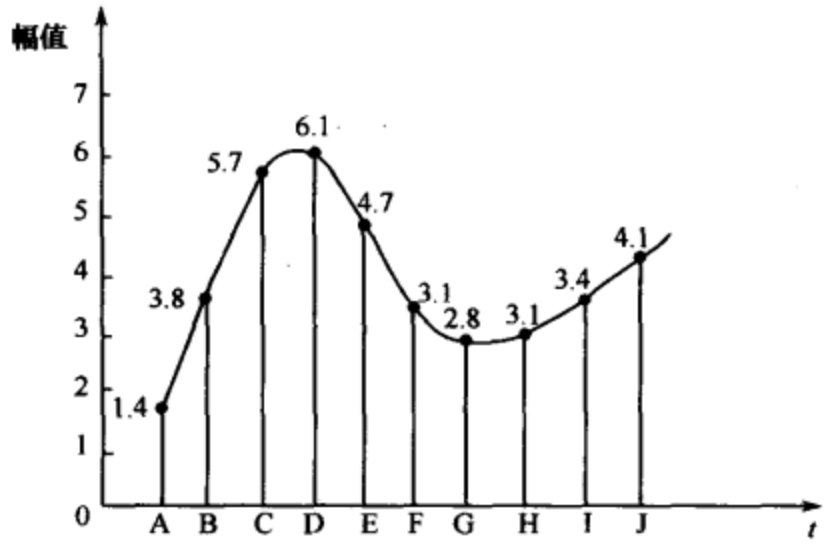


图 8-13　量化和编码示意图

图 8-13 中，输入信号是一个模拟信号，采样点为 A～J，幅值范围为 0～7。采样值、量化和编码的结果见表 8-1。

表 8-1　量化和编码对应表

采样点	A	B	C	D	E	F	G	H	I	J
采样值	1.4	3.8	5.7	6.1	4.7	3.1	2.8	3.1	3.4	4.1
量化值	1	4	6	6	5	3	3	3	3	4
编码	001	100	110	110	101	011	011	011	011	100

在采用这种四舍五入的方法量化后，对原信号会产生一定程度的误差值，当这种误差值小到一定程度时，对还原信号一般不会产生影响。

上面介绍的是采用 3 位二进制数码，它只能对输入信号分成 $2^3=8$，即只能有 8 个整数量化值，若采用 8 位的二进制数码来进行编码就能达到 $2^8=256$ 个整数值。显然，当采用的编码位数愈多，量化值与采样值之间的误差就愈小。

二、A/D 转换器的种类

A/D 转换器的种类很多，按其工作原理不同分为直接 A/D 转换器和间接 A/D 转换器两类。直接 A/D 转换器可将模拟信号直接转换为数字信号，这类 A/D 转换器具有较快的转换速度，其典型电路有逐次比较型 A/D 转换器。而间接 A/D 转换器则是先将模拟信号转换成某一中间电量(时间或频率)，然后再将中间电量转换为数字量输出。此类 A/D 转换器的速度较慢，典型电路是双积分型 A/D 转换器、电压频率转换型 V/F 转换器。

1. 逐次逼近式 A/D 转换器

所谓逐次逼近，好比我们生活中一个常见的例子：欲称一件 13g 的物体，现有 8g、4g、2g、1g 共 4 个砝码。操作过程一般如表 8-2 中所列。首先放上 8g 的砝码，结果发现砝码

不够，于是留下该码并添加入 4g 法码，仍不够，于是又留下该砝码并再添加入 2g 的法码。结果发现砝码已太重，于是取去 2g 的，换为 1g 的。

表 8-2　逐次逼近法称重过程

顺序	砝码质量/g	比较判别	砝码的去留
1	8	8g<13g	保留
2	8+4	12g<13g	保留
3	8+4+2	14g>13g	取去
4	8+4+1	13g=13g	保留

逐次逼近型 A/D 转换器的工作过程与上述称物过特号程十分相似，它的基本构成框图如图 8-14 所示。

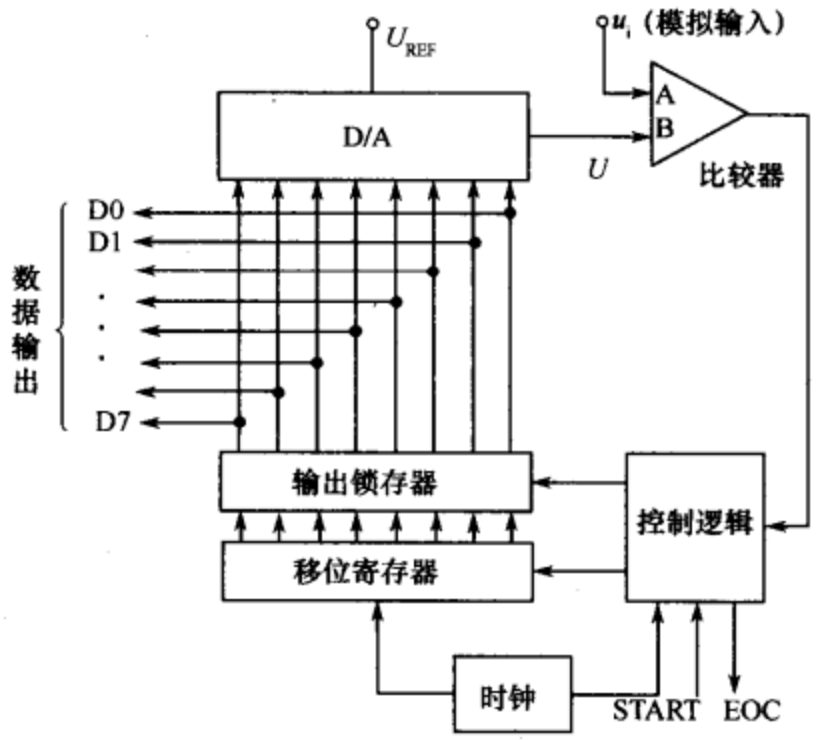


图 8-14　逐次逼近式 A/D 转换器工作原理图

逐次逼近式 A/D 转换器的主要原理为：将一待转换的模拟输入信号 u_i 与一个推测信号 U 相比较，根据推测信号大于还是小于输入信号来决定增大还是减少该推测信号，以便向模拟输入信号逼近。推测信号由 D/A 转换器的输出获得，当推测信号与模拟信号相等时，向 D/A 转换器输入的数字就是对应模拟输入量的数字量。

其“推测”值的算法如下：使二进制计数器中（输出锁存器）的每一位从最高位起依次置 1，每接一位时，都要进行测试。若模拟输入信号 u_i 小于推测信号 U，则比较器输出为零，并使该位清零；若模拟输入信号 u_i 大于推测信号 U，比较器输出为 1，并使该位保持为 1。无论哪种情况，均应继续比较下一位，直到最末位为止。此时，D/A 转换器的数字输入即为对应模拟输入信号的数字量。将此数字量输出就完成了 A/D 转换过程。

2. 双积分式 A/D 转换器

图 8-15 所示是双积分式 A/D 转换器工作原理图。

其原理如下：电路先对未知的输入模拟电压 u_i 进行固定时间的积分，然后转为对标准电压进行反向积分，直至积分输出返回起始值，则对标准电压积分的时间 T 正比于模拟输入电压 u_i，输入电压大，则反向积分时间长。

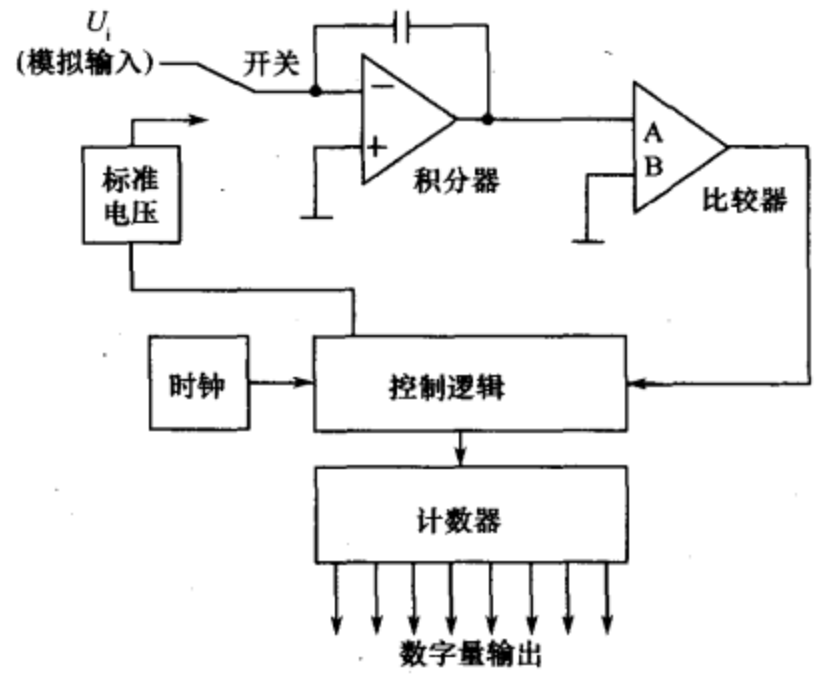


图 8-15　双积分式 A/D 转换器工作原理图

用高频率标准时钟脉冲来测量时间 T，即可以得到相应模拟电压的数字量。

3. 电压频率转换电路

电压/频率变换器(V/F 变换器)是把输入的电压转换为脉冲输出的一种电路。输出脉冲的频率能与输入的电压成线性关系，并可通过测量其输出端的脉冲频率来间接地测量输入的电压值，因此它实际上也是一种模/数(A/D)转换电路。

三、集成 A/D 转换器介绍

1. 8 位逐次逼近式 A/D 转换器 ADC0808/0809

8 位逐次逼近式 A/D 转换器 ADC0808/0809 是一种单片 CMOS 器件，其管脚功能和内部电路如图 8-16 所示。

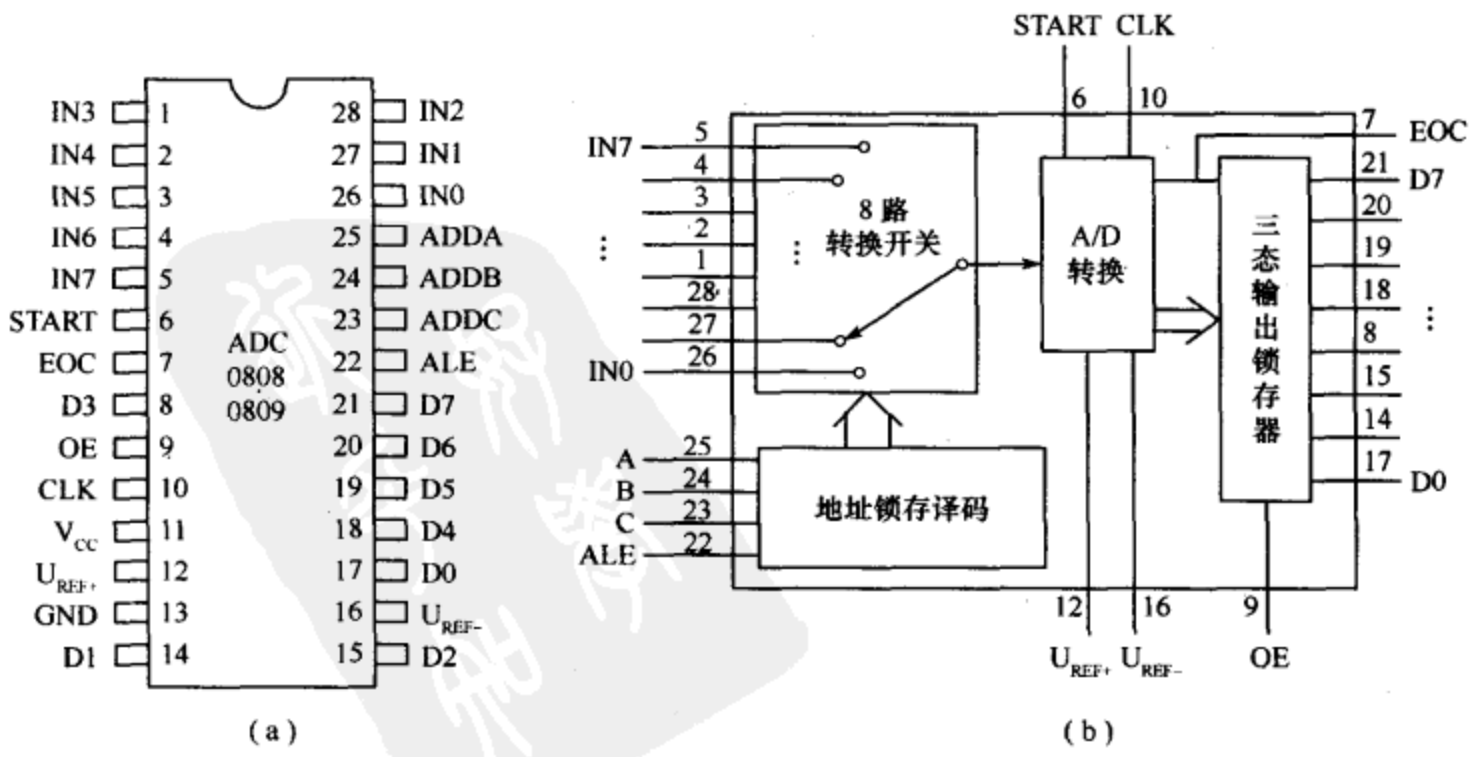


图 8-16　ADC0808/0809 管脚功能和内部电路

(a)ADC0808/0809 的引脚图；(b)ADC0809 的内部结构框图。

从图 8-16 中可以看出，ADC0808/0809 内部主要包括 8 位的模/数转换器、8 通道多路转换开关、三态输出锁存器和地址锁存译码器。8 通道多路转换开关能直接连通 8 个单端模拟信号中的任何一个，对 8 路 0V～5V 的输入模拟电压信号分时进行转换。

ADC0809 主要信号引脚的功能说明如下。

IN7～IN0：模拟量输入通道，ADC0809 对输入模拟量的要求主要有：信号单极性、电压范围 0V～5V，若信号过小还需进行放大；另外，模拟量输入在 A/D 转换过程中其值不应变化，因此对变化速度快的模拟量，在输入前应增加采样保持电路。

A、B、C：地址线，A 为低位地址，C 为高位地址，模拟通道的选择信号，引脚图中为 ADDA、ADDB 和 ADDC，其地址状态与通道对应关系见表 8-3。

表 8-3　通道选择表

A	B	C	选择的通道	A	B	C	选择的通道
0	0	0	IN0	1	0	0	IN4
0	0	1	IN1	1	0	1	IN5
0	1	0	IN2	1	1	0	IN6
0	1	1	IN3	1	1	1	IN7

ALE：地址锁存允许信号，对应 ALE 上跳沿，A、B、C 地址状态送入地址锁存器中。

START：转换启动信号，START 上跳沿时，所有内部寄存器清“0”；START 下跳沿时，开始进行 A/D 转换；在 A/D 转换期间，START 应保持低电平，本信号有时简写为 ST。

D7～D0：数据输出线，为三态缓冲输出形式，可以和单片机的数据线直接相连，D0 为最低位，D7 为最高位。

OE：输出允许信号，用于控制三态输出锁存器向单片机输出转换得到的数据，OE＝0，输出数据线呈高电阻；OE＝1，输出转换得到的数据。

CLK：时钟信号，ADC0809 的内部没有时钟电路，所需时钟信号由外界提供，因此有时钟信号引脚，通常使用频率为 500kHz 的时钟信号。

EOC：转换结束信号，EOC＝0，正在进行转换；EOC＝1，转换结束。

V_{CC}：＋5V 电源。

U_{REF}：参考电源，参考电压用来与输入的模拟信号进行比较，作为逐次逼近的基准，其典型值为＋5V（U_{REF+}＝＋5V，U_{REF-}＝0V）。

ADC0809 的读取方法有两种：一种是用延时方法，在启动转换开始后，延时 150μs 左右读取 D0～D7 的数据；另一种是检测 ACD0809 在转换结束时 EOC 端产生的脉冲信号，当检测到该信号为高电平时读取 D0～D7 的数据。

2. 10 位逐次逼近式 A/D 转换器 AD571

AD571 是 10 位逐次逼近式的单片集成 A/D 转换芯片。AD571 将 D/A 转换电路、参考电压、时钟脉冲、比较器、逐次逼近寄存器及输出缓冲器集成在一个芯片上，并有三态输出，所以很容易与单片机接口。由于 AD571 片内含基准电压及时钟脉冲发生器，所以一般情况下，AD571 只需接上＋5V 及－15V 电源，加上模拟输入，发出启动转换信号，而无须任何外部电路即可实现十位 A/D 转换。

AD571 芯片的引脚功能如图 8-17 所示。

AD571 引脚功能说明如下。

$\overline{DR}$：当其为低电平时表示转换结束，数据有效。

B/$\overline{C}$：启动转换信号输入端，当其为高电平时，为转换做好准备；当其为低电平时，输出呈高阻抗悬浮状态并开始转换，一旦转换结束，便置$\overline{DR}$端为低电平，通知单片机可将数据取走。

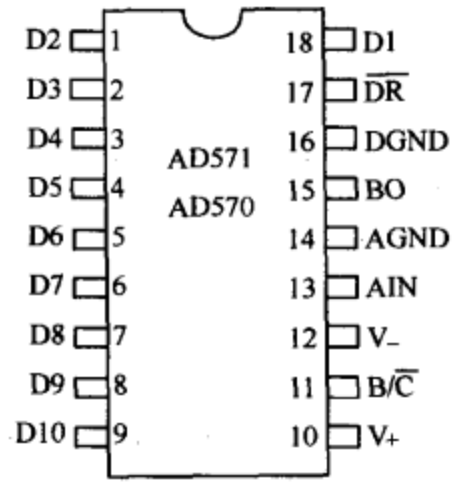


图 8-17　AD571 芯片的引脚功能

AIN：模拟信号输入端，模拟电压输入范围，单极性为 0V～10V，双极性为±5V。

AGND：模拟地。

DGND：数字地。

BO：输入电压极性控制端，单极性输入时，该端接地，双极性输入时，该端接高电平，这就是 AD571 模拟输入的极性选择。

V_+、V_-：分别为工作电源电压输入端，可单极性或双极性供电，单极性供电为＋5V 和－15V；双极性输入时供电为＋15V 和－15V。

D1～D10：10 位数据输出线。

3. 4 $\frac{1}{2}$位双积分型 A/D 转换器 ICL7135

ICL7135 是一种高精度 4 位半双积分型 A/D 转换器，采用±5V 双电源供电。它的转换结果以 BCD 码输出，最大输出值为 19999（十进制数，也是内部计数器的最大计数值）；其数据输出线只有 4 根，按照万位、千位、百位、十位、个位的顺序轮流输出 BCD 码，使外部引线的数目减少。ICL7135 的转换速度较慢，一般为 2 次/s～4 次/s，例如采用 120kHz 的时钟频率，则一个完整的 A/D 转换周期大约是 0.4s，因此只适合于对缓变信号的测量。ICL7135 的引脚功能如图 8-18 所示。

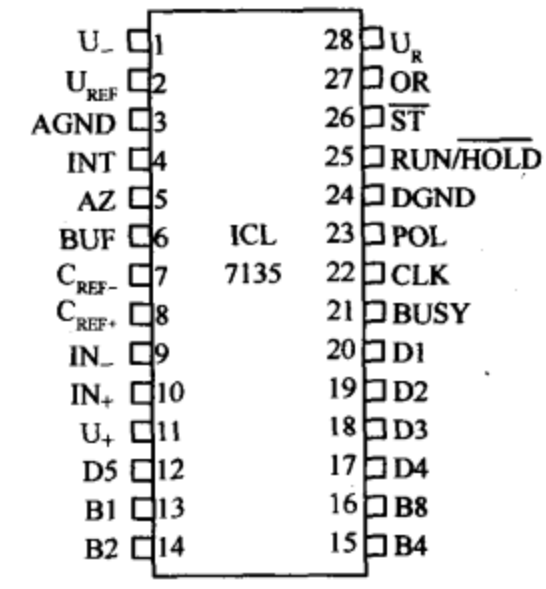


图 8-18　ICL7135 的引脚功能

ICL7135 引脚功能说明如下。

13 脚、14 脚、15 脚、16 脚：B1、B2、B4、B8，BCD 码输出端，当 A/D 转换结束时，转换结果以 BCD 码形式从这四端输出，先送万位，次送千位……最后送个位。

12 脚、17 脚、18 脚、19 脚、20 脚：D5、D4、D3、D2、D1，万位、千位、百位、十位、个位的位扫描信号输出端。当 D5＝1 时，B1、B2、B4、B8 输出的是万位的 BCD 码；当 D4＝1 时，B1、B2、B4、B8 输出的是千位的 BCD 码……每位的输出时间占 200 个时钟周期。

28 脚：UR，欠量程指示输出端。当读数小于或等于满量程的 9%时，该端输出高电平。

27 脚：OR，溢出指示输出端。当计数器的值超过 19999 时，该端输出高电平。

26 脚：$\overline{ST}$，选通信号输出端。在 A/D 转换结束、位选信号输出时，该端输出一个脉

冲，该负脉冲在时序上出现在位选正脉冲的中间位置。

25 脚：RUN/$\overline{\text{HOLD}}$，运行/保持控制信号输入端，当该端为高电平时芯片启动，为低电平时不转换。

26 脚：CLK，时钟信号输入端。该芯片没有自带振荡器，时钟信号须由外部提供，频率为 100kHz～200kHz。

21 脚：BUSY，“忙”信号输出端，转换器在进入第一阶段积分时变为高电平，在第二阶段积分结束并再来一个时钟脉冲时回复为低电平。

芯片的其余引脚符号及功能与 ICL7106 基本相同。

ICL7135 的转换结果是以 BCD 码按照万位→个位的顺序轮流输出的，并且配合有相呼应的位选信号，此外在位选信号的中部时刻，还提供了选通($\overline{\text{ST}}$)负脉冲，这些信号为我们灵活正确地读取转换结果提供了极大的方便。无论是使用纯硬件电路，还是使用软、硬件结合的单片机电路，只要遵循芯片的信号输出规律，就能正确取得数据。例如，检测位选信号 D1～D5，当测得 D5＝1 时，立即读取芯片输出的 BCD 码，则可判定为“万”位，其他各位同理。又如，只检测$\overline{\text{ST}}$信号和位选信号“D5”来正确读取各位 BCD 码，当$\overline{\text{ST}}$端出现负脉冲时即读取芯片输出的 BCD 码，并立即检测 D5 的状态。若 D5＝1，则该次读到的 BCD 码即为“万”位，而其余各位便可以“万”位为参照加以判别。这样可以省去对 D1～D4 各个位选信号的检测，因而省去了硬件的开销，简化了电路。

图 8-19 所示是 ICL7135 的应用电路，图中除 BCD 码输出端以及 D1～D5 位选信号输出端外，其余各输入端的连接法是一种典型的基本连接法。该图应用了动态扫描显示原理，A/D 芯片输出的 BCD 码进入 7 段译码驱动器 MC14513。MC14513 将 BCD 码译成符合共阴 7 段 LED 显示器要求的段码从 a～g 端输出，并同时接到 5 个 LED 显示器的 a～g 各引脚上，也就是说，5 个 LED 显示器的 a～g 字段是相应并联的，(但“万”位只需接 b、c、g 这 3 段，其中符号段 g 由 ICL7135 输出的 POL 信号控制)，通过对 LED 阴极电位的分时轮流拉低，达到使 5 个 LED 显示器轮流显示的目的。首先输出万位的 BCD 码，D5 输出高电平，并通过反相器把“万”位的 LED 显示器的阴极拉低，则“万”位被点亮；其次是千位……反复地轮流循环，形成动态扫描显示。

四、A/D 转换器的技术指标

A/D 转换器的主要技术指标有分辨率、转换速度、转换误差等。选择 A/D 转换器时，除考虑这几项技术指标外，还应注意满足其输入电压的范围、输出数字的编码、工作温度范围和电压稳定度等方面的要求。

1. 分辨率

A/D 转换器的分辨率是指对输入模拟信号的分辨能力，从理论上讲，n 位输出的A/D转换器能区分 2^n个不同等级的输入模拟电压。在最大输入电压一定时，输出位数愈多，分辨率愈高。例如 A/D 转换器输出为 12 位二进制数，输入信号最大值为 10V，那么这个转换器应能区分出输入信号的最小电压(分辨率)为$\frac{1}{2^{12}}\times 10\text{V}=2.44\text{mV}$。

2. 转换时间

转 换时间是指A/D转换器从转换控制信号到来开始，到输出端得到稳定的数字信号

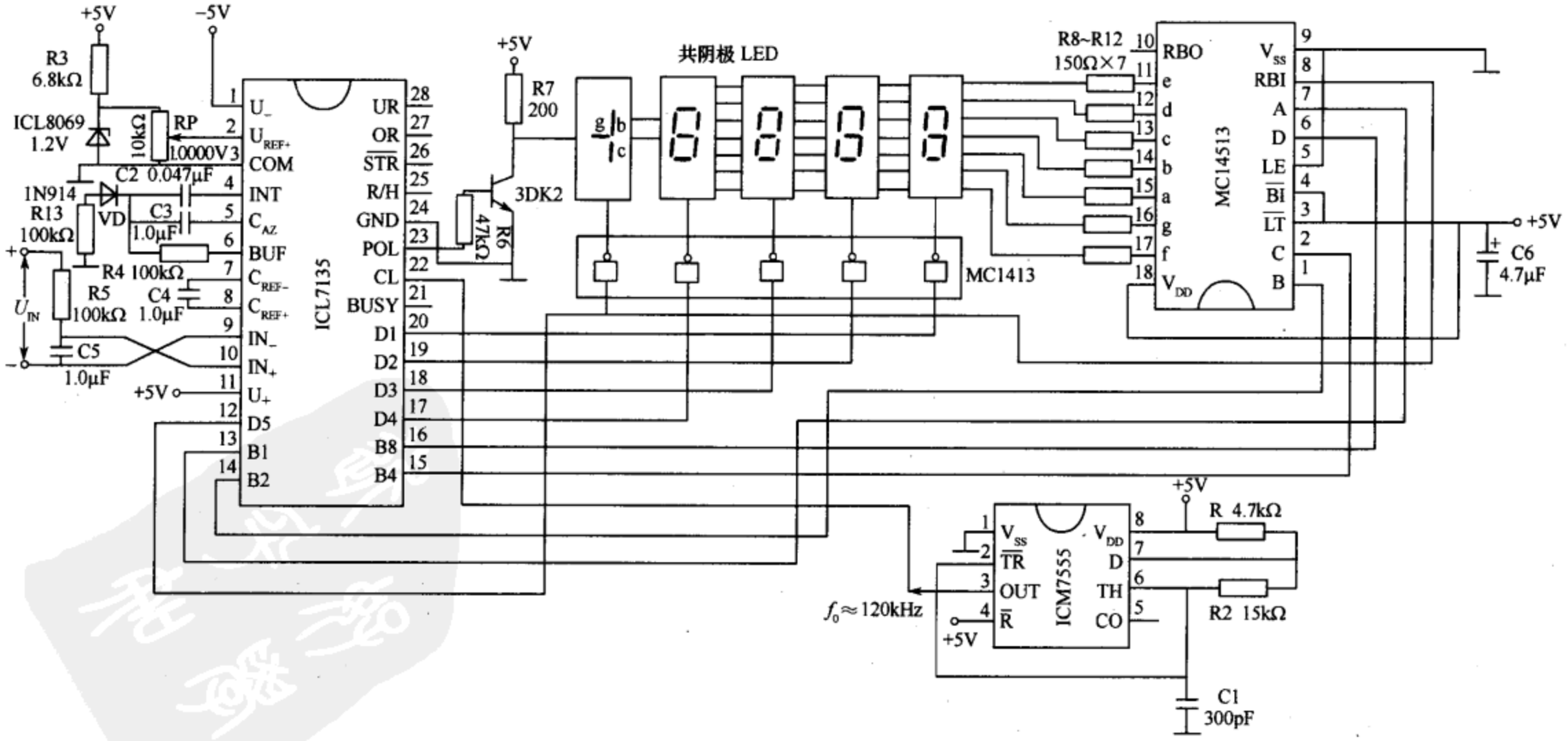


图 8-19　ICL7135 的应用电路

所经过的时间。A/D 转换器的转换时间与转换电路的类型有关。不同类型的转换器转换速度相差甚远。逐次比较型 A/D 转换器的转换时间在 10μs～50μs 之间，双积分 A/D 转换器的转换时间大都在几十毫秒至几百毫秒之间。

3. 转换误差

转换误差通常是以输出误差的最大值形式给出。它表示 A/D 转换器实际输出的数字量和理论上的输出数字量之间的差别。常用最低有效位的倍数表示。



第九章　数字语音和遥控电路

随着数字技术的不断发展和数字集成电路的日益成熟，数字电路在语音电路和遥控电路中的应用也越来越普遍，这使得各种语音和遥控电路的使用越来越普遍，功能和性能也得到了飞跃性的提高。为便于读者对语音和遥控电路有一个基本的认识，本章以举例的方式，简要介绍语音和遥控电路的基本原理及应用。

第一节　数字语音电路

一、什么是数字语音电路

自然的语音、声音是稍纵即逝的，聪慧的人类想了很多办法来留存它们，这样可以在任何需要的时候重复播放出来。这种保留原声的媒介曾有过钢丝、黑胶唱片、胶片、磁带、激光唱片等，这些媒介都需要精密复杂的机械传动装置来配合，大多体积比较大、耗电多、控制不够灵活、有介质磨损，且使用寿命有限。

现在，可以采用数字电子技术将纯的无任何机械的半导体集成电路(IC)去完成语声信号的存储和还原，这样一类经过存储而还原播放的语言、声音，称为数字语音。这类保存着数字语音的集成电路，称为数字语音电路或语音 IC。

有了语音 IC，声音就能保留和还原，而且能被选择性地反复播放，也就能让不会说话的各种顽具、仪器等发出声音或开口说话。

语音 IC 具有体积小、耗电少、可控制性能好、永无磨损、永久寿命等特点。它是采用电子处理技术将复杂的语音信号“切分”成很多份，以最小的单位存储在自己内部的存储器里。当需要时，再把这些小份拼接成完整的语音信号播放出来。

语音 IC 的成本主要取决于内部电路的复杂程度和存储器的容量，在短时间语音长度的产品中，语音 IC 的性能价格比是非常高，有的种类的语音 IC 价格低廉到仅几分钱，这是任何其他数字语音还原设备无法比拟的。

二、语音的数字化处理

目前，语音的数字化处理方法主要采用波形存储法。波形存储法的技术基础是 A/D、D/A转换技术和多种的编码、解码算法。图 9-1 所示框图说明了波形存储法的基本过程。

图 9-1(a)表示语音的记录存储过程：首先用麦克风取得语音的电模拟量信号，经适当放大后，A/D 转换器以一定的频率对其进行采样并转换为二进制数字量，并实时地对其进行编码，然后送入数据存储器中储存。

图 9-1(b)则是数字语音还原的基本过程：按一定顺序从数据存储器中取出数据，以

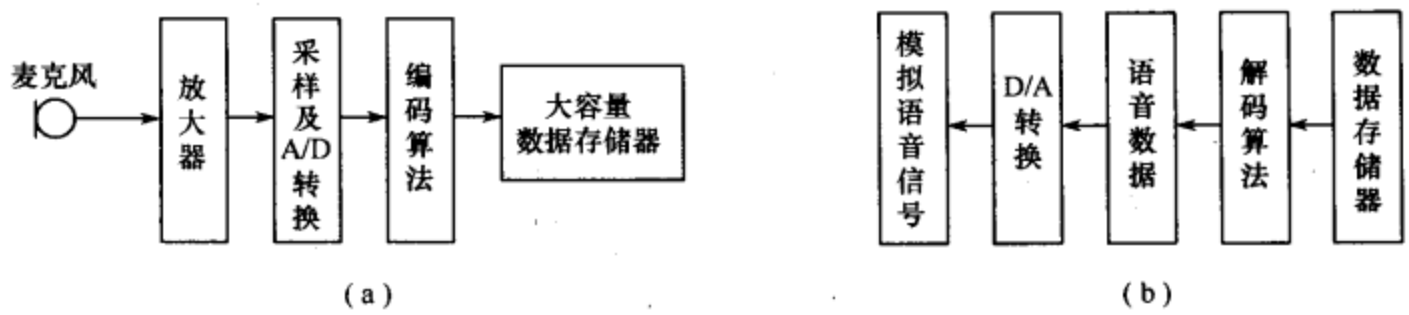


图 9-1　波形存储法的基本过程

(a)语言存储过程；(b)语言还原过程。

相应的算法进行解码，合成为原始的语音数据，这是一种实时的数据解压过程，恢复了的语音数据被送入 D/A 转换器还原成语音的模拟信号输出。

语音信号是一种随时间连续变化的信号，使用 A/D 转换器对其进行采集和模/数转换，就把连续的信号变成了离散的数字量。因此在语音的还原过程中，经 D/A 转换器输出的模拟信号不可能完全相同于原来的语音信号，而是一种表现为台阶式跳跃的阶梯形信号，但阶梯的轮廓却相似于原来的语音信号。阶梯宽度越细，就越接近于原来的语音阶信号，重现的音质就越好。

重点提示：经由语音 IC 的处理、保存再回放出来的声音效果会比原声有一定的失真，现在还原声音最好的是激光唱片方式，它的声音取样频率是 44.1kHz，取样位数是 24 位，简单的说就是把 1s 的语声信号横着切 24 份，再竖着切 4.4 万多份，累计把 1s 的信号切成了约 100 万份分别存储在激光唱片上，等播放时再拼在一起还原出来，因此有较好的还原度。而语音 IC 因为制造技术和成本问题，其能够使用的存储器容量比较小，大多数的语音 IC 都采用 6kHz、5 位采样，即大约把 1s 的信号切成 3 万份，因此还原效果就要差不少。但随着技术的发展，这一差距正在减少。

波形存储法语音数字处理一般有以下几种方法。

1)数字脉冲编码调制方式 PCM

PCM 是一种信号调制方式。调制是一种对信号进行变换处理的手段，例如大家非常熟悉的调幅调制(AM)和调频调制(FM)等。在信号传输或记录重放过程中，采用调制技术可将信号变换成适合线路传输或录放系统记录的形式。

PCM 方式是法国人 A·H·里福斯于 1937 年发明的，但是真正研究使用 PCM 技术还在 20 世纪 60 年代以后，由于集成电路技术的发明和迅速发展，特别是大规模集成电路技术的出现和成熟，PCM 技术才得以广泛应用。

PCM 就是脉冲编码调制，PCM 是英文 Pulse Code Modulation 的缩写。所谓脉冲编码调制就是将模拟信号变换成数字信号的过程。在实现 PCM 过程中，主要是对模拟信号的采样和保持处理，然后是进行量化处理，最后是编码处理，这 3 个过程合起来称为 PCM。

图 9-2 所示是正弦波语音信号的采样过程，使用 A/D 转换器每间隔 Δt 时间对其进行采样并转换一次，把图中以电压值为纵坐标所表示的点 $y1$、$y2$、$y3$……转换成二进制数码，再把所得到的是一长串的 0、1 组合信息存入数据存储器中，这就是 PCM 方式数字录音的基本过程。语音还原(又称再生)与录音过程正好相反，它是把数据存储器里的数据按一定顺序取出，并送入 D/A 转换器转换后即还原成了语音信号。

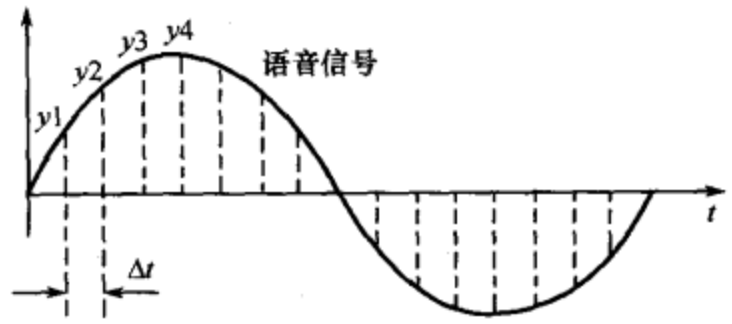


图 9-2　语音信号的采样

2)差分脉冲编码调制方式 DPCM

PCM 方法简单,再生语音保真度好,但数据量很大,在数据存储上有一定的困难。DPCM 方法不是直接取用各采样点的 A/D 值为编码信号,而是对两个采样值之间的差分信号进行编码,使数据量达到压缩,给存储带来便利。

3)δ 调制方式 DM

DM 方式又叫 ΔM 方式,其基本原理是利用逻辑值 0 和 1 来表示采样点语音信号的低和高。当下一个采样点的语音信号比现有的信号值高时,则给定编码 1 来表示;如果比现有的信号值低,则给定编码为 0。这种方法能有效地压缩数据量,但再生的语音失真度会增大。

4)自适应差分脉冲编码调制方式 ADPCM

该方式是按照语音模拟信号的变化率来改变编码的数字量,是在差分脉冲编码的基础上,相应地改变量化幅值的方法,它具有自适应功能。该方法的数据存储量是 PCM 方法的 1/2～1/3。

5)自适应 δ 调制方式 ADM

该方式与 DM 方式相类似,是在 DM 方式的基础上,引入了增量控制部分,使编码精度得以提高。

6)线性预测编码方式 LPC

经理论研究和实践表明,一个语音信号抽样能够用过去的若干个抽样的线性组合来逼近估计值,通过使实际语音抽样和线性预测抽样之间差值的平方和为最小值,可以确定出一组唯一的预测器系数。该方式所记录的不是直接语音信号的编码,而是存储那些预测器的系数等参数,并通过这些参数来再生语音信号。

三、常用语音集成电路的种类

在日常生活中,我们经常见到或听到语音电子产品,如电子报时闹钟,它不但可以整点报时,而且每按一下按键就会用普通话报出当时的时刻;再如生日礼品盒,只要掀开盒盖,就能听到“生日快乐”的祝词,接着播送“祝你生日快乐”的乐曲;还有汽车倒车时发出的“倒车,请注意”的提示语等。这些电子产品,内部均采用了语音集成电路。语音集成电路品种繁多,琳琅满目,大体上分成以下几类。

1. 掩膜 ROM 型语音电路

掩膜 ROM 型语音电路实际上只是一种语音再生电路,它只把以数字代码形式存储在 ROM 中的语音数字信号还原语音模拟信号并输出,而对语音模拟信号的采集、A/D

转换、编码等工作则是在另外的专用设备上完成的。芯片生产厂家把经过编码的语音数据在芯片制造过程中就置入 ROM，比如上面提到的“倒车，请注意”等语音电路，均属于此类产品。二次开发用户只需把所需要的语音（例如，“倒车，请注意”等）用普通录音带录好交给芯片生产厂家，芯片厂家就能为其定做，但须接受批量订货。

掩膜 ROM 型语音电路一般采用黑膏软件包封装（COB），只需接上少量外围元件就能产生声音，发音长度可做到 1min 左右。目前已广泛用于玩具、工艺品、保安、电信、仪器仪表及自动化等各个领域。

2. 一次性可编程语音电路

一次性可编程语音电路是指语音芯片内含有一次性可编程存储器（PROM），它也是一种语音再生电路。与前面不同的是，语音信号的采集、A/D 转换、编码均由用户自己在专用设备上完成，然后也由用户自己使用编程器把语音数据写入到芯片中的 PROM 中，且一次写入后再不能更改，故称一次性可编程器件。这种芯片因厂家提供的是空片，且内容由用户自己写入，所以使用起来较灵活；但要求的设备多，普通应用者无法完成。

3. 语音处理器

语音处理器可完成对语音模拟信号的放大、采集、A/D 转换、编码、存储等记录过程，以及从存储器中取出语音数据、解码、D/A 转换等语音的还原过程，用这种语音电路可以构成没有磁带没有磁头的录音机，称为固体录音机。在使用时只需按动一个按钮就能像普通录音机一样录取语音信号，并将编码后的数据信息存入存储器中；而放音时也只需按动一个按钮，即能把所录下的语音重放出来。

语音处理器的型号很多，它们的主要区别在于所能配备的存储器（存储器均不包含在芯片内部）类型不同，常配用的数据存储器有动态存储器（DRAM）、静态存储器（SRAM）、紫外线可擦电可编程序储器（EPROM）、电可擦可编程存储器（E^2 PROM）等。使用 DRAM 成本较低，但需长期供电才能保持数据，因此耗电较大（5mA～20mA）；SRAM 用电极省，用锂电池就可以长期保持数据。使用 EPROM 不能进行语音录制，只能作为放音使用，录制时需在专用设备上完成对语音信号的采集、A/D 转换、编码、编辑，得到语音数据后用编程器写入，EPROM 的内容也可以用紫外线照射擦除。E^2 PROM 则更为方便，不需紫外线照射，可在编程器上执行一段程序来擦除，故称“电可擦除”。

4. 语音识别电路

语音识别电路是预先从欲识别的语音中提取其特征信息，经数字化编码后存储，作为语音识别的依据。目前还未能完全做到脱离具体的发音而仅由词义识别语音，因此该电路的识别率较低，还不能普及应用。

5. 掩膜型语音单片机

这类语音芯片内含有 4 位微控制器、程序 ROM 和语音数据 ROM，且造价低、功能强、耗电小、外围电路简单。它实际上也只是一种语音再生电路，但与前面所述的掩膜 ROM 型语音芯片不同的是，该芯片的语音 ROM 内存放（由厂家置入）的是一些基本语音的词、词组、数字等（例如，存放了斤、两、一、二……十等），应用时能根据需要调用这些数字、词、词组来组成不同的语句，例如，组成“一斤三两”或“五斤二两”等。用户一般用它来开发设计语音型电子产品，例如语音报时钟表、会报数的电子秤、计算器、高级玩具等。

6. 单片不挥发语音录放集成电路

这种芯片只需配备一个驻极体话筒、一个喇叭、两只按钮、少量电阻电容等就能组成一个最基本的录放装置，所录进的语音即使在断电状态下也能永久保留，即所谓的“不挥发”，因为它使用了 E^2PROM。这种芯片在录进新的内容时，能同时自动地抹去原来的内容，这与普通磁带录音机相仿。

四、语音集成电路及其应用

1. 一次性可编程语音电路 HY121

典型一次性可编程语音电路有 HY061(6s)和 HY121(12s)系列。图 9-3 所示为 HY121 引脚排列图。

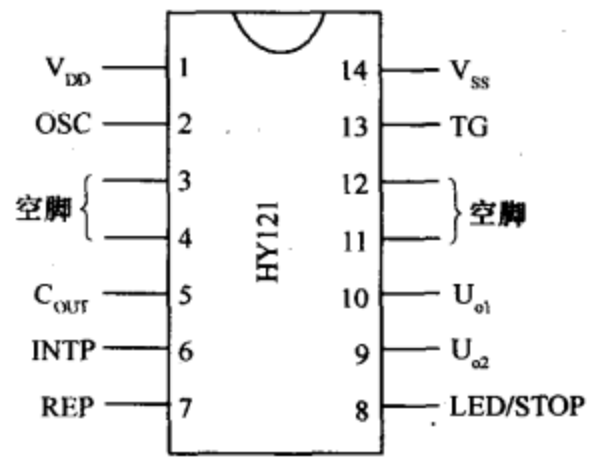


图 9-3　HY121 管脚功能排列图

HY121 管脚功能说明见表 9-1。

表 9-1　HY121 管脚功能

脚号	符号	功　能	脚号	符号	功　能
1	V_{DD}	电源正端	8	LED/STOP	LED 输出/停止信号输出
2	OSC	振荡器输入	9	U_{o2}	语音信号电压输出
3	NC	空脚	10	U_{o1}	语音信号电压输出
4	NC	空脚	11	NC	空脚
5	C_{OUT}	语音信号电流输出	12	NC	空脚
6	INTP	中断输出	13	TG	触发器
7	REP	重复输出	14	V_{SS}	电源负端

HY121 电路的语音信号是经烧录器固化到内部存储器中的。不过这一过程用户无法完成，而是由制造厂来完成。制作好的 HY121 电路具有语音清晰、不怕掉电、永久保存、抗干扰能力强、应用方便等特点。

图 9-4 所示是 HY121 的基本应用电路，图 9-4(a)为外接半导体三极管推动扬声器工作的电路，输出功率可达 100mW，图 9-4(b)为直接驱动压电蜂鸣器 BC 的电路。电路的 INTP 端接入高电平可立即中断语音输出，REP 端接入高电平，可使电路不断循环输出语音信号。TG 为触发输入端。若在 LED 输出端外接发光二极管，则在语音输出时会产生 3Hz 频闪指示。

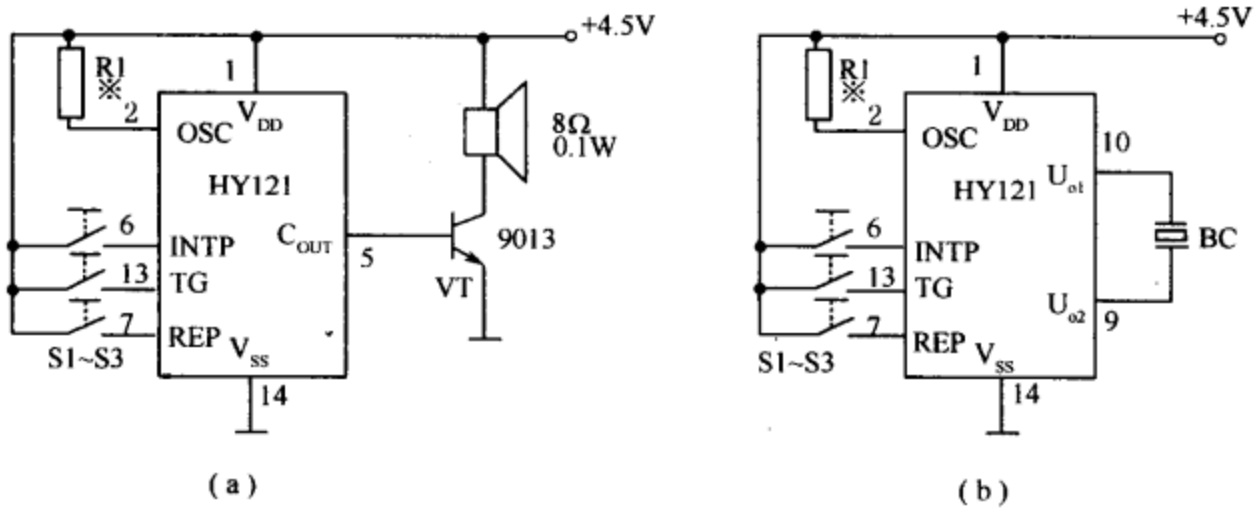


图 9-4　HY121 的应用电路

(a)外接半导体三极管推动扬声器工作的电路；(b)直接驱动压电蜂鸣器 BC 的电路。

2. 语音录放集成电路 BA9902

BA9902 是一种高音质、低价位，直接存储语音的录放模块。该模块工作电压为 5V，可以录音的时间为 20s，内部有自动增益控制电路(AGC)；用话筒输入的最大电压为 20mV(峰峰值)；线录最大输入电压为 50mV(峰峰值)；扬声器输出功率为 12mW。图 9-5 所示是 BA9902A 的应用电路。

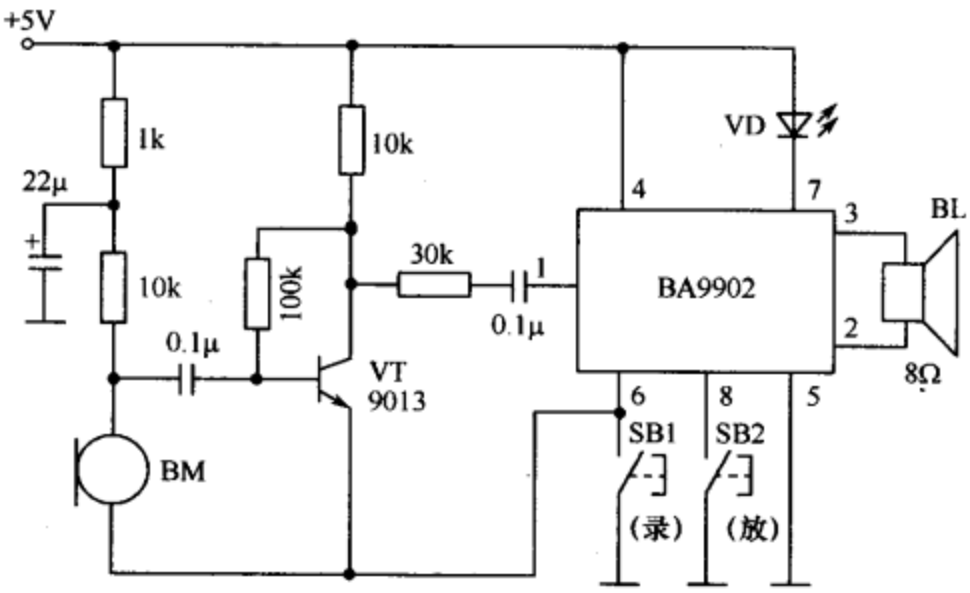


图 9-5　BA9902 的应用电路

录音时，语音信号经话筒 BM 转换成电信号，进入 BA9902 的 1 脚，将模拟信号转换成数字信号(A/D 转换)，存入存储器。放音时，语音录语音录放模块将存储器中的数据取出，进行数字信号到模拟信号的转换(D/A 转换)，转换成模拟信号经功率放大后推动扬声器放音。

BA9902 可以录取 20s 的语音，内部有自动增益控制电路，可以输出 12mW 的音频功率。录音时，按下 SB1，发光二极管 VD 点亮；放音时，按下 SB2，扬声器重放录入的语音。

3. 单片不挥发语音录放集成电路 ISD1400 系列

ISD1400 系列单片机语音录放电路，片内由时钟振荡器、128K 字节 E^2PROM(电可编程可擦除只读存储器)、微音放大器、自动增益控制电路、抗干扰滤波器、差动功率放大器等高品质语音录放系统所需的全部基本功能电路。一个最小的录放系统仅由一个驻极体话筒、一个喇叭、两个按钮、一个电源和少量的电阻、电容组成。

1)ISD1400 系列电路的特点

和其他同类语音电路相比，ISD1400 系列具有以下特点：①所需外围元件少、电路简单、操作方便；②采用直接模拟量存储技术 DAST，再现优质原声；③采用 E^2PROM 存储器，因此无需电池即能保存信息 10 年以上，可反复录放达 10 万次之多；④语音固化无需专用编程或开发装置；⑤具有自动省电模式，此模式下仅需 0.5μA 的保持电流。

2)管脚功能

目前，ISD1400 系列有下列型号：ISD1408、ISD1410、ISD1412、ISD1416、ISD1420。录放时间分别为 8s、10s、12s、16s、20s。

ISD1400 系列主要采用 28 脚 DIP 和 SOG(小型双列封装)塑料包装。另一种是标准 28 脚双烈直插式 COB 软包装，其性能指标与 DIP、SOG 包装相同，并可与 DIP 互换代用，其价格是 DIP、SOG 包装的一半。目前国内普遍使用 COB 包装，其型号规格与 ISD1400 系列对应，分别为 HY408、HY410、HY412、HY416、HY420。

下面主要介绍 ISD1420 电路，图 9-6 所示为 ISD1420 管脚排列图。

ISD1420 各管脚功能说明如下。

1 脚～6 脚、9 脚、10 脚：A0～A7，地址输入端；能根据外部状态来选择相应的存储区供录放音使用，地址只作为录放的地址，而不能作为结束地址。

7 脚、8 脚、11 脚、22 脚：空脚。

12 脚：V_{SSD}，数字电路地。

13 脚：V_{SSA}，模拟电路地。

14 脚、15 脚 SP_+、SP_-；喇叭＋、－极输出端。

16 脚：V_{CCA}，模拟电路电源。

17 脚：MIC，驻极体话筒输入。

18 脚：MIC REF，驻极体话筒参考输入。

19 脚：AGC，自动增益控制。

20 脚：ANA IN，模拟量输入。

21 脚：ANA OUT，模拟量输出。

23 脚：$\overline{\text{PLAYL}}$，放音电平触发端，低电平有效，当该脚加低电平时放音。

24 脚：$\overline{\text{PLAYE}}$，放音边沿触发端，下降沿有效，当该脚加一个下跳变信号，电路进入放音状态。

25 脚：RECLED，录音指示信号输出端，当电路处于录音状态时，该端内部被拉向低电平，通常该端接一个 LED 指示灯，用作录音状态的指示。

26 脚：XCLK，外接时钟输入端，一般接地。

27 脚：$\overline{\text{REC}}$，录音触发端，该脚加低电平时进入录音状态，回复高电平时录音停止。

3)基本录音应用

图 9-7 所示是应用 ISD1420(HY420)作为基本录放音的电路，所有的地址线均设置为 0，所以录放音的起始地址是 0。当按下录音按钮 REC 时开始录音，所得到的录音数据从存储器的 0 地址开始存放，直到存储器满或者录音键松开；当按下播放按钮 PLAYL 时，则开始放音，直到 PLAYL 松开或者存储器全部用完。LED 指示灯作录音指示使用，当处于录音状态时，25 脚内部被拉向地电位，因此 LED 有电流流过而发光。语音信号由

驻极体话筒 MIC 拾取，从 MIC 和 MIC REF 两端输入芯片内部的话筒放大器放大，该放大器的输出信号从 ANA OUT 端引出，外部使用耦合电容耦合到另一个放大器的输入端 ANA IN，作进一步放大，经功放后的音频信号从 SP_+ 和 SP_- 两端输出并推动扬声器发音；扬声器的接法也可以一端接地，另一端任意接 SP_+ 或 SP_-，扬声器的功率只宜在 0.25W 以内，否则需外加功率放大器。

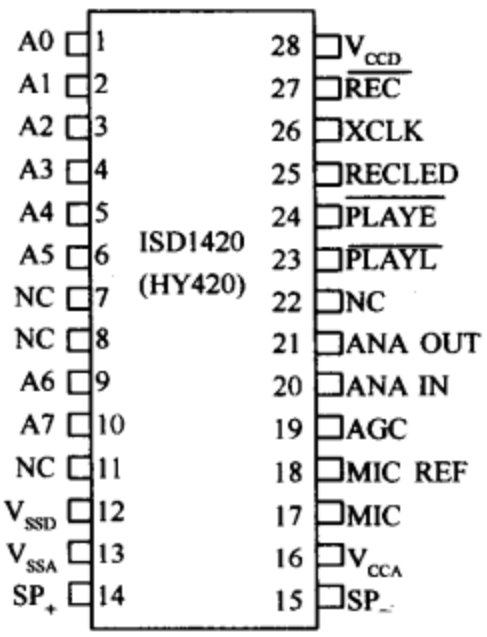


图 9-6　ISD1420 管脚排列图

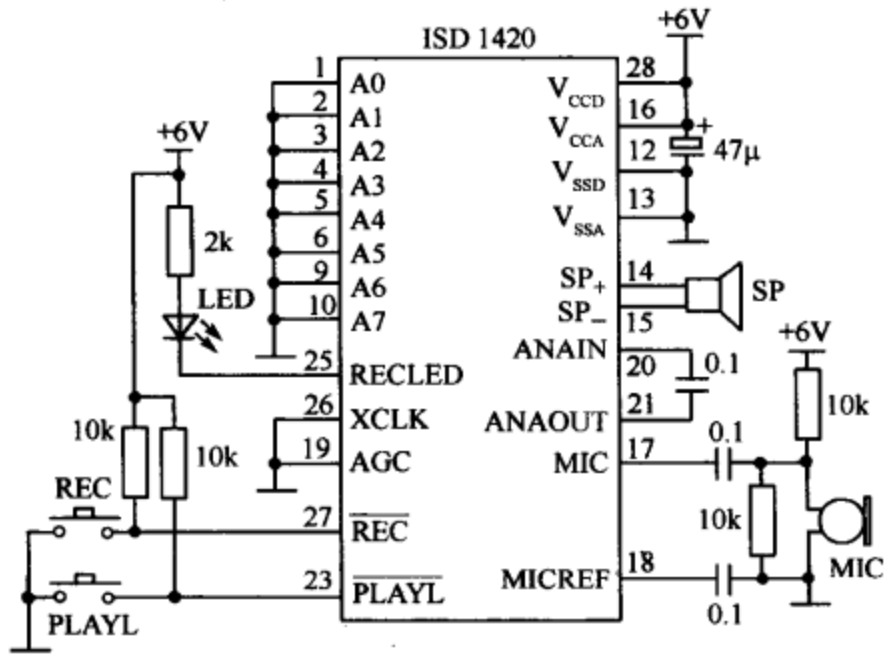


图 9-7　ISD1420 基本录放电路

4)分段方法

ISD1420(HY420)的地址输入端 A7～A0 的有效取值范围是 00000000～10011111（十六进制数表示为 00～9FH），这表明存储区可以被划分为 160 个区，共可录放 160 段语音信息，每小段占时为 20s/160＝0.125s。A7～A0 的设置只确定录放的起始地址，对于录音，其结束地址仅决定于实际录音状态的结束(即 REC 端回到高电平时)，在录音状态结束时，存储区里能留下一个 EOM 标志，因此使用分段录音时，能产生许多个 EOM 标志；在放音时则从由 A0～A7 所确定的起始地址开始放音，当遇到 EOM 标志时自动停止(无外界因素干涉)。

图 9-8 所示是一个分段录放应用电路，它把存储区 00～9FH 共分为 4 个区段，也就是把总共 20s 的时间分为 4 段使用，分别由 4 个按钮 KEY1～KEY4 来控制。由图可知，当 KEY1 被按下时，通过二极管把 A3～A7 全部接地，这时地址为 00(A0～A2 已固定接地)，若转换开关 K 接向 REC 一边，则 REC 端也通过二极管被接向低电平，于是录音便从 00 地址开始；若 K 是打向$\overline{PLAYL}$一边的，则$\overline{PLAYL}$端通过二极管被拉向低电平，从 00 地址开始放音。

若 KEY2 被按下，则除 A4 仍保持高电平外，其余的 A3、A5～A7 都通过二极管接地，因此地址为 00010000，即 10H，同时$\overline{PLAYL}$端或$\overline{REC}$端也通过开关 K 及二极管被接地，因此放音或录音从地址 10H 开始。

同理，若 KEY3 被按下，只有 A5 保持高电平，地址设置为 00100000，即 20H，录放的起始地址是 20H；若 KEY4 被按下，只有 A6、A4 保持高电平，录放的起始地址是 01010000 即 50H。

由此可知，存储区分为 0～10H、10H～20H、20H～50H、50H～9FH 共 4 个区段，对

应的录放时间是:第 1 段的起始时间为 0s;第 2 段的起始时间为0.125×10H=0.125×16=2(s);第 3 段的起始时间为 0.125×20H=0.125×32=4(s);第 4 段的起始时间为 0.125×50H=0.125×80=10(s)(式中"H"表示十六进制,计算时需要转换为十进制数),录音时要求按住按键的时间(即录音时间)绝不能越界。

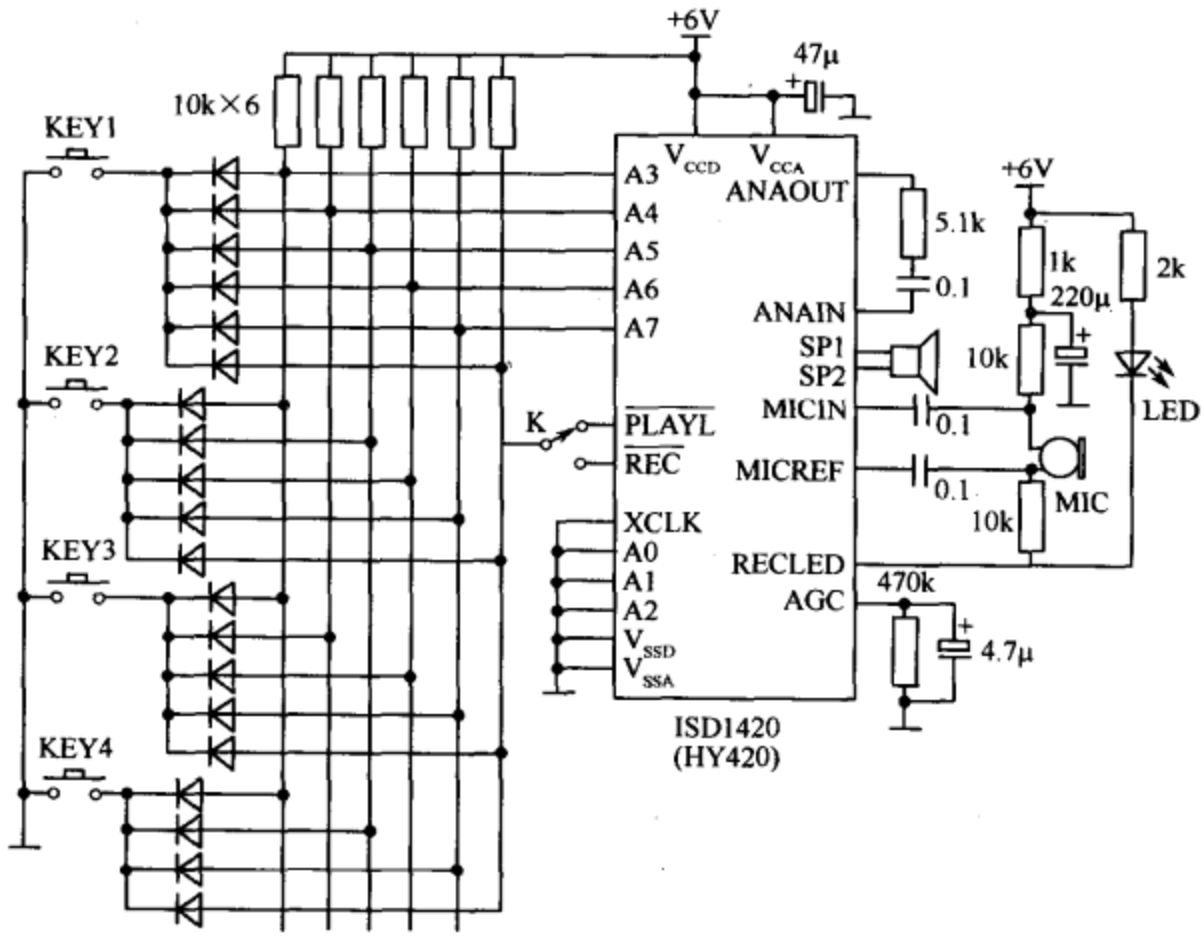


图 9-8　分段录音电路

图 9-9 所示是 ISD1420 等分 4 段的应用电路,通过对开关 K1、K2 的设置,可以把存储区等分为 4 个区段,相应的时间段等分为每段 5s。K1 的"刀"与 A3、A5 相连,K2 的"刀"与 A4、A6 相连,通过将 K1、K2 接向高电平或低电平,可以设置地址线为不同的状态,各段的起始地址与时间分配见表 9-2。

表 9-2　1SD1420 的 4 段等分地址设置表

A7	A6	A5	A4	A3	A2	A1	A0	十六进制数	K1	K2	段数	时间/s
0	0	0	0	0	0	0	0	00H	0	0	1	5
0	0	1	0	1	0	0	0	28H	1	0	2	5
0	1	0	1	0	0	0	0	50H	0	1	3	5
0	1	1	1	1	0	0	0	78H	1	1	4	5

ISD1400 系列产品目前已被用于微型固体录音机、通信、电话、车船、飞机黑匣子、有声电子信函、语音信箱及高级玩具等。ISD1420 与计算机、单片机相结合,应用前景十分广阔。ISD1420 可分段存储 20s 语音信息,按 1s 可读 3 个汉字计算,20s 可分段储存 609 多个汉字语音。将 ISD1420 的 A2～A7 与单片机 CPU 的 I/O 口连接,这样可单独提取 64 段语音信息,并在软件的支持下可自动组合成若干段完整的长短语句。例如在 ISD1420 中分段存入"电压"、"电流"、"欧姆"、"伏"、"安培"及"0～9"、"十"、"百"、"千"等语音,在单片机的控制下,通过与数字万用表电路或电压表、电流表等配接,便可制成语音

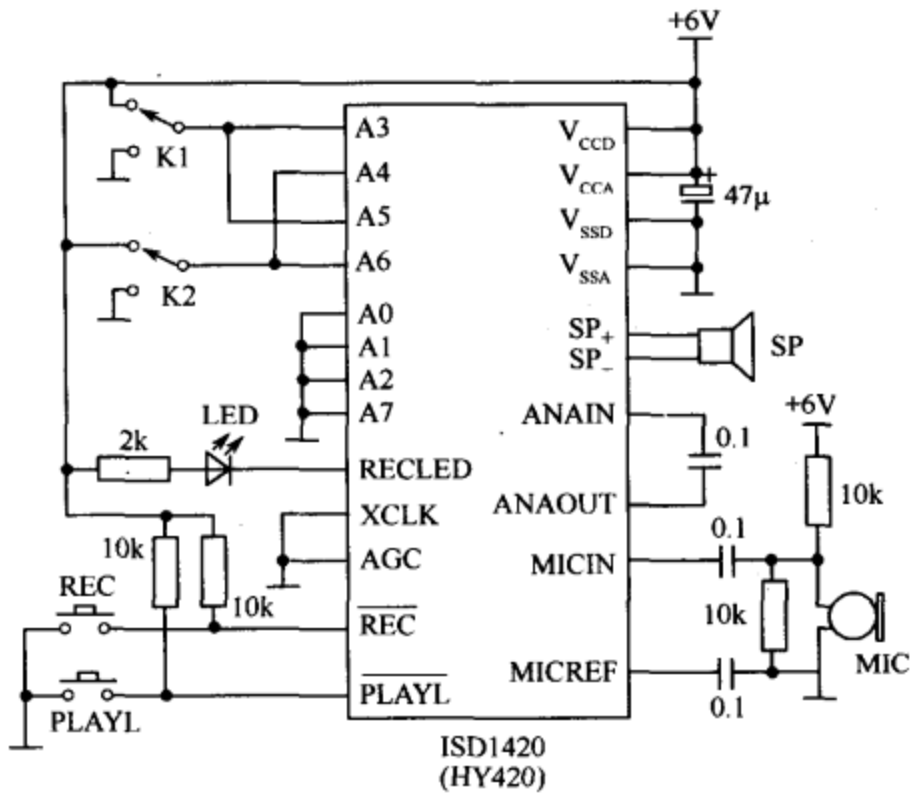


图 9-9　ISD1420 等分 4 段的应用

报数万用表，及“会说话”的电压表、电流表等语音型智能仪器仪表。此外，还可以开发出会说话的电子秤、出租车自动语报价器、多路语音报警系统等新颖电子电器产品。

4. 语音录放芯片 APR9600

我国台湾公司最新推出的 APR9600 语音录放芯片，是继美国 ISD 公司以后采用模拟存储技术的又一款音质好、噪声低、不怕断电、可反复录放的新型语音电路，单片电路可录放 32s～60s，串行控制时可分 256 段以上，并行控制时最大可分 8 段。与 ISD 同类芯片相比它具有价格便宜、有多种手动控制方式、分段管理方便、多段控制时电路简单、采样速度及录放音时间可调、每个单键均有开始停止循环多种功能等特点。

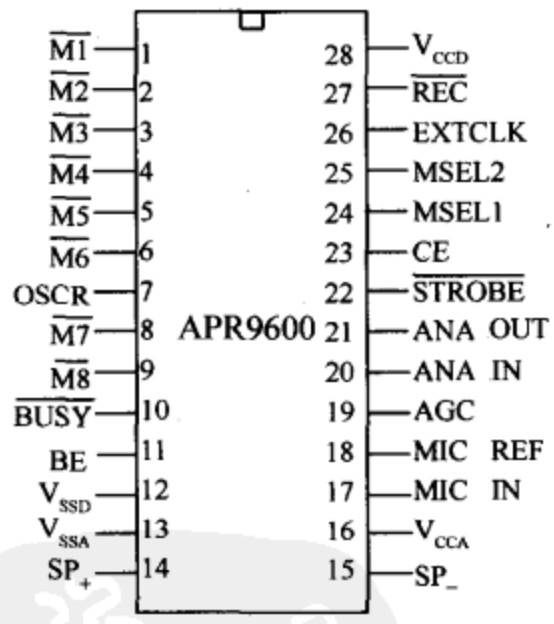


图 9-10　APR9600 的管脚排列

1）APR9600 的管脚功能

APR9600 的管脚排列如图 9-10 所示。

APR9600 管脚功能见表 9-3。

在 APR9600 芯片的内部，录音时外部音频信号通过话筒输入和线路输入方式进入，话筒可采用普通的驻极体话筒，在芯片内话筒放大器中自带自动增益调节（AGC），可由外接阻容件设定响应速度和增益范围。如果信号幅度在 100mV 左右即可直接进入线路输入端，音频信号由内部滤波器、采样电路处理后以模拟量方式存入专用快闪存储器 Flash ROM 中。由于 Flash ROM 是非易失器件，断电等因素不会使存储的语音丢失。放音时芯片内读逻辑电路从 Flash ROM 中取出信号，经过一个低通滤波器送到功率放大器中，然后直接推动外部的喇叭放音。厂家要求外接喇叭为16Ω，实际试验用8Ω～16Ω

表 9-3　APR9600 管脚功能

脚号	符号	功　能	脚号	符号	功　能
1	$\overline{M1}$	第 1 段控制或连续录放控制(低电平有效)	14	SP_+	外接喇叭正端
			15	SP−	外接喇叭负端
2	$\overline{M2}$	第 2 段控制或快进选段控制(低电平有效)	16	V_{CCA}	模拟电路正电源
			17	MIC IN	话筒输入端
3	$\overline{M3}$	第 3 段控制(低电平有效)	18	MIC REF	话筒输入基准端
4	$\overline{M4}$	第 4 段控制(低电平有效)	19	AGC	自动增益控制端
5	$\overline{M5}$	第 5 段控制(低电平有效)	20	ANA IN	线路输入端
6	$\overline{M6}$	第 6 段控制(低电平有效)	21	ANA OUT	线路输出端(话筒放大器输出端)
7	OSCR	振荡电阻	22	$\overline{STROBE}$	工作期间指示灯输出端(低电平有效)
8	$\overline{M7}$	第 7 段控制及片溢出指示(低电平有效)			
9	$\overline{M8}$	第 8 段控制(低电平有效)及操作模式选项	23	CE	复位/停止键或启动/停止键(高电平有效)
			24	MSEL1	模式设置端
10	$\overline{BUSY}$	忙信号输出(工作时出 0,平时为 1)	25	MSEL2	模式设置端
			26	EXTCLK	外接振荡频率端(用内部时钟时接地)
11	BE	键声选择(接 1 为有键声,0 则无)			
12	V_{SSD}	数字电路电源地	27	$\overline{REC}$	录放选择端(0 为录音、1 为放音)
13	V_{SSA}	模拟电路电源地	28	V_{CCD}	数字电路正电源

均可,一般音量下输出功率 12.2mW(16Ω)。

2)APR9600 的操作模式

APR9600 的录放控制有多种操作模式,为普通用户使用提供了极大的方便。总的来说分为串行控制和并行控制两种,由芯片 MSEL1(24 脚)、MSEL2(25 脚)、$\overline{M8}$(9 脚)的设置来实现,工作模式设置功能表见表 9-4。

表 9-4　APR9600 的操作模式

MSEL1 (24 脚)	MSEL2 (25 脚)	$\overline{M8}$ (9 脚)	有效键	功能(以 60s 计)
0	1	0/1	$\overline{M1}$、$\overline{M2}$、CE	并行控制,分 2 段,每段最大 30s
1	0	0/1	$\overline{M1}$、$\overline{M2}$、$\overline{M3}$、$\overline{M4}$、CE	并行控制,分 4 段,每段最大 15s
1	1	1	$\overline{M1}$～$\overline{M8}$、CE	并行控制,分 8 段,每段最大 7.5s
1	1	0	CE	单键控制,单段 7.5s 循环。CE 为启动/停止键
0	0	1	$\overline{M1}$、CE	串行顺序控制,可分 1 至任意多段
0	0	0	$\overline{M1}$、$\overline{M2}$、CE	串行选段控制,$\overline{M2}$系选段快进键

注:①$\overline{REC}$置低电平为录音状态;$\overline{REC}$置高电平为放音状态。

②$\overline{M1}$～$\overline{M8}$键在有效段控放音时,按一下键即开始放音一段,放音期间再按一下即停止;如按键不放即循环放音。

③$\overline{M1}$～$\overline{M8}$键在有效段控录音时,按住不放为录音,松键即停止

APR9600 的每种操作模式都有对应的有效键,而且同一个键在不同操作模式下可能

有不同的功能。因此在芯片设计、使用前用户应详尽了解芯片的各种操作模式，选择最合适自己的方式设计，电路也会变得非常简单。

(1)并行控制模式。在 ISD 芯片中要实现某键对某段的多段并行控制是十分复杂的，一般需要大量的二极管译码阵或单片机来辅助实现，另外在分段录音时也存在很多困难。而在 APR9600 芯片中却十分简单，每段都有对应的键控制，按哪一键就录、放哪一段，而且可以方便地对任意一段重新录音不影响其他段、对任意一段循环放音等。只是每段录音的最大时间是等分的，而且最多只能分 8 段。下面以需要分 4 段为例说明。有关电路如图 9-11 所示。

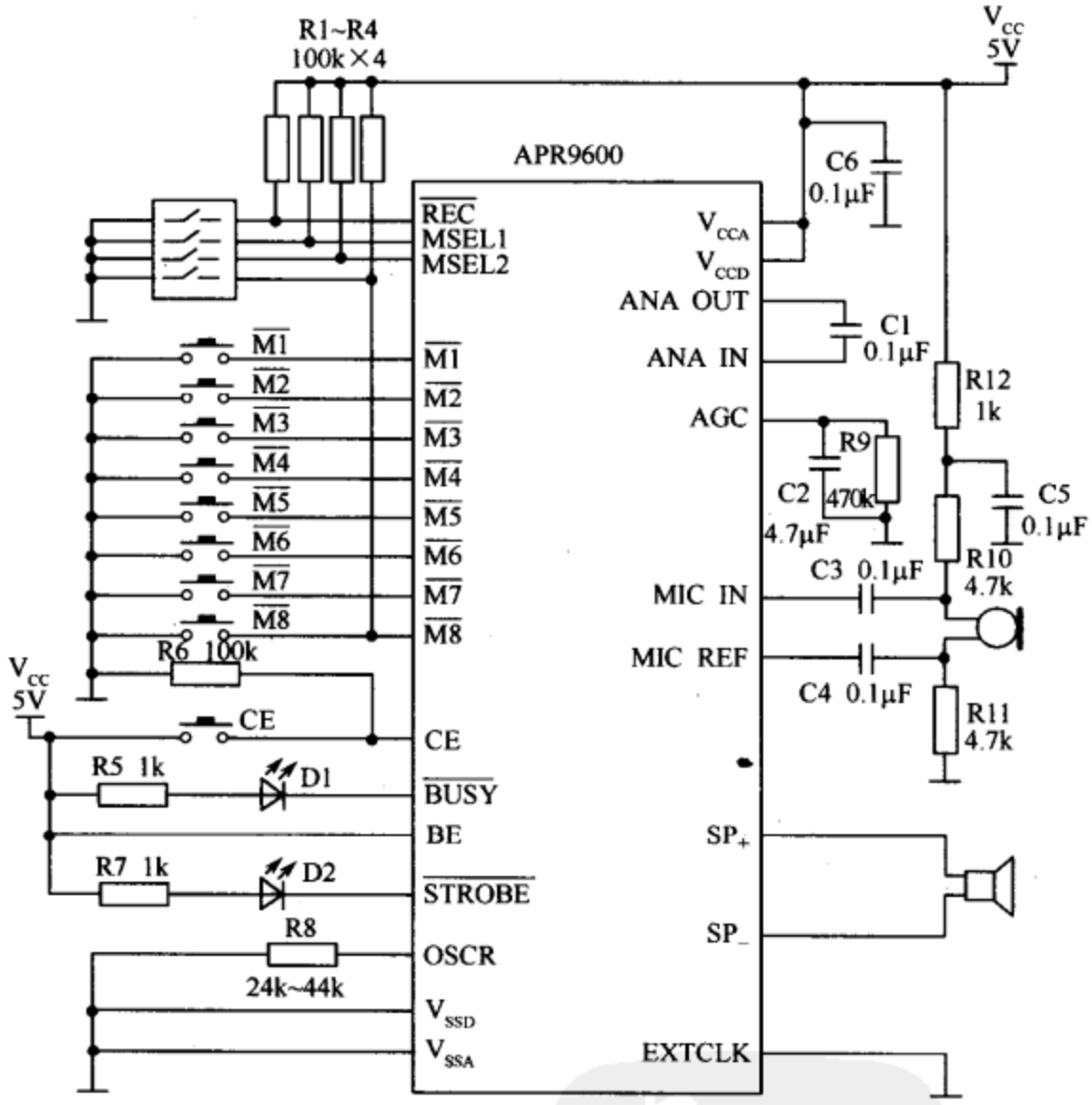


图 9-11　APR9600 全功能应用电路

并行 4 段控制需要将 MSEL1(24 脚)接高电平，MSEL2(25 脚)接低电平，$\overline{M8}$(第 9 脚)任意。

模式置好后开始录音，将 APR9600 的$\overline{REC}$(27 脚)接低电平，压住$\overline{M1}$键即听“嘀”一声，LED 指示灯亮起即开始录音第 1 段，松键时又听到“嘀”一声，LED 指示灯熄灭即录音停止。$\overline{M2}$、$\overline{M3}$、$\overline{M4}$分别录其他 3 段。录音时可以不按顺序，先录任意一段均可，不满意可重新录音。每段的最大时间为 15s(以全片 60s 录音计)，录满时指示灯熄灭并响“嘀嘀”两声，当然实际每段录音可以长短不一。

将 APR9600 的$\overline{REC}$(27 脚)接高电平即是放音状态，按 1 下$\overline{M1}$键，即放音第 1 段，放音期间再按一下$\overline{M1}$健即停止放音，如果压住$\overline{M1}$键不放即循环放音第 1 段直到松键。

$\overline{M2}$、$\overline{M3}$、$\overline{M4}$均分别控制第 2、3、4 段。CE 键为停止键，放音期间按一下它也能停止放音。

其他并行 2 段、8 段的控制使用方式相同。

(2)串行控制模式。串行控制方式用到的键要少得多，它仅需要一两个键来控制所有的语音段录放，而且段数可以足够多，每段也没有时间限制。只是在选段上没有并行控制模式方便。

将 APR9600 的 MSEL1(24 脚)、MSEL2(25 脚)接低电平，APR9600 即处于串行操作模式。

将 APR9600 的 27 脚($\overline{REC}$)接低电平进入录音模式，按住$\overline{M1}$键即开始录第一段，松键即停止。再按住$\overline{M1}$键即录第二段，如此一直分段录音，直到芯片溢出。

在放音时，($\overline{REC}$=1)有两种状态，$\overline{M8}$置 1 为串行顺序控制方式，按一下$\overline{M1}$即放音第 1 段，再按一下即放第 2 段，如此顺序逐段放音，到最后一段结束时即停止放音，必须按一下 CE 键复位，然后再按$\overline{M1}$键就可以又从第 1 段放音。这种方式下的段不可选择，只能按录音的顺序播放，适合走马灯、流程控制等电路使用。$\overline{M8}$置 0 为串行选段控制方式，按一下$\overline{M1}$只能放音第 1 段，再按还是放音第 1 段。这时的$\overline{M2}$有效成为快进选段键，每按 1 下$\overline{M2}$即向后移动 1 段，例如现在按了 3 下$\overline{M2}$，再按$\overline{M1}$就放音第 4 段，因此可以实现选段放音。按 CE 键复位为第 1 段。

APR9600 芯片的其他几种控制方式，用户可根据需要自行实验设计。

3)APR9600 的电性能参数

APR9600 电源电压为 4.5V～6.5V，静态电流 1μA，工作电流 25mA。APR9600 的录放时间为 32s～60s，和外接振荡电阻的大小有关。当采样频率较低，录放音的频带为 2.1kHz，录放时间最长为 60s；当采样频率较高，录放音的频带为 4kHz，可以和电话的音质媲美，此时录放时间仅为 32s。振荡电阻可以根据需要的时间和音质效果无级调节。其外接振荡电阻与采样率、语音频带、录放时间的关系见表 9-5，该电阻可以根据用户需要的时间和音质效果无级调节。

表 9-5　APR9600 的 7 脚外接振荡电阻与采样率、语音频带、录放时间的关系

振荡电阻(7 脚 OSCR)/kΩ	采样频率/kHz	录放音频带/kHz	录放音时间/s
44	4.2	2.1	60
38	6.4	3.2	40
24	8.0	4.0	32

4)APR9600 应用举例

由于 APR9600 具有高品质的语音录放特性，同时又具备多种手动控制方式、外围电路设计简单、价格也十分低廉，其在工业控制、家电、电化教育、游艺等产品、系统中有着广泛的应用。

这里介绍一种布娃娃，初看和普通的布娃娃没有什么区别，但是只要碰一下娃娃的眼睛，她就会对你说："这是我的眼睛，小朋友要保护自己的眼睛。"你摸一下娃娃的手她又说："这是我的小手，小朋友从小爱劳动。"你再按一下她的小嘴，她还会给你唱一段儿歌。碰触娃娃的 8 个不同部位，娃娃会说出 8 种不同的话。其实娃娃说的话都是预先录制的，想让她说什么她就能说什么。

这个聪明的布娃娃是用普通布娃娃改制的，内部有一个以语音录放芯片 APR9600 为核心的电路，如图 9-12 所示。

APR9600 通过设置 24 脚、25 脚、9 脚的电平可以实现并行 2 段、4 段、8 段控制。这里就接成并行 8 段，只要按下$\overline{M1}$～$\overline{M8}$中的任一键，芯片即将该段已录入的声音重放一遍，如果在放音期间再按一次则立即停止，如果按住按键不放芯片将循环播放该段。在并行控制状态时各段时间均相同，所以 8 段中每一段的时间都不能超过 7.5s(振荡电阻为 44kΩ)，$\overline{M1}$～$\overline{M8}$可选用 8 只微动开关，分别安置在布娃娃的不同位置，碰触时应能可靠接通。

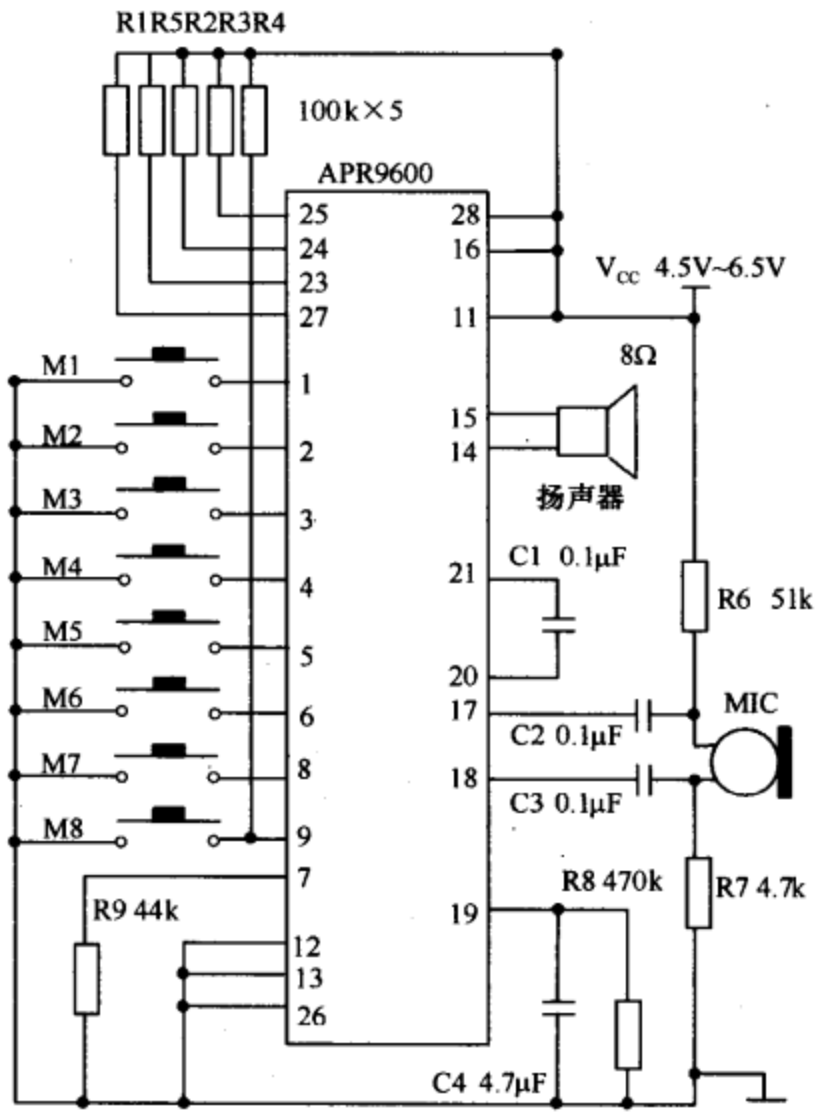


图 9-12　会说话的布娃娃电路

五、音乐集成电路及其应用

音乐集成电路是一种大规模的 CMOS 集成电路。使用音乐集成电路，通过简单的外接电路即可获得简单的乐曲、语音或是各种模拟的声响。音乐集成电路价格便宜、电路结构简单、工作稳定可靠、耗电少，所以用途广泛；在音乐门铃、音乐贺年卡、音乐报时钟、电话振铃电路中都可见它的踪影。音乐集成电路内部结构框图如图 9-13 所示。

音乐集成电路中的存储器一般为“只读存储器”，也就是说存储器内容已经固定，只能把内容“读”出来。音乐集成电路内储什么曲子，完全由只读存储器的内容决定。振荡电路用来产生信号供各个电路使用；控制电路用来从存储器中读出代码，根据代码来控制节拍器和音调器协调工作，产生相应的音乐输出。

音乐集成电路一般采用软封装，也有的使用双列直插和单列直插封装，还有的做成晶体三极管外形，叫做“音乐三极管”。工作电压一般用 1.5V～3V 直流电源。

输出常用压电陶瓷片作为电—声转换器件；也常用晶体三极管进行放大后送到喇叭

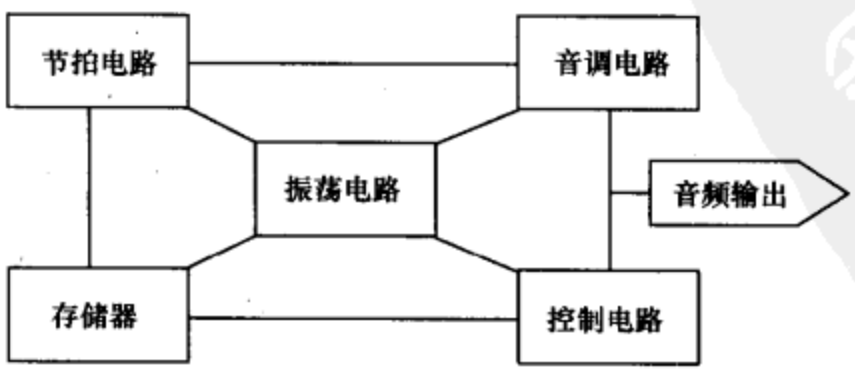


图 9-13　音乐集成电路框图

放音，音质更好。

音乐集成电路的使用十分广泛，利用音乐集成电路的音响效果，可以使电子玩具及各种报警装置电路大大简化。下面简要介绍音乐集成电路的几种应用电路。

1. 电子声光门铃

电子声光门铃是音乐集成电路的最基本、最简单的应用，如图 9-14 所示。电路中，只要按动一下按钮，它就能自动奏出一支乐曲或发出各种不同的模拟音响来；同时，装在机壳面板上的发光二极管还会随乐曲节奏闪闪发光，起到装饰和光显示功能。

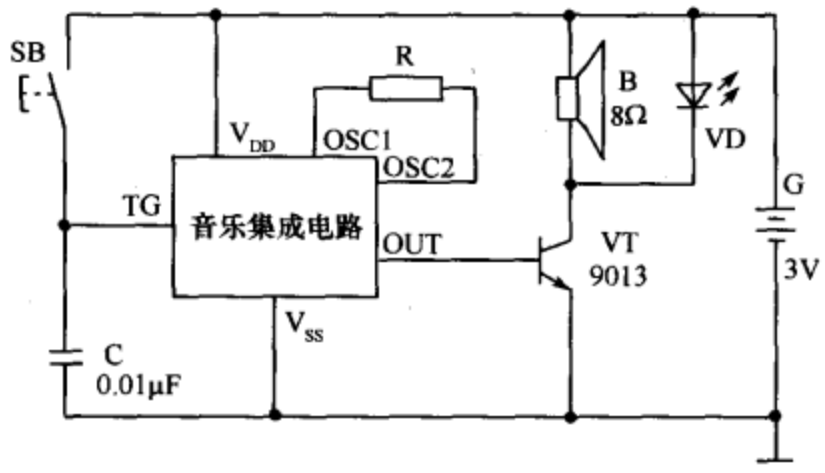


图 9-14　音乐集成电路在声光门铃中的应用电路

图 9-14 中，V_{DD}和 Vss 分别是音乐集成电路的外接电源正、负极引脚。OSC1、OSC2 是音乐集成电路的内部振荡器外接振荡电阻器引脚，个别需外接 RC 振荡元件，此时外接的电阻器或电容器便可作为乐曲演奏速度及音调调整元件。也有的音乐集成电路将振荡元件全部集成在芯片内部，不需要外接元器件，这时振荡频率就无法外调节。TG 是音乐集成电路的触发端，一般采用高电平（直接与 V_{DD}相连）或正脉冲（通过按钮开关 SB 接 V_{DD}）触发均可。OUT 是音乐集成电路的乐曲信号输出端。一般的音乐集成电路需外接一只晶体三极管 VT 做功率放大后推动扬声器 B 发声，但也有一些音乐集成电路输出功率较大，可以直接推动扬声器放音。

声光音乐门铃的工作过程如下：每按动一下按钮开关 SB，音乐集成电路的触发端 TG 便获得正脉冲触发信号，音乐集成电路工作，其输出端 OUT 输出一遍内储的音乐电信号，经三极管 VT 功率放大后，驱动扬声器 B 发出优美动听的乐曲声；与此同时，并接在 B 两端的发光二极管 VD 也会随乐曲节奏闪闪发光。

电路中，C 是交流旁路电容器，它的作用是防止音乐集成电路受杂波感应误触发。因为音乐集成电路的 TG 脚输入阻抗很高，当按钮开关 SB 的引线较长时，特别是引线与室内 220V 交流电源线靠得较近时，每开关一次电灯或家用电器就会造成集成电路误触发，使门铃自鸣一次。有了电容器 C，就能有效消除这种外干扰，使门铃稳定、可靠地工作。实际中，C 也可用一只 300Ω～510Ω 的 1/8W 碳膜电阻器来代替；也可将 C 直接跨接在音乐集成电路的 V_{DD}与 TG 引脚（接 SB 的位置）之间。

2. 感应式自动门铃

感应式自动门铃无需在门外安装门铃按钮，而是依靠人体散发的红外线感应触发。当门外来客时，门铃会自动发声，通知主人开门。

感应式自动门铃的电路如图 9-15 所示，电路主要由热释电集成红外传感器 A1 和音

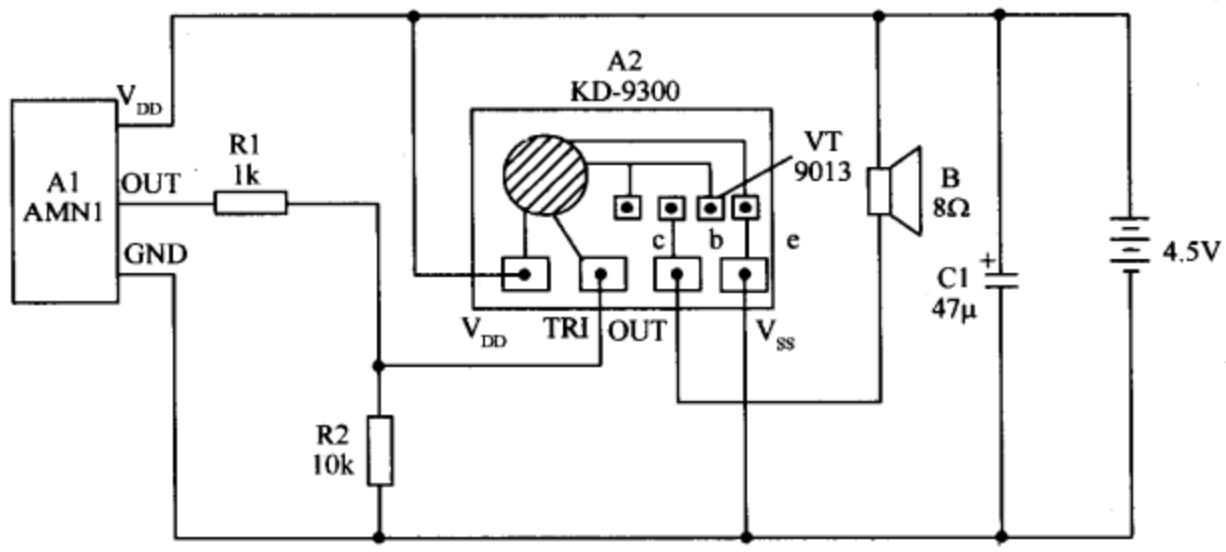


图 9-15　感应式自动门铃

乐门铃芯片 A2 等组成。

热释电集成红外传感器是一种新颖的被动式红外探测器件，它能以非接触方式探测出人体发出的红外辐射，并将其转化为相应的电信号输出，同时它能有效地抑制人体辐射波长以外的红外光线与可见光的干扰。平时 A1 的输出端 OUT 输出低电平，音乐集成电路 A2 因无触发信号而处于静止状态。当有人在 A1 探测范围内移动，A1 输出端 OUT 输出高电平，此高电平经 R1、R2 分压加到 A2 的触发端 TRI，使 A2 触发上作，A1 就输出内储的乐曲信号通过外接功放管 VT 放大推动扬声器 B 发声。

3. 能识别主人的遥控门铃

当客人来访时，按动门框上的门铃按钮，门铃就会发出清脆悦耳的鸟鸣声，告知门外有客人来访。若主人回家，只要按动放在口袋里的遥控开关，门铃则发出“叮咚”响声。这种能识别主人的遥控门铃电路原理图如图 9-16 所示。

遥控门铃分发射器与接收器两大部分，发射器主要器件是一块微型无线电发射模块 TWH630，当按下发射按钮 SB1 时，它通过内藏天线向空中辐射 VHF 高频信号。A1 是一块 555 时基集成电路，它接成典型的自激多谐振荡器，其输出方波频率为 $f=\frac{1}{T}=\frac{1}{0.7(R1+2R2)C}$，图示数据约为 1kHz，方波信号由电阻 R3 加到 TWH630 的输入端 IN，对辐射的 VHF 信号进行调制。

接收器由无线电接收模块 TWH631、音频译码器 LM567 及“叮咚—鸟鸣”专用集成电路 KD-156 等器件组成，TWH631 接收到来自发射模块的信号首先进行放大，然后由输出端 OUT 送至 LM567 进行解码，译码器的中心频率主要由 $(RP+R4)$ 与 $C4$ 决定，即 $f=1.1/(RP+R4)C4$，调整电位器 RP，可使中心频率等于发射器的调制频率 1kHz，此时集成块的 8 脚输出低电平，加到 A5 的低触发端 TRI2，使其受到触发而发出“叮咚”信号，并经三极管 VT 放大推动扬声器 B 发声。A5 是一块“叮咚—鸟鸣”音乐集成电路，它有两个触发端，一个为高电平触发端 TRI1，它受高电平触发，O/P 端输出的是鸟鸣信号，该触发端对低电平无效；另一个为低电平触发端 TRI2，当受低电平触发时，O/P 端输出的叮咚信号，它对高电平无效。SB2 为装在门框的按钮，客人来访时按动的是 SB2，此时，高电平触发端 TRI1 受到触发，故扬声器 B 发出的是鸟鸣响声。

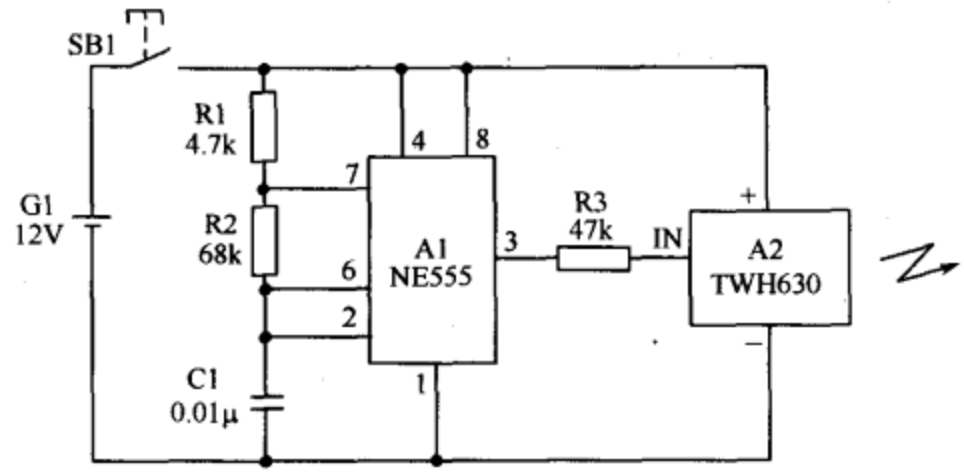


图 9-16　能识别主人的遥控门铃电路

(a)遥控发射器；(b)遥控门铃接收器。

4. 断线报警器

这里介绍的断线式报警器不仅可用于家中门窗防盗报警，也可充当外出旅行的电子卫士，能保护乘客在乘坐交通工具时行李不被盗走。断线式报警器的电路如图 9-17 所示。

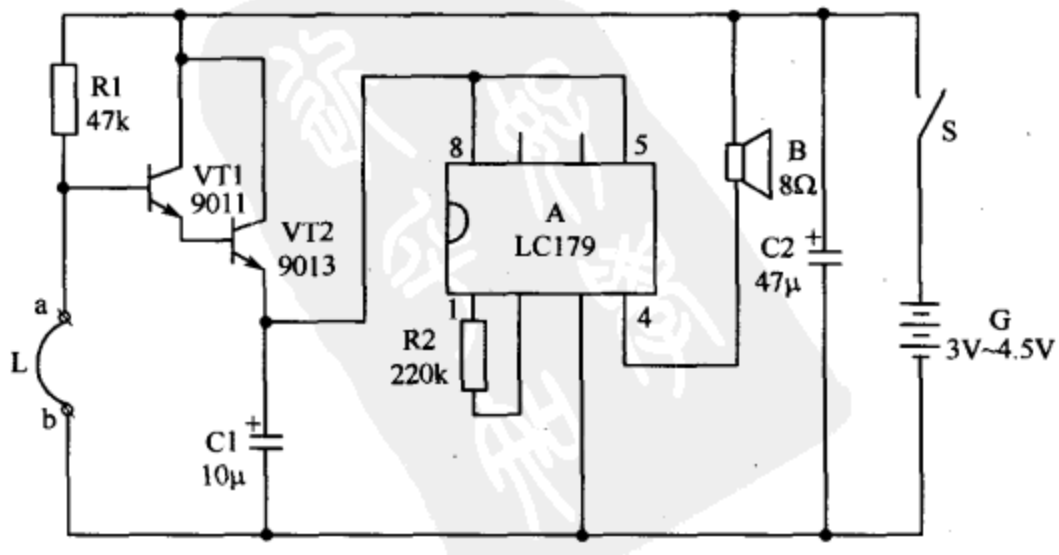


图 9-17　断线报警器

该电路主要由电子开关与音乐集成电路 LC179 等组成。

LC179 为报警专用音乐集成电路，其内部集成了功率放大器，故可直接驱动扬声器发声。各脚的功能为：1 脚、2 脚为振荡端；3 脚为地；4 脚为输出端；5 脚为电源；6 脚、7 脚为空；8 脚为选声端，当 8 脚悬空时为警车声，当 8 脚接电源时为消防车声，当 8 脚接低电平时输出的是救护车声响。

图中 a、b 为接线柱，L 为防盗用的细漆包线。VT1 与 VT2 组成电子开关，由于 L 的短接作用，三极管 VT1 的基极处于低电平，三极管 VT1 与 VT2 均处于截止态，VT2 的发射极无电流输出，音乐集成电路失电不工作，扬声器 B 无声，整个电路处于静止守候状态。当有盗情发生，防盗细漆包线 L 被扯断，VT1 通过 R1 获得基极偏流而导通，VT2 也随之导通，音乐集成电路得电工作，其 4 脚就输出报警信号驱动扬声器 B 发声。如果不切断报警器的电源开关 S，报警声将一直持续到电源用完为止。

5. 压控式报警器

压控式报警器的电路如图 9-18 所示，电路主要由报警音乐集成电路 LC179 与单向晶闸管 VS 等器件组成。

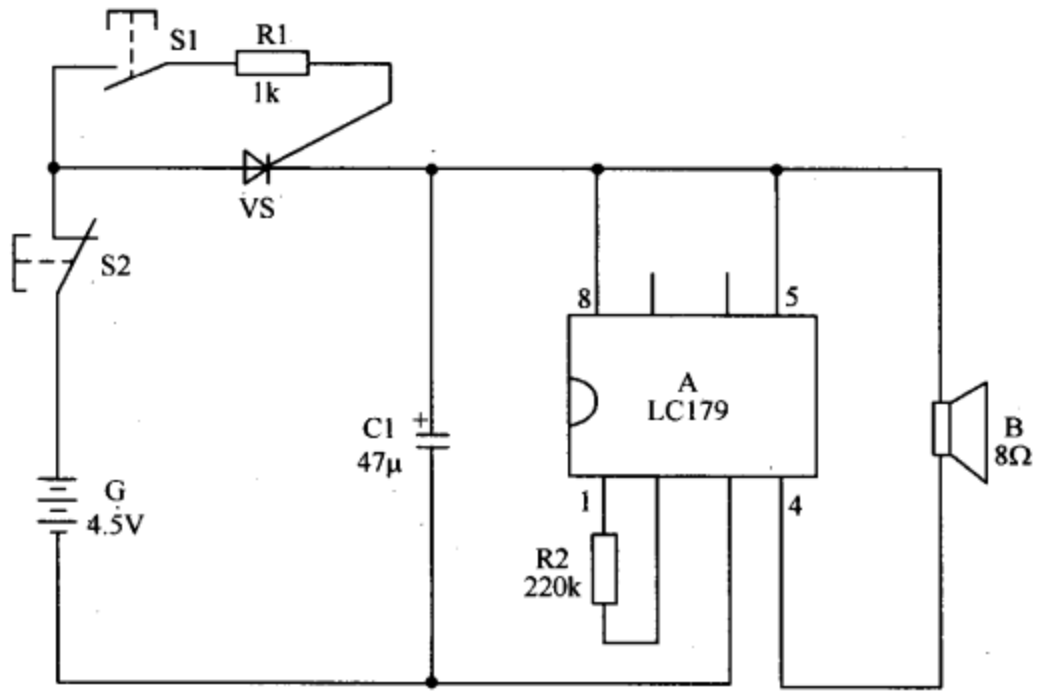


图 9-18　压控式报警器

图 9-18 中，S1、S2 均为常闭按键开关，需防盗报警的物品就放在开关 S1 上面，由于受重力作用，开关 S1 打开，晶闸管 VS 的门极被悬空，无触发电流通过门极，所以 VS 处于关断状态，报警集成电路失电不工作，整个电路处于静止等候状态，整机也不消耗电能。若有人偷走开关 S1 上面的物品，S1 因自身弹性复位闭合，晶闸管 VS 的门极通过电阻 R1 获得触发电流而开通，报警集成电路 LC179 得电工作，扬声器 B 就发出响亮的报警声。晶闸管一旦开通后，其门极就失去了控制作用，即使小偷将物品放还原处，S1 再度打开，VS 仍能保持开通状态，所以报警声响不会停止。只有值班人员按动藏在隐蔽处的解警开关 S2，使 VS 失去阳极电流才能迫使晶闸管关断，电路才恢复到原先的静止状态。

6. 燃气熄火报警器

使用燃气燃料时必须注意安全，若遇意外情况（如水分溢出）造成燃气熄火，而厨房又无人照看时会造成大量燃气外泄，易形成火灾及人身伤害事故。如采用燃气熄火报警器，

一旦燃气熄火，它就会发出报警声响，提醒人们及时进行处理。燃气熄火报警器的电路如图 9-19 所示，电路主要由报警音乐集成电路 Y976 与少量分立元件组成。

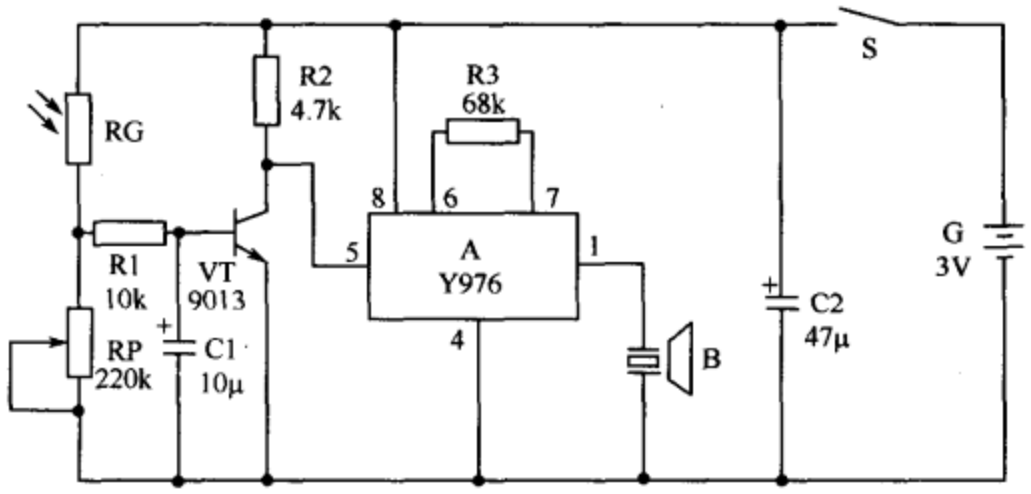


图 9-19　燃气熄灭报警器

报警集成电路 Y976 各脚功能为：1 脚为报警信号输出端 OUT；2 脚与 3 脚分别为报警声响设置端 S1 与 S2，当 S1、S2 都悬空时，报警声为 4 声/s 的 BP 机声；当 S1 接地，S2 悬空，为 1 声/s 的 BP 机声；当 S1 悬空、S2 接地，为 1 声/s 的“嘟”声；4 脚为电源负端 V_{ss}；5 脚为使能端 EN，当 EN 为低电平时，电路不工作；当 EN 端为高电平（不小于 $0.4V_{DD}$）或悬空，电路工作输出报警声；6 脚与 7 脚为振荡端，外接振荡电阻，改变 6 脚、7 脚间的外接电阻的数值，可以调节报警声响的频率；8 脚为电源正端 V_{DD}。

电路中，RG 为光敏电阻器，用来探测燃烧火焰的有无。当燃烧正常时，RG 受火焰光线照射而呈低电阻，其阻值一般在 10kΩ 以下，它与 RP 分压并通过 R1 为三极管 VT 提供足够的基极偏置电流，使 VT 饱和导通，其集电极输出低电平，使报警集成电路 A 的使能端 5 脚处于低电平状态，故集成块 A 不工作，无报警声响输出。如果因意外事故发生燃气熄火，RG 立刻呈现高电阻，它与 RP 分压不足以维持 VT 导通，VT 就由原来的导通态进入截止态，导致集成块 A 的使能端 5 脚为高电平，压电喇叭 B 就发出 4 声/s 的类似 BP 机的报警声响，提醒主人处理。R1 与 C1 构成短时间延迟电路，具有抑制火焰大小波动对电路可能造成误报的作用。

第二节　数字遥控电路

一、遥控电路的种类

随着电子技术的发展，遥控技术通信、军事和家用电器等诸多领域得到了广泛的应用，特别是随着各种遥控专用集成电路的不断问世，使得各类遥控设备的性能更加优越可靠，功能更加完善。

常见的遥控电路一般有如下几种类型：声控、光控、无线电遥控、红外遥控等。

1. 声控

声控就是用声音去控制对象动作，一般采用驻极体话筒或压电陶瓷片作为传感元件来拾取声音，通过电路放大驱动后级电子开关动作。为防止外界音频干扰，可以采用超声

波控制，但也有选用声频来进行控制的，比如用小孩发出的声音频率去控制声控玩具娃娃的哭笑动作等。

2. 光控

光控电路是利用光敏管受光以后内阻发生变化使电子开关的状态发生变化，传感器有光电二极管、光电三极管、光敏电阻、光敏电池等。为了和红外遥控区别开来，这里的“光”一般指可见光。

现在有许多居民楼的走廊照明灯都采用了光控与声控相结合的电路，利用路过的人发出的脚步声、谈话声或其他声音去触发照明灯的声控电子开关，用光控电路使得照明灯在白天自动关闭停止响应。

3. 无线电遥控

无线电遥控电路比起声控或光控电路复杂多了，但控制距离也更远是它的主要特点。光控、声控电路一般仅有几米至十几米的作用距离，而无线电遥控视不同的应用场合近可以是零点几米，远则可以超越地球到达太空。它由发射电路和接收电路两部分组成，当接收机收到发射机发出的无线电波以后驱动电子开关电路工作。所以，它的发射频率与接收频率必须是完全相同的。根据其发射的高频波形有等幅、调幅、调频发射机之分；根据其控制的开关数目有单通道遥控和多通道遥控之分。

4. 红外线遥控

红外线遥控是目前使用最广泛的一种通信和遥控手段。由于红外线遥控装置具有体积小、功耗低、功能强、成本低等特点，因而继彩电、录像机之后，在空调机以及玩具等其他小型电器装置上也纷纷采用红外线遥控。工业设备中，在高压、辐射、有毒气体、粉尘等环境下，采用红外线遥控不仅安全可靠，而且能有效地隔离电气干扰。

1)红外线

太阳发出的辐射中除可见光线外，还有一种人眼看不见的“热线”，这种看不见的“热线”位于红色光外侧，叫做红外线。红外线是一种电磁波，具有与无线电波及可见光一样的本质。红外线的波长在 760nm～10^6nm 之间，它在电磁波连续频谱中的位置是处于无线电波与可见光之间的区域。红外遥控系统被选用作信息载体的红外线，其光谱位置位于近红外区，波长约 940nm，这是为了适合红外接收二极管的光敏特性，有效地防止太阳光和日光灯等光源的干扰。

2)红外线传感器

常用遥红外线传感器主要有红线发光二极管、红外线接收光电二极管和光电三极管等。

红外发光二极管外形和发光二极管相似，发出红外光。管压降约 1.4V ，工作电流一般小于 20mA。为了适应不同的工作电压，回路中常串有限流电阻。

发射红外线去控制相应的受控装置时，其控制的距离与发射功率成正比。为了增加红外线的控制距离，红外发光二极管工作于脉冲状态，因为脉动光(调制光)的有效传送距离与脉冲的峰值电流成正比，只需尽量提高峰值电流，就能增加红外光的发射距离。提高峰值电流的方法，是减小脉冲占空比，即压缩脉冲的宽度。一些彩电红外遥控器，其红外发光管的工作脉冲占空比约为 1/4～1/3；一些电气产品红外遥控器，其占空比是 1/10。减小脉冲占空比还可使小功率红外发光二极管的发射距离大大增加。常见的红外发光二

极管，其功率分为小功率（1mW～10mW）、中功率（20mW～50mW）和大功率（50mW～100mW）3 大类。要使红外发光二极管产生调制光，只需在驱动管上加上一定频率的脉冲电压。

用红外发光二极管发射红外线去控制受控装置时，受控装置中均有相应的红外光—电转换元件，如红外接收二极管，光电三极管等。

红外线发射与接收的方式有两种：其一是直射式；其二是反射式。直射式指发光管和接收管相对安放在发射与受控物的两端，中间相距一定距离。反射式指发光管和接收管并列一起，平时接收管始终无光照，只在发光管发出的红外光遇到反射物时，接收管收到反射回来的红外线才工作。

需要说明的是，采用双管红外发射电路，可提高发射功率，增加红外发射的作用距离。

3）红外遥控电路的结构形式

红外线遥控电器的基本结构形式可分成两类。

（1）单通道遥控电路。这种电路的红外线发射控制电路是利用脉冲发生器产生的高频脉冲方波驱动红外发光管，使其发射出一系列等幅的红外方波脉冲。

在接收机方面，由光电二极管或光电三极管将接收到的红外脉冲信号转换成微弱的脉冲电信号，由电压放大级将这个微弱的信号加以放大，有的电路还加以限幅放大，以削去干扰尖脉冲。最后，限幅放大的脉冲信号经后续电路处理后去控制相应的电路动作。

（2）多通道红外遥控电路。多通道红外遥控电路是通过对红外遥控信号实行频道编码而实现的。在发射端，通过改变振荡电路参数，从而改变发射电路的振荡频率，使电路发射出按频道不同而不同频率的红外脉冲信号。在接收端，在接收到红外控制信号后，经过红外—电脉冲转换，并加以电压放大后，通过选频回路的选择，使不同频率的信号进入各自的控制通道，驱动相应的电路动作。

脉冲编码常用数字电路和专用集成编码电路，这种电路结构能够按照不同频道的编码要求，每次发出不同结构的红外脉冲。在接收端通过译码电路解码后控制相应的通道。

二、遥控电路概述

遥控电路主要用于传输数据，其用途十分广泛。它常用于现代家庭多路电源的集中控制、智能小区物业管理、防盗报警、无线水塔控制、无线抄表、航空、航模和遥控遥测等多种场合。现代的遥控电路，不仅电路先进，而且制作工艺已由过去的分立元件过渡到表面贴片工艺和集成化、模块化。这不仅使它们的体积小，而且作用距离也从几米扩展到数千米，稳定性和可靠性都达到了工业级的要求标准。

1. 早期的遥控电路

这里说的早期无线遥控电路，并不是指它们已经过时，而仅指遥控收发控制的开关路数是单路的，作用距离仅 10m 左右，且电路简单，对一般家庭用作无线遥控电源开关很有效果，所以目前电子市场里仍有各类单通道遥控开关产品出售，其价位约 20 元以下。这些产品有单路红外（线）遥控开关、超声波遥控开关和无线射频遥控开关等。

上述几种遥控电路其收发电路的主要模式基本相近，即在发射端采用某个固定频率的振荡器，再把开关控制信号，如红外线或脉冲信号调制到振荡器上进行空间开路发射；在接收端再把它们放大→检波→双稳态触发器→双向晶闸管或继电器电路→接通（控制）

开关(如交流市电电源)。

上述的3种遥控开关,各有特点。红外遥控和超声波遥控开关适用于普通家庭近距离控制(作用距离<10m),这两类无线遥控开关抗干扰性强、制作调试简单,业余电子爱好者均可自制。无线射频遥控开关其控制开关距离较远,但抗干扰性能较差。

2. 编码式无线射频收发开关电路

1) 编码与译码

现代的遥控电路,不仅控制的路数多而且保密性强,且难于破密而复制,要达到上述目的,都是用编译码电路来实现,这些电路通常都是数字化的。我们知道,在二进制数字系统中,每位二进制数只有1和0两个数,为了能用二进制数码表示更多的信息,可将若干个1和0按规定编排在一起,编成不同的具有一定含义的代码,再用无线射频调制发射。在接收端再将收到的射频信号放大后,将代码翻译和转换成原来编码的含义,处理时在电路上给出一个特定的输出,以便控制多种功能的开关,如市售的无线编码遥控四级调光灯开关,无线编码遥控航模飞机的多种动作等。

2)编码式无线射频发射/接收模块组件

编码式无线射频发射/接收开关电路的种类很多,按用途不同有各种电路,但其基本模式如图9-20所示。



图9-20　编码式无线射频发射/接收框图

该类电路由无线射频编码发射器和无线射频解码接收控制器两大部分组成。通常把无线射频编码发射器称为无线电遥控专用发射头,发射方式有4种:一种是调幅的,工作频率通常在20MHz～1000MHz范围;还有3种是FSK(移频键控)、ASK(幅度键控)和调频(FM)等方式。无线射频遥控发射头是一种具有内藏天线的未经信号调制的超短波无线电发射模块,再经编码器调制后组成的。例如一种四级调光灯专用编码器是采用5位二态地址编码对遥控指令进行加密的,5个编码端的每一位均可设定为1或0两种状态,所以有$2^5=32$种不重复码,这样可使遥控开关做到同频不同码,不会产生误动作。

无线解码接收控制器,通常也称为无线电遥控专用接收头。值得注意的是,无线射频发射头与无线射频接收头都是配对的并制成专用模块组件,不仅仿制困难,更重要的是便于贴片化,减小模块的体积和提高可靠性。

由于编码式无线射频发射接收开关电路在业余条件下制作非常困难,通常都是专业厂家制成模块出售。

3. 遥控滚动编码器

以上介绍的遥控用编译码器,虽然可用一个信道传输多种操作指令,但同型号编译码器之间无法相互区别,就像使用同一芯片、制式的彩电遥控器一样,可以通用,这在不少需要防盗、保密的场合(如移动电话、无绳电话、汽车遥控防盗器)就失去使用的价值。以前盛行的解决方法是给同一类型的配套编译码芯片加上一组对应的地址码,一般地址码为

8 位三态，也就是提供 $3^8=656$ 种不同的区别地址编码，当然，也可以再增到十多位，提供更安全的保障，可以做到数十万组数码不重复。这类编码/解码芯片（如 PT2262/2272、VD5026/5027）已广泛用于多种防盗、保密产品中。但这些器件的保密位是通过设置固定的代码来实现，加之 IC 的代码长度是有限的（受芯片尺寸结构限制），所以其保密位的代码组合也是有限的，引起的结果是编码器中的代码可以破密。例如通信产品中有一种追码器，就是专门通过空中（开路）捕捉和扫描跟踪的办法破译任何个人传呼机（BP 机）的用户码，这充分说明上述种类的编码方式只能提供有限的保护。

Microchip 公司利用 Keeloq 技术，开发成多种芯片，这些芯片统称为滚动码系列芯片。利用滚动码芯片对无线遥控射频头中的编码器进行加密，就可达到具有高度保密难于破密的滚动码。Keeloq 滚动码技术的特点是在传输代码之前用滚动码算法对原始代码进行非线性加密，使得每次传输的代码都是唯一的，绝不会重复，从而产生高度保密的滚动码，要想外来捕捉和扫描跟踪都不可能奏效。

三、遥控专用编码和解码电路

编解码电路其实离我们很近，像电视机的遥控器、手机、录音电话的远程提取留言等，这些设备无一例外都和编解码电路有着直接的关系。

近年来许多厂商相继推出了品种繁多的供设计遥控电路使用的专用编解码集成电路，它们广泛应用于各种电子产品中，下面简要介绍几种常用的编解码集成电路。

1. HT-12E 编码与 HT-12F/HT-12D 解码集成电路

HT-12E 编码与 HT-12F/HT-12D 解码集成电路引脚排列如图 9-21 所示。

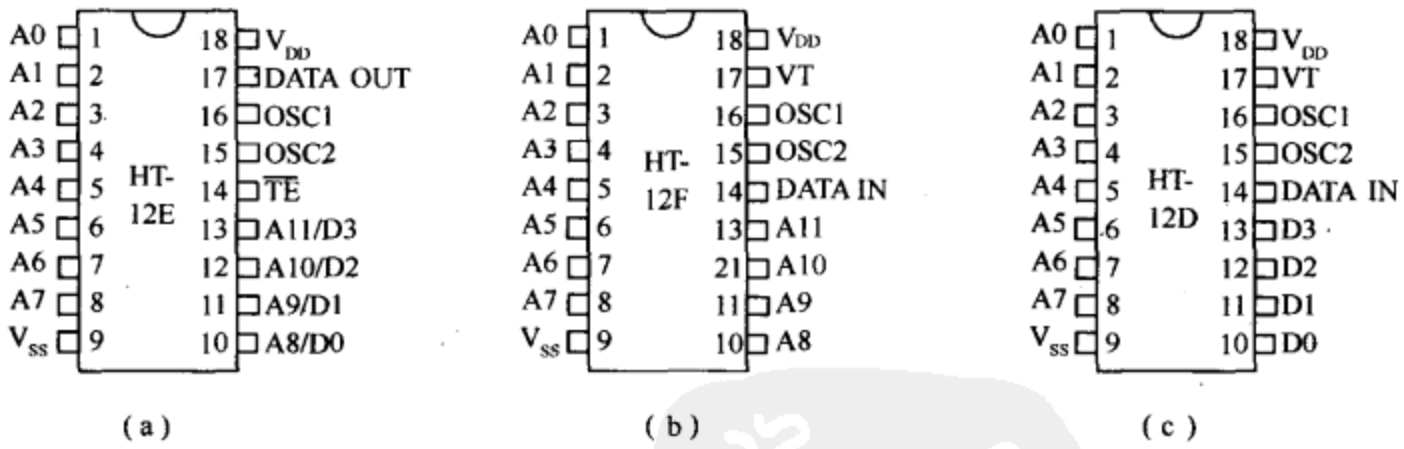


图 9-21　HT-12E 编码与 HT-12F/HT-12D 解码集成电路引脚排列图

(a)HT-12E；(b)HT-12F；(c)HT-12D。

HT-12E 是编码器，HT-12F、HT-12D 是与之相匹配的解码器。A0～A11 称为地址线，每根地址线都可以被设置为高电平（接电源）或者低电平（接地）两种状态之一，因此总共可以设置 $2^{12}=4096$ 种组合状态；对应于每一种状态，编码器内部都能够生成一种特殊的编码，这种编码也是由 1 和 0 组成，但并不是用高电平代表 1、低电平代表 0，而是用高电平与低电平宽度比例的不同来区分 1 和 0 的。例如图 9-22 中的波形形状，第一行波形的高电平宽度是低电子宽度的 1/2（称占空比为 1/3），用两个周期这样的波形代表一个 1；第

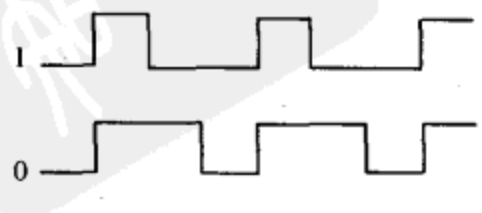


图 9-22　编码器的编码格式示意图

二行波形的高电平宽度是低电子宽度的两倍（称占空比为 2/3），用两个周期这样的波形代表一个 0。当编码器的传输使能端$\overline{TE}$变低时，编码信号能从 DOUT 端以串行方式输出，将该信号送入解码器的 DIN 端，若该解码器的 A0～A11 的高低电平设置情况与编码器相同，那么此时在数据有效（VT）端就会输出高电平，但随着输入到 DIN 端的信号的消失，VT 端的高电平也随之消失，因此该端输出的只是一个正脉冲；若解码器的 A0～A11 的设置情况与编码器不相同或者解码器因其他原因没能正确解码，那么 VT 端就不会有正脉冲输出，所以可利用该信号作为控制其他电路的触发信号。编码器在送出编码信号时，除了由地址信息构成的数据编码外，还要传送引导段、同步段，因此编码器每发送一个字，就包括了引导段、同步段、数据段；而且为了提高接收的正确率，每个字往往不只发一次，而是连续发三次，在解码器内部，重复地比较前后两次的数据是否吻合，当吻合次数达到要求值时，才判为传输有效，这样就大大提高了传输的可靠性。

HT-12E 的引脚功能如下所述。

1 脚～8 脚：A0～A7，地址线。

14 脚：$\overline{TE}$，输出使能端，低电平有效。

10 脚～13 脚：A8～A11 或 D0～D3，作地址线还是数据线使用，取决于接收端的解码电路。

15 脚、16 脚：OSC1、OSC2，此两端接一个振荡电阻，该电阻对于不同的型号有不同的推荐值，需根据厂品的说明选用。

17 脚：DATA OUT（DOUT），编码信号以串行方式由此端送出。

18 脚：V_{DD}，电源正端，2.4V～12V。

9 脚：V_{SS}，电源负端。

HT-12F 的引脚功能如下所述。

14 脚：DATA IN（DIN），串行编码信号输入端。

17 脚：VT，传输有效指示端，当解码正确时该端输出一个正脉冲。

其余引脚及功能与编码器 HT-12E 相同。

HT-12D 引脚功能如下所述。

该器件除引脚 10 脚～13 脚的功能与 HT-12F 解码电路不同外，其余完全相同。10 脚～13 脚称为“数据线”，分别记为 D0～D3。

重点提示：当 HT-12E 和 HT-12D 配对使用时，地址线只有 A0～A7 8 根，10 脚～13 脚作为数据线使用，编码数为 $2^8=256$。当解码器 HT-12D 收到编码器 HT-12E 的信号并正确解码以后，编码器 HT-12E 的 D0～D3（10 脚～13 脚）的高低电平情况能完全“搬迁”到解码器 HT-12D 的 D0～D3 上，我们常常称之为把发送端的“数据资料（信息）”送到了接收端，因此，可以通过在发送端设置编码器 D0～D3 的不同状态，来遥控接收端的若干装置的动作。

2. PT2262 编码与 PT2272 解码集成电路

PT2262/PT2272 是台湾普城公司生产的一种 CMOS 工艺制造的低功耗低价位通用编解码电路，主要应用在车辆防盗系统、家庭防盗系统和遥控玩具中。

PT2262/PT2272 是一对带地址、数据编码功能的红外遥控编码/解码芯片。其中编码（发射）芯片 PT2262 将载波振荡器、编码器和发射单元集成于一身，使发射电路变得非

常简洁。解码(接收)芯片 PT2272 的数据输出位根据其后缀不同而不同,数据输出具有"暂存"和"锁存"两种方式,方便用户使用。后缀"M"为"暂存型",后缀"L"为"锁存型",其数据输出又分为 0、2、4、6 不同的输出,例如:PT2272-M4 则表示数据输出为 4 位的暂存型红外遥控接收芯片。

重点提示:PT2272 的暂存功能是指当发射信号消失时,PT2272 的对应数据输出位即变为低电平。而锁存功能是指,当发射信号消失时,PT2272 的数据输出端仍保持原来的状态,直到下次接收到新的信号输入。

PT2262/PT2272 管脚排列如图 9-23 所示。

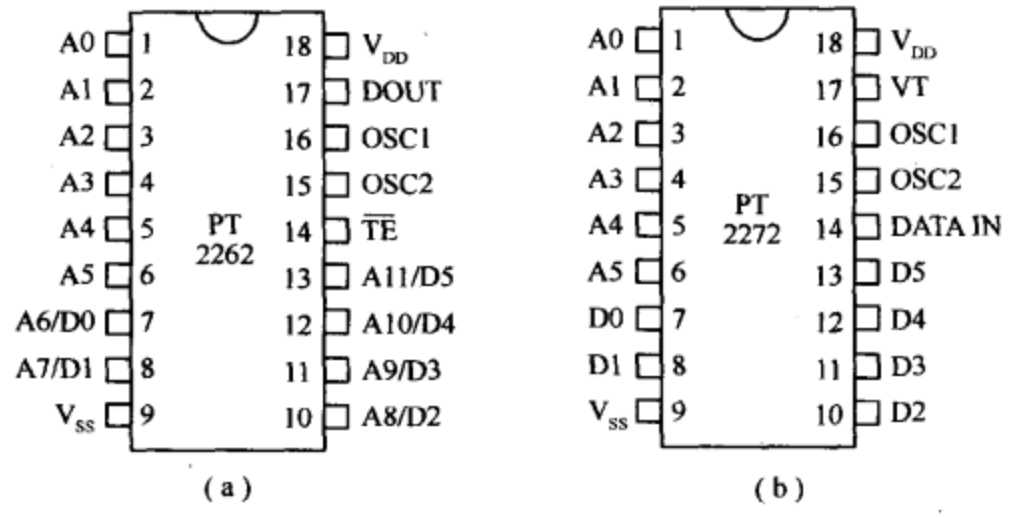


图 9-23　PT2262/PT2272 管脚排列

(a)PT2262;(b)PT2272。

PT2262 的管脚功能见表 9-6。

表 9-6　PT2262 的管脚功能

名称	管脚	说　明
A0～A11	1～8、10～13	地址管脚,用于进行地址编码,可置为 0、1、悬空
D0～D5	7～8、10～13	数据输入端
V_{DD}	18	电源正端(+)
V_{SS}	9	电源负端(-)
$\overline{TE}$	14	编码启动端,用于多数据的编码发射,低电平有效
OSC1	16	振荡电阻输入端,与 OSC2 所接电阻决定振荡频率
OSC2	15	振荡电阻振荡器输出端
DOUT	17	编码输出端(正常时为低电平)

PT2272 引脚功能见表 9-7。

表 9-7　PT2272 引脚功能

名称	管脚	说　明
A0～A11	1～8、10～13	地址管脚,用于进行地址编码,可置为 0、1、悬空,必须与 PT2262 一致,否则不解码
D0～D5	7～8、10～13	地址或数据管脚,当作为数据管脚时,只有在地址码与 PT2262 一致,数据管脚才能输出与 PT2262 数据端对应的高电平,否则输出为低电平,锁存型只有在接收到下一数据才能转换

（续）

名称	管脚	说　明
V_{DD}	18	电源正端(+)
V_{SS}	9	电源负端(−)
DIN	14	数据信号输入端,来自接收模块输出端
OSC1	16	振荡电阻输入端,与 OSC2 所接电阻决定振荡频率
OSC2	15	振荡电阻振荡器输出端
VT	17	解码有效确认输出端(常低),解码有效变成高电平(瞬态)

地址码和数据码都用宽度不同的脉冲来表示:两个窄脉冲表示 0;两个宽脉冲表示 1;一个窄脉冲和一个宽脉冲表示开路。

对于编码器 PT2262,A0～A5 共 6 根线为地址线,而 A6～A11 共 6 根线可以作为地址线,也可以作为数据线,这要取决于所配合使用的解码器,若解码器没有数据线,则 A6～A11作为地址线使用,在这种情况下,A0～A11 共 12 根地址线,每线都可以设成 1、0 和开路 3 种形式,因此,共有编码 $3^{12}=531441$ 种。但若配对的解码器的 A6～A11 是数据线,例如 PT2272,那么,这时 PT2262 的 A6～A11 作为数据线使用,并只可设置为 1、0 两种状态之一,而地址线只剩下 A0～A5 共 6 根,编码数降为 $3^6=729$ 种。

编码芯片 PT2262 发出的编码信号由地址码、数据码、同步码组成一个完整的码字,当发射机没有按键按下时,PT2262 的 17 脚(DOUT)为低电平,当有按键按下时,PT2262 17 脚输出调制的串行信号。OSC1、OSC2 外接的电阻决定载频频率。如果发送端一直按住按键,编码芯片也会连续发射。解码芯片 PT2272 接收到信号后,其地址码经过两次比较核对后,17 脚(VT)才输出高电平,与此同时相应的数据脚也输出高电平。

在通常使用中,一般采用 8 位地址码和 4 位数据码,这时编码电路 PT2262 的 1 脚～8 脚为地址设定脚,有 3 种状态可供选择:悬空、接正电源、接地,所以地址编码不重复度为 $3^8=6561$ 组,只有发射端 PT2262 和接收端 PT2272 的地址编码完全相同,才能配对使用,遥控模块的生产厂家为了便于生产管理,出厂时遥控模块的 PT2262 和 PT2272 的 8 位地址编码端全部悬空,这样用户可以很方便选择各种编码状态,用户如果想改变地址编码,只要将 PT2262 和 PT2272 的 1 脚～8 脚设置相同即可。例如,将发射机的 PT2262 的 1 脚接地,5 脚接正电源,其他引脚悬空;那么接收机的 PT2272 也只要 1 脚接地,5 脚接正电源,其他引脚悬空就能实现配对接收。当两者地址编码完全一致时,接收机对应的 D1～D4 端输出约 4V 互锁高电平控制信号,同时 VT 端也输出解码有效高电平信号。用户可将这些信号加一级放大,便可驱动继电器、功率三极管等进行负载遥控开关操纵。

3. VD5026 编码与 VD5028、VD5027 解码集成电路

VD5026 与 VD5027 或 VD5028 配对使用,它们的引脚排列如图 9-24 所示,各符号的意义与 HT-12E 相同。

VD5026 与 VD5027 或者 VD5028 的每根地址线可以有 4 种状态,即 1、0、开路和第 4 态,因此编码总数大大地增加了。A0 不作为地址线使用,而是作为地址的第 4 态设置。例如要将地址线 A3 设置为第 4 态,那么就把 A3 这根线接到 A0 上,设置为 1 时可接电源端,设置为 0 时接地,设置为开路时将其悬空。如果不使用第 4 态,则把 A0 接地。

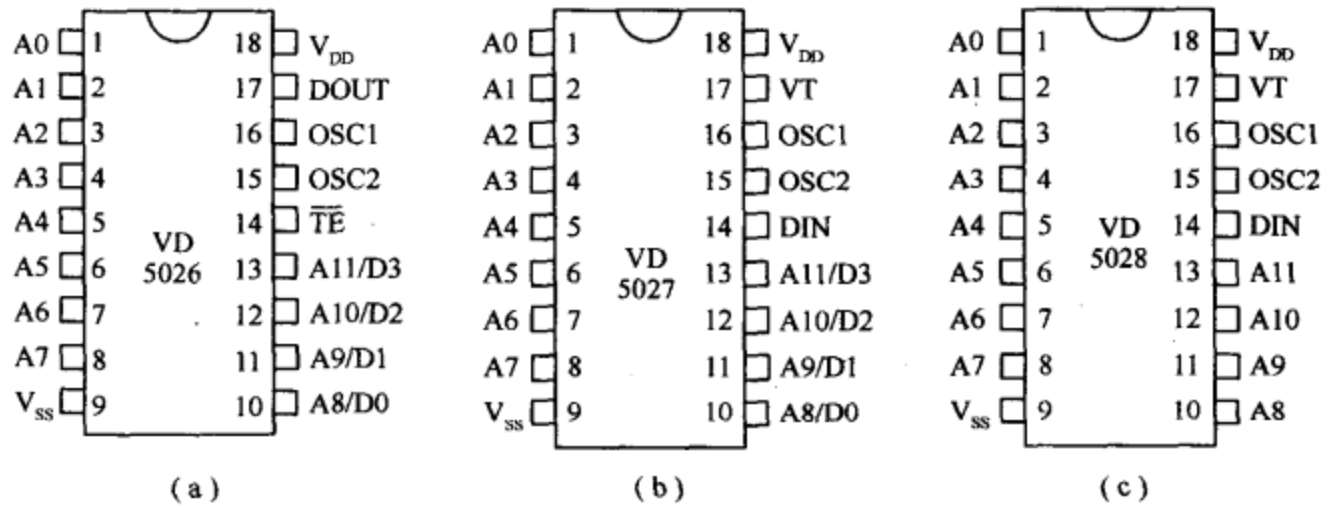


图 9-24　VD5026 编码与 VD5027、VD5028 解码集成电路管脚排列

(a)VD5026；(b)VD5027；(c)VD5028。

解码器 VD5028 没有数据线，则 A1～A11 共 11 根地址线，可有 $4^{11}=4194304$ 种状态。当解码正确时，VT 端输出正脉冲。

解码器 VD5027 有 4 根数据线 D0～D3，当解码正确时，编码器 D0～D3 的 1 或 0 的状态组合被“搬迁”到这 4 根线上并被锁存，随后 VT 端送出 1 个正脉冲。因此它的地址线只有 A1～A7 共 7 根，有 $4^7=16384$ 种状态。

编码器 VD5026 的 A1～A7 为地址线，A8～A11 可为地址线或数据线。当与 VD5028 配合时作地址线用，地址编码总数为 $4^{11}=4194304$，当与 VD5027 配合时作数据线用，地址编码总数为 $4^7=16384$，数据线的状态只能为 1 或 0。

4. 双向编解码集成电路 UM3758-108A

新型编解码集成电路 UM3758-108A 具有双重功能，既可作编码使用，又可作解码使用，通过将一根引脚分别设置为高电平或低电平来选择。它是一种低功耗的 CMOS 器件，最大工作电流为 1.2mA；工作电压范围宽，为 3V～12V；工作时钟的振荡频率为 $f_{osc}\approx 160kHz$；UM3758-108A 的引脚排列如图 9-25 所示。

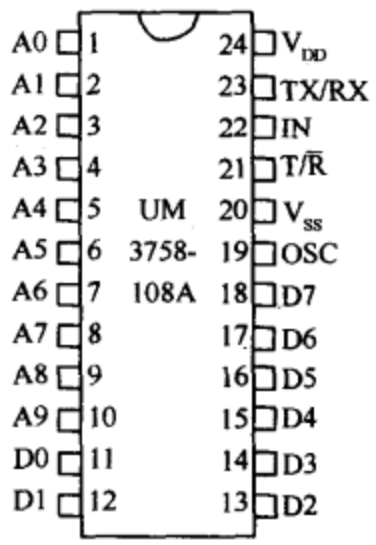


图 9-25　UM3758-108A 的引脚排列

UM3758-108A 各引脚功能说明如下。

1 脚～10 脚：A0～A9 共 10 根地址线，可以是 0、1 和开路 3 种状态之一，共可设置成 $3^{10}=59049$ 种组合状态。

11 脚～18 脚：D0～D7 共 8 根数据线，当器件作为编码使用时，它们作为数据输入线，当器件作为解码使用时，它们作为数据输出线，有锁存功能。此外还可作为地址线使用，但这种情况下仅能作 2 态编码，即将高电平或开路均视为 1、低电平视为 0。

19 脚：OSC，外接 RC 构成时钟振荡器。

20 脚：V_{SS}，接地。

21 脚：T/$\overline{R}$，功能设置端，当该脚被设置为高电平时，器件作为编码使用；设置为低电平时作为解码使用。

22 脚：IN，当器件作为解码使用时，接收到的串行编码信号由此端送入；当器件作编码使用时，该端不使用。

23 脚：TX/RX，当器件作解码使用时，在接收到编码信号并正确解码时该端的输出

为低电平；当器件作编码使用时，该端作为编码信号的输出端。

24 脚：V_{DD}，电源正极。

该器件编码信号的格式是：编码“1”用 2 个周期的占空比为 1/3 的脉冲表示；编码“0”用 2 个周期的占空比为 2/3 的脉冲表示；编码“开路”是用 1 个周期的占空比为 2/3 的脉冲紧跟着 1 个周期的占空比为 1/3 的脉冲来表示，其波形如图 9-26 所示。

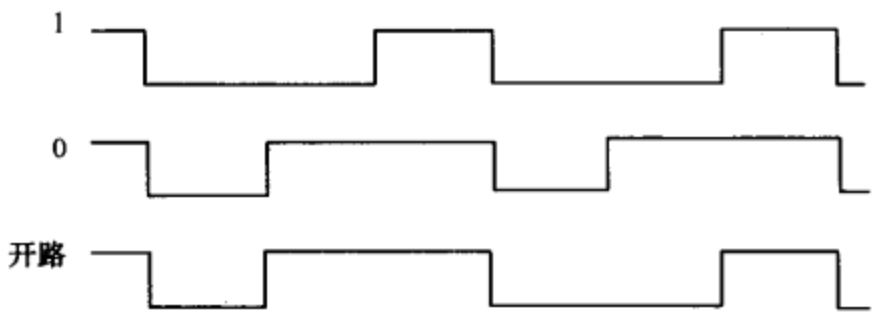


图 9-26　UM3758-108A 编码格式

UM3758-108A 具有八根数据线，每次可传送八位数据信息，所携带的信息数为 $2^8=256$ 个；而 VD5026 等只有四根数据线，每次传送只能携带 $2^4=16$ 个信息。使用 2 次译码电路后 UM3758-108A 可遥控 255 个动作，而 VD5026 只能遥控 15 个动作。另外，UM3758-108A 既可作编码使用又可作解码使用，只要将 21 脚接高或接低即可。因此它是双向遥控或双向呼叫应用中不可缺少的器件，有着广泛的用途。例如医院病床的呼叫系统，护士值班室可以任意选择呼叫数十甚至数百个病床中的某一病床而不干扰其他病员。任一病床也可直接呼叫值班室，值班室就能立即知道是哪一个病床在呼叫，这一呼叫系统就是使用了像 UM3758-108A 这类的双向编解码集成电路，使值班室与众多的病床之间的联系仅仅使用了 3 根～5 根连线即可实现。

UM3758-108A 的基本应用电路如图 9-27 所示，其中右边的集成块接成编码电路。图中把全部地址线都设置为“0”，把全部数据线都设置为“1”，在应用中可根据实际需要分别对每根地址线和数据线进行设置。根据引脚功能的说明，把“功能设置端” $T/\overline{R}$ 接一个按钮，当按钮被按下时，$T/\overline{R}$ 接高电平，即形成编码电路，内部电路能把 A0～A9 的地址

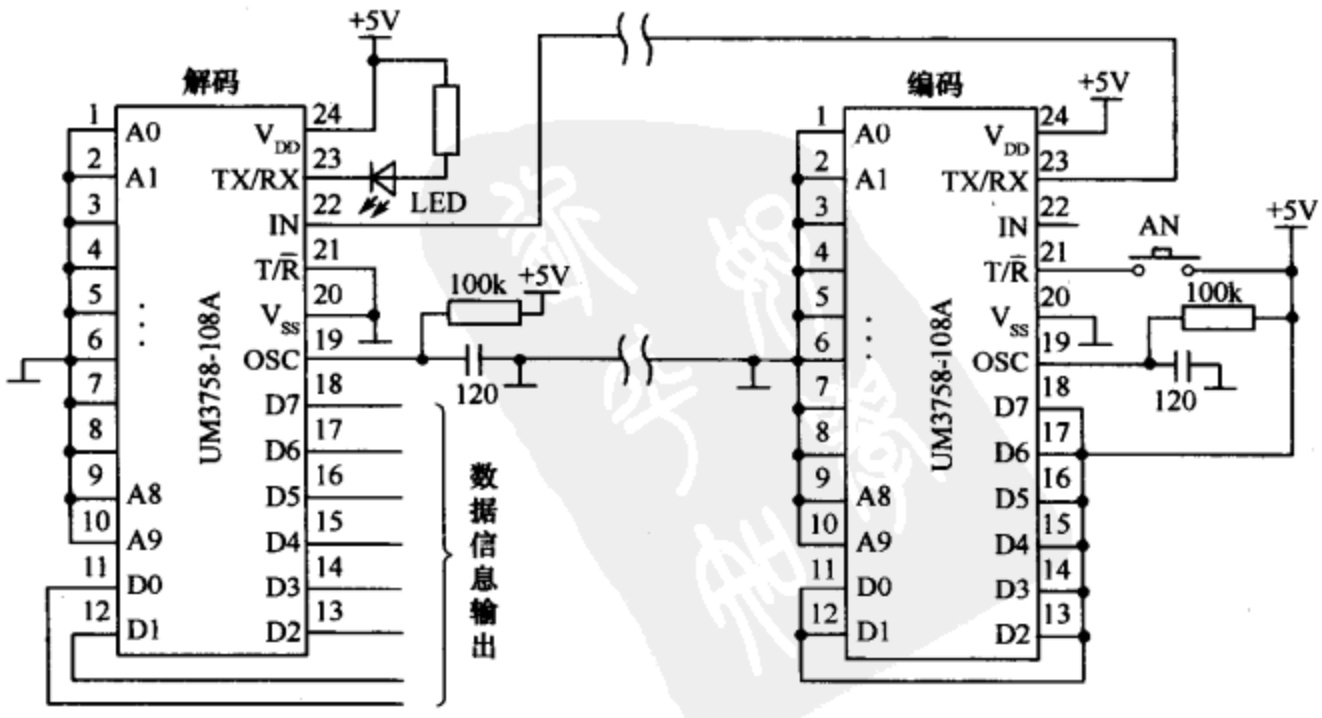


图 9-27　UM3758-108A 的编解码接法

信息、D0～D7 的数据信息再加上一些特殊信息编成一串特定的“码”信号，串行地从 TX/RX 端送出。左边的集成块接成解码电路，地址 A0～A9 的设置必须与编码电路一致。根据引脚说明的规定，把“功能设置”端 T/$\overline{R}$ 接地，编码信号由 IN 端送入。当右边编码电路中的按钮 AN 被按下时，左边解码电路即收到编码信号。若解码正确，则 TX/RX 端会变为低电平，把该端所接的 LED 指示灯的阴极拉向低电位，使 LED 灯点亮。

5. 红外遥控编码集成电路 ZD6631 和解码集成电路 ZD6632

红外遥控有很重要的用途，尤其是在家用电器遥控方面得到越来越普遍的应用，因此众多的厂商推出了多种型号的专门用于红外遥控的专用集成电路。这类集成电路的编码器把载频振荡、调制、编码、键命令输入、驱动等部分都集成在同一块半导体上，形成单片集成电路，只需配合少量的外围阻容、红外发射管以及按钮即可形成具有多路遥控功能的红外发射器。这类器件除一体化程度高、整体性好之外，另一个显著的优点就是供电电压低(一般均为 3V)，易于制成手持遥控发射器。接收部分则把解码电路、2 次译码电路等集成为一体形成单片集成电路，可输出多路不同格式的控制信号，这些格式通常有单个脉冲输出方式、电平输出方式、连续的脉冲串输出方式、双稳输出方式(即发射器每按一次按键输出端状态改变一次)等。该集成电路只需配合少量的外围阻容、红外接收头并设计适合于具体对象的控制执行电路即可形成多功能多路的红外遥控接收器。这类集成电路虽然有许多种型号，但都大同小异，读者在掌握了基本的原理和方法之后，只需根据器件的产品说明，搞清它们的外引脚功能，就不难自行搭构适合于各种应用场合的具体电路。下面介绍常见红外遥控专用集成电路的一般结构和基本应用。

1)编码集成电路 ZD6631

ZD6631 是一种 CMOS 高性能集成电路，它具有 8 个键命令输入端口和 1 个串行编码调制的载频脉冲输出口，其内部结构的基本框图如图 9-28(a)所示。它包含了载频振荡电路、编码锁存与错误检测电路、用户编码器(即地址编码)、输出驱动电路、定时脉冲发生器等，其的引脚排列如图 9-28(b)所示。

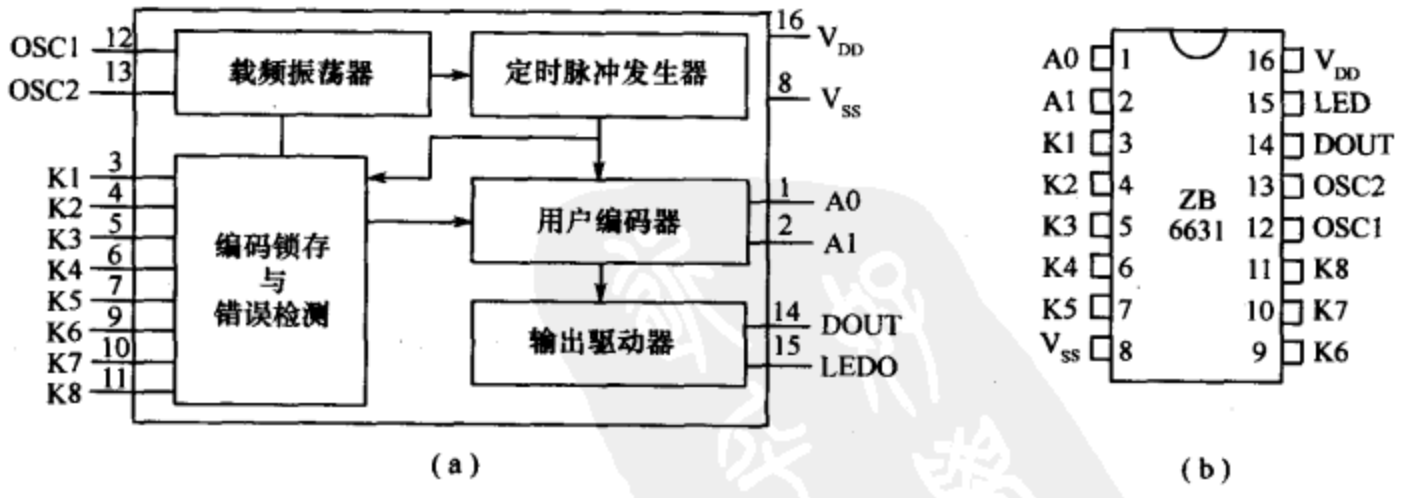


图 9-28　编码集成电路 ZD6631 内部框图和管脚排列

(a)ZD6631 的内部结构示意框图；(b)ZD6631 的引脚图。

ZD6631 各引脚功能如下。

1 脚、2 脚：A0、A1，用户代码输入端，相当于前面介绍的地址编码输入端，用于区别不同的用户或不同的接收装置，A0、A1 可设置成 00、01、10、11 共 4 种编码，可以识别 4 个用户。例如在同一个房间里，通过对 A0、A1 的不同设置可允许有 4 对这种发射接收装

置工作而不会造成操纵对象的混淆。

3 脚～7 脚、9 脚～11 脚：K1～K8，遥控命令的输入端口，每线上允许接一个按钮开关，当某按钮按下而把对应的输入线接到低电平时，编码器就会生成一组特定的编码，对应于 8 个按键共能生成 8 组编码，每组编码用 7 位二进制数组成，同时从 DOUT 端送出经编码调制了的载频脉冲信号。

12 脚、13 脚：OSC1、OSC2 此两端之间接一个 455kHz 的石英晶体或陶瓷构成振荡器。

14 脚：DOUT，经编码调制的载频信号输出端。

15 脚：LEDO，发送指示端，外接一个 LED 指示灯用以指示发送状态。

16 脚、8 脚：V_{DD}与 Vss，电源的正端和负端(接地端)。

编码器每当 K1～K8 中有任一线接入低电平时，就会由 DOUT 端连续发送命令数据字两遍，每个命令由 12 位串行码组成，其格式见表 9-8。

表 9-8　ZD6631 的编码字的格式

起始码			用户码		按键编码						
1	1	0	A0	A1	B1	B2	B3	B4	B5	B6	B7

这 12 位码的前 3 位作为起始标志，固定为 110，接着的 2 位是用户码(地址码)，后 7 位 B1～B7 是按键编码，它与各个按键的对应关系见表 9-9。

表 9-9　按键与编码对照表

按键	按键编码						
K1	0	0	0	0	0	0	1
K2	0	0	0	0	0	1	0
K3	0	0	0	0	1	0	0
K4	0	0	0	1	0	0	0
K5	0	0	1	0	0	0	0
K6	0	1	0	0	0	0	0
K7	1	0	0	0	0	1	1
K8	1	0	0	0	1	1	0

ZD6631 从 DOUT 端输出的信号格式约定为用高低电平的宽度比例来区别逻辑 0 和逻辑 1，规定占空比为 1/4(高电平宽度为 1，低电平宽度为 3)的 1 个周期的信号表示逻辑 0，用占空比为 3/4(高电平宽度为 3，低电平宽度为 1)的 1 个周期的信号表示逻辑 1。该器件的工作电压范围较宽，允许在 2.5V～6V 之间，因此特别适合于使用电池供电的场合，同时其静态功耗很低，静态电流仅 1μA(3V 电压供电时)。

2)解码集成电路 ZD6632

ZD6632 也是 CMOS 器件，其工作电压为 2.5V～6V，静态电流为 0.3mA。它的内部主要由定时脉冲发生器、触发器、串/并行转换电路、解码及多路输出驱动电路等组成，其示意框图如图 9-29(a)所示，引脚排列如图 9-29(b)所示。

ZD6632 各引脚功能如下所述。

2 脚：DIN，串行编码信号的输入端，输入信号必须与编码器输出信号的包络同相位。

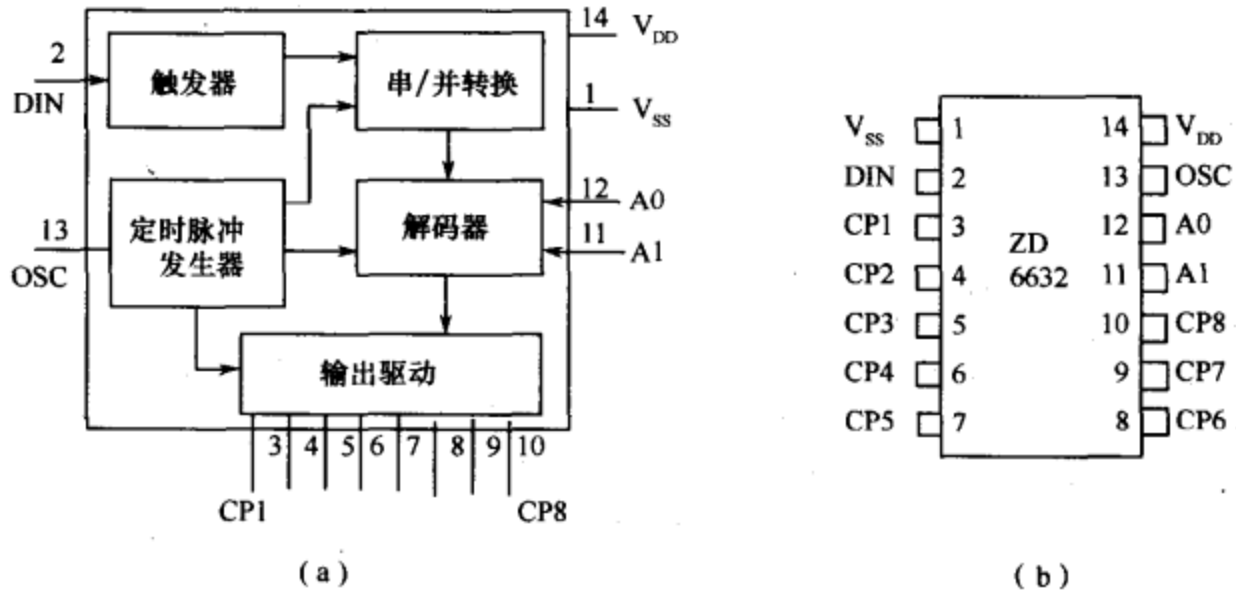


图 9-29　解码集成电路 ZD6632 内部框图和管脚排列

(a)ZD6632 的内部结构示意框图；(b)ZD6632 的引脚图。

3 脚～8 脚：CP1～CP6，多键控制输出端，它们的状态由编码器 ZD6631 中的 K1～K6 键来确定，这与 VD5026/VD5027 中的数据线 D0～D3 相似，K1～K6 的状态能够被复制到 CP1～CP6 端，而与 VD5026/VD5027 所不同的是，CP1～CP6 无锁存功能，输出为单个脉冲形式，K1～K6 可以允许几个键同时被按住。

9 脚、10 脚：CP7、CP8，单键控制输出端，当编码器 ZD6631 中的 K7 键被按下时，CP7 输出端的状态就改变一次，是一种双稳态输出方式；同理，K8 键被按下时，CP8 输出端的状态就改变一次，也是一种双稳态输出方式；K7、K8 不允许同时被按下，否则视为无效，解码器不动作。

11 脚、12 脚：A1、A0，用户码(地址码)的设置，必须与编码器 ZD6631 相同，否则不能选中。

14 脚、1 脚：V_{DD}、V_{SS}，电源的正端、负端(地端)。

13 脚：OSC，时钟振荡器外接 RC 元件端，在 OSC 的内部已含有由反相器和反馈电阻组成的环形振荡器，只要 OSC 端外接 RC 元件即可振荡。

ZD6632 解码器在收到编码信号以后，首先要判断用户码(地址码)是否符合。若不符合，则表明不是预定编码器发出的信号并予以拒绝。其次要连续接收编码器发来的两遍相同的 12 位编码，将第一遍收到的编码先寄存在一个 12 位寄存器里，然后将第二遍收到的编码与之逐位比较。若完全相同，则给予解码，并在相应的输出端输出控制信号；若不相同则不作解码，出错信号将系统复位。采用连续两遍(或多遍)发送、接收相同编码信号的方法可以很有效地提高电路的可靠性和抗干扰能力。

3)ZD6631/ZD6632 的基本应用电路

ZD6631 的基本应用电路如图 9-30(a)所示。用户码 A0、A1 设置为 00(视具体需要而定)。键输入端接 8 个按钮开关，能够任意地将某根输入线接低电平，以便输入 8 种遥控命令。OSC1 和 OSC2 间连接一个 455kHz 的陶瓷振荡器，经内部电路产生振荡，再经分频得到 38kHz 的载频。每当按下某一个键时，经过编码调制的 38kHz 载频信号就从 DOUT 端输出，经过复合管 VT1 和 VT2 的放大，驱动红外发光二极管 VD 发射出调制红外脉冲光。VT1 发射极所接的 10kΩ 电阻起分流作用，目的是减少 VT1 的穿透电流对

VT2 产生的不良影响。如无该电阻，VT1 的穿透电流全部流入 VT2 的基极，有可能使 VT2 不能处在可靠的截止状态(DOUT 端为 0 时)。但若 VT1 的质量好、穿透电流极小，该电阻也可省去。发射管 VD 的脉冲电流大小主要决定于与其串联的 4.7Ω 电阻。LEDO端外接一个 LED 指示灯，当有任意键按下时，该指示灯就闪烁一次。

ZD6632 的基本应用电路如图 9-30(b)所示。用户码 A0、A1 的设置与 ZD6631 编码器相同，OSC 端外接 RC 元件，解码后的控制信号从 CP1～CP6 以及 CP7、CP8 输出，可以控制多路设备，图中以 CP8 的输出为例。前面已介绍过，CP7 和 CP8 输出的是双稳态电平，因此每当编码器 K8 被按动一次，CP8 端的电平就改变一个状态(由高变为低或由低变为高)。当 CP8 为高电平时，向 VT1 注入基极电流使其导通，它的集成极电流又构成了 VT2 的基极电流，于是 VT2 饱和，将 12V 电压加到了继电器 J 的线包上，使继电器 J 吸合；反之，当 CP8 为低电子时，VT1、VT2 均截止，继电器释放。因此，只要按动编码器的 K8 就可以操纵 J 的吸和放，继电器的触点又可以用于控制其他的用电设备。

ZD6632 的编码输入信号从 DIN 端输入。当红外接收头收到编码调制红外脉冲光后，作放大、解调等处理，将输出的编码信号送到三极管 VT3 倒相后送入 ZD6632，其目的是使该编码信号的极性与 ZD6631 的输出相同。

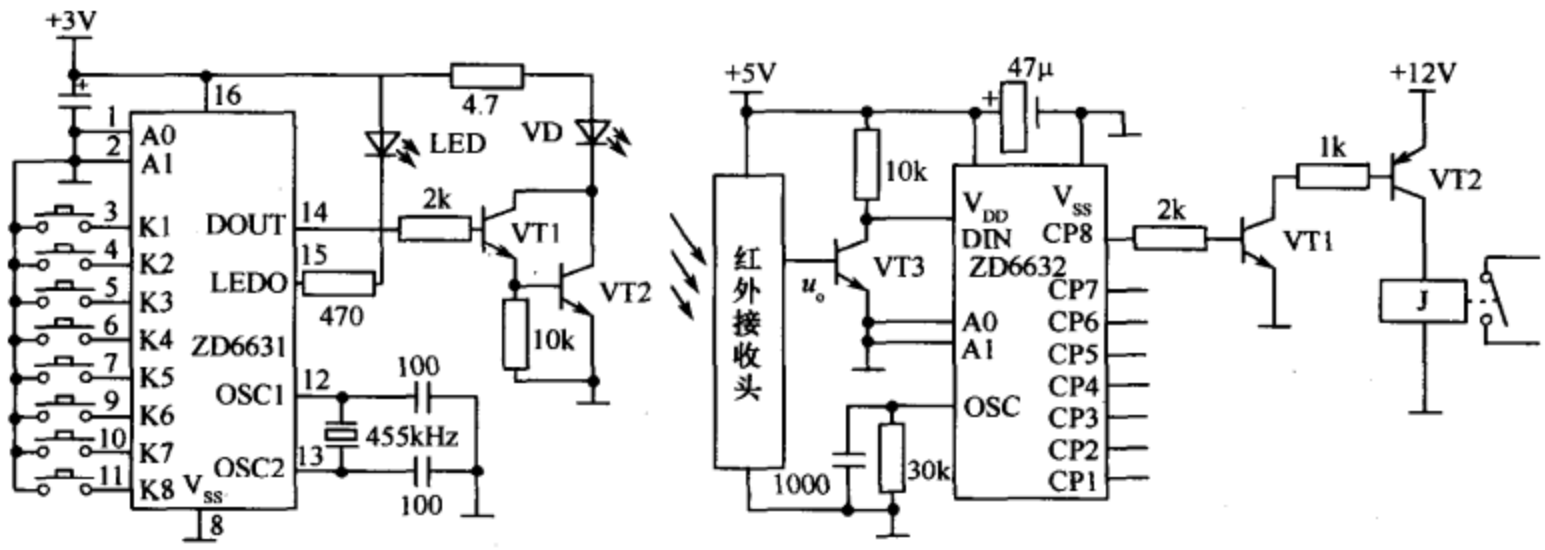


图 9-30　编码电路 ZD6631 和解码电路 ZD6632 应用电路

(a)编码器 ZD6631 的基本应用；(b)解码器 ZD6632 的基本应用。

四、编码/解码电路与系统安全

根据前面介绍的知识，我们知道，信号的编解码是指将某一具体的指令或信息转化成包含了该信息的特定的电信号，再通过“媒体”发送给解码端译出，然后启动执行机构或提供给操作者分析的一个过程，在这一过程中，“特定的电信号”其形式可以是声频、DTMF(双音多频)信号，也可以是单纯的 0101 数字码或脉冲的个数。“媒体”则是指传输电信号的载体，可以是红外线、无线电、超声波等。

最简单的编解码电路也是用得相当普及的电路，是一种被称之为“单通道超再生无线电遥控器”的电路。这种电路在一些航模或无线电遥控的书籍里被作为经典的电路来介绍给初学者。这种电路实际上不设立专门的编解码单元，系统接收端动作的执行依靠的是单管的高频发射端工作所导致的超再生接收端噪声存在与否来作为判别的依据，由于

造价低廉，故至今仍在诸如玩具遥控车等系统中被广泛采用。

20 世纪七八十年代之前的编解码电路主要采用的是分立元件来完成，像频率编码的 RC 基本单元，一般由 1 只晶体管及 10 只左右的外围元件组成。

进入 80 年代中后期，随着 CMOS 技术和中、高密度集成电路的技术的成熟，市面上开始出现了专门为遥控系统设计制造的编码与译码集成电路，专用编、解码集成电路的出现，使得系统在设计简单化的同时，可靠性、性能价格比方面的指标也得到加强，这类电路中具有代表性的产品如 MC145026/145027、PT2262/2272、VD5026/5027 等，大都具备了静态功耗低（μA 或 mA 级）、外围电路简化、可提供的功能或控制口多等特点，专用编解码集成电路的出现也使得这类设备在进入公用系统中使用成为可能。

公用系统指的是可以以低成本的形式为广大用户所使用和服务的一种机构或设备（如机动车防盗），在介绍这类系统编解码电路特点之前，先理解“身份识别”这个概念。

仍以“单通道超再生无线电遥控器”为例，假设某厂批量生产这类设备，并被用户大量购买和使用，那么便带来一个问题，比方说甲、乙两人同时使用了这种设备进行遥控模型车的竞速比赛，由于执行机构都是使用噪声控制的原理，那么必然会发生甲的遥控器在控制本方的同时，也控制了乙方的模型车，这种情况对乙方亦然，最终场面一片混乱。为了解决这种情况，厂方可能会生产几种类型的遥控器，将彼此间发射频率错开，但这种方法是相当局限的。集成化编解码电路和芯片由于引入了专门的“身份识别”（也称“寻址”）的概念，使得该类问题迎刃而解。

以前面介绍的 PT2262/2272 编解码芯片为例，这是一种 18 脚双排 DIP 塑封的芯片，片上有 A0～A5 共 6 个地址编码设定端，每一位可以编为 0（接地）、1（接 V_{CC}）和开路 3 种状态，利用 A0～A5 这 6 位地址线可提供 $3^6=729$ 位寻址可能，除了地址编码端口，PT2262/PT2272 还提供 A6/D0～A11/D5 共 6 个地址/控制数据编码设定端口，这 6 个端口是双用的，仅用于地址解码功能时，和前面的端口加在一起芯片共可提供 $3^{12}=531441$ 种不同寻址，当全部用于控制数据设定时（只有 1 和 0 两种状态），则可提供 $2^6=64$ 种数据码。

这几年，半数以上的私家车主大都安装了一种被厂家称为“机动车防盗器”的设备，操作者配带一只锁匙扣大小的遥控器，便可远距离实施对机动车的防盗设置或解除或启动或熄火的操作，相当方便，在这类国产的系统中，有八成以上所使用的便是 PT2262/PT2272 或 VD5026/VD5027 芯片组，系统频点使用 270MHz 或 320MHz（近期又使用 480MHz 陶瓷稳频元件）。这种无线防盗器，厂家一般仅使用 PT2262/PT2272 中 A6/D0～A11/D5 中的两组作为数据设定端口，其他端口全部供寻址。

集成化专用编解码芯片在解决了进入公用系统中身份识别问题的同时，也带来了它们的安全隐患。这个隐患起源于系统“地址编解码”端口的设定，由于遥控锁匙扣和接收机编码是一一对应且恒定的，故一旦掌握这个编码，便可轻易使这个系统“解除警报”。

实际上，当 PT2262/PT2272 该类芯片问世并被极大范围地应用于公用系统中去的时候，它的对手也像“幽灵”一样随之出现。这个对手一般有两种。一是被称为“空中编码侦测器”的设备，内含一高频接收机、一个记录分析仪或微电脑。使用时，操作者只需将高频接收机调至适合的频道，一旦有信号出现，便瞬间取得合法用户的“身份识别码”。另一种是被称为“编码扫描器”的设备，这是一种“主动出击”型的设备。使用时，设备内含的由

微机或时序电路控制下的编码器会自动将全部的编码依次编出，并通过无线电发射出去，一直到原接收器响应为止。由于固定编解码电路的地址设定数目有限，故扫描器在极短时间里可行，这个破解时间一般可以由公式：寻址端口组合数×（接收器解码周期＋合适的保护间隔时间）/2 计算出，像 PT2262/PT2272 芯片组，破解时间一般不会超过 2h，对 VD5026/VD5027 而言则更短。

值得注意的是，这类设备由于其工艺简单，只要稍具高频电子及编解码知识，花点时间便可制造，所以在国内近几年也被大量使用。

进入 90 年代，公用系统的安全性问题成了一个不可回避的现实问题。一些以往在军事和外交场合才会出现的“防君子也防小人”的加密编解码方式开始被应用于民用系统中去。在这类系统中，真正意义上的加密编解码方式其代表作有以下几种：①以加密算法为核心的编解码方式；②复合加密编解码方式，如双向编解码（一种需要二次确认合法身份的加密编码方式）等。

基于加密算法为核心的编解码体制较以往的编解码体制，在防范可能的攻击或侵入能力方面有了质的提高，同时这个核心的性能或称构筑时的复杂程度也决定了系统的防范等级。设计一个系统的防范等级，一般可以由用户或生产厂家依据自己的假定安全标准，结合成本等其他因素对加密方式或编解码方式本身进行改造，以达到一个合理的范围。

五、遥控电路应用举例

1. 家用无线防盗报警器

下面介绍的报警器采用无线反馈报警原理，由两大部分组成：第一部分由防盗入侵探测器和微型无线报警发射机组成；第二部分为无线报警接收控制器。使用时将第一部分安装在储藏室、车库等需要防范的场所；第二部分则放置在居民住室内。

1）入侵探测器和微型报警发射机部分

图 9-31 所示为入侵探测器和微型无线报警发射机的电路原理图。小磁铁与触点常闭型干簧管 E 组成入侵探测器，将小磁铁安装在储藏室的门扇上，干簧管 E 紧靠小磁铁，

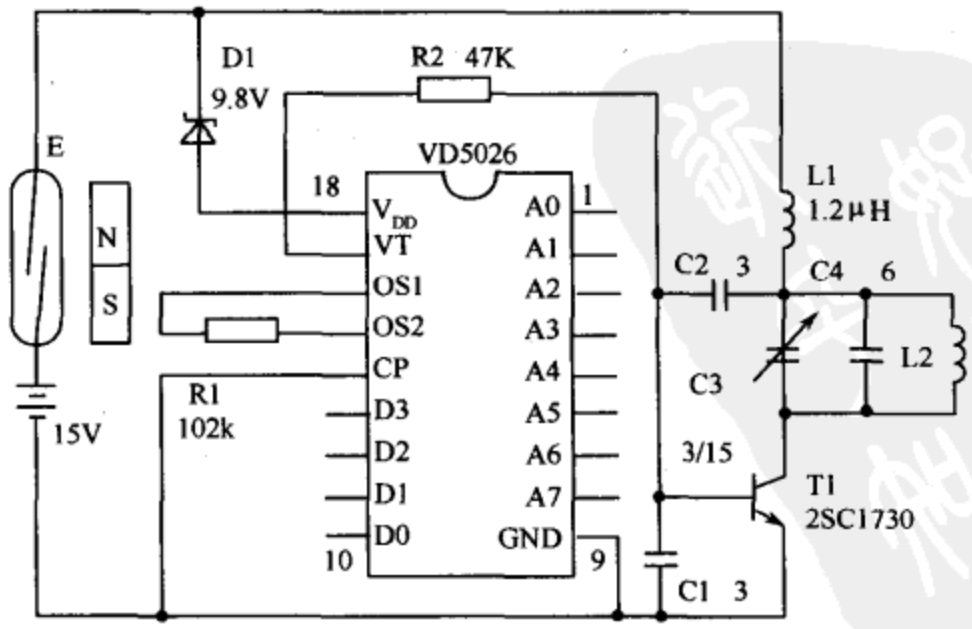


图 9-31　入侵探测器和微型报警发射机部分

安装于相对的门框上。平时门处于关闭状态，由于小磁铁紧靠 E，使 E 内部两常闭触点依靠外磁力作用而断开，微型发射机因无电源不工作。一旦发生盗情，小磁铁就会随门扇远离 E，E 失去外磁场的作用，其内部两触点依靠自身的弹力而闭合，微型发射机得电立即发出编码报警电信号。VD5026 是一数字编码集成电路，其共设 8 个地址码，即 A0～A7；4 个数据码，即 D0～D3。经地址编码的数据由 VD5026 的 17 脚输出。VD5026 的振荡频率由外接电阻 R1 决定，R1 阻值越小，振荡频率越高。R1 的阻值可在 120kΩ～470kΩ 之间选择，但应注意 R1 的阻值必须和报警接收部分的解码器 VD5027 的振荡电阻 R15 的阻值严格一致，否则无法可靠解码。晶体管 T1 与 C1、C2、L1、L2 等元件组成调制和射频发射电路，其发射频率在 300MHz 左右，为了增加发射电路的稳定性，天线 L2 可直接印制在电路板上。

2）无线接收报警控制器

图 9-32 所示是无线接收报警控制器的电路原理图，它由超再生接收、放大、整形、译码电路及报警信号发生电路等部分组成。

由天线输入的 300MHz 射频信号，经 C1 送到 T1 的发射极，通过 T1 高频放大后，经 C4 送至超再生射频解调器 T2 的发射极，解调出的编码数据脉冲信号经 C12 送至运放集成电路 IC1（LM358）的 A1 和 A2 进行放大和整形，最后送入解码电路 IC2（VD5027）的 14 脚进行数据解码。解码集成电路 VD5027 是编码集成电路 VD5026 的配对电路。使用中，VD5026 和 VD5027 两电路的地址码 A0～A7 应绝对保持一致，它们的状态码也应保持一样，当 VD5026 停止发送信号（发射机关机）时，VD5027 的 17 脚 VT 端复零，电路中利用单向晶闸管 SCR 做报警保持，VD5027 的 17 脚呈高电平时，SCR 被触发导通，音乐片 9561 因得电而输出报警信号，推动喇叭发声，报警指示灯 D2 点亮，此后，即使 VD5027 的 17 脚复零，由于晶闸管 SCR 已导通，因而报警喇叭将一直发声，直至按下报警解除开关 K2 为止。

为了防止停电发生漏报警，无线报警接收控制器采用交直流两种方式供电，并可自动转换，当有交流电源时，整流输出的 9V 电源加在二极管 D5 的负极，二极管 D5 截止，电路依靠交流供电工作，一旦交流停电，D5 的负端因失去 9V 电压而导通，9V 电池通过 D5 给电路供电，实现交直流供电自动切换。

重点提示：安装调试时，为了确保调试成功，最好在示波器的配合下进行。首先，将发射机部分中的干簧管两端用短接线短路，让发射机一直工作，接通接收部分的电源，先将 R16 焊开，将示波器的探头接在图中 IC1（LM358）的 7 脚处，将发射机靠近接收机（相距 20cm 左右），用无感起子调节发射机的微调电容 C3 和接收机的微调电容 C9，直到示波器上有编码脉冲显示为止。再拉开发射机和接收机的距离，使发射机和接收机相距 10m 左右，将示波器的探头改接在图 9-32 中 IC1（LM358）的 2 脚上。仔细调整接收部分的微调电容 C9 和电感线圈 L2，直到示波器显示的解调输出的编码脉冲信号的波形幅度最大为止。然后再调整发射机的微调电容 C1，边调整边观察示波器波形的变化，使波形幅度达到最大值。反复几次使之达到最佳状态。如果一切都正常，可接上电阻 R16，此时扬声器应发出报警声，报警指示灯发光，断开发射机电源，报警仍能维持，按下报警解除开关后，报警应解除。最后可拉开距离进行实验，本报警器在调试正常的情况下，报警距离可达 50m 以上。

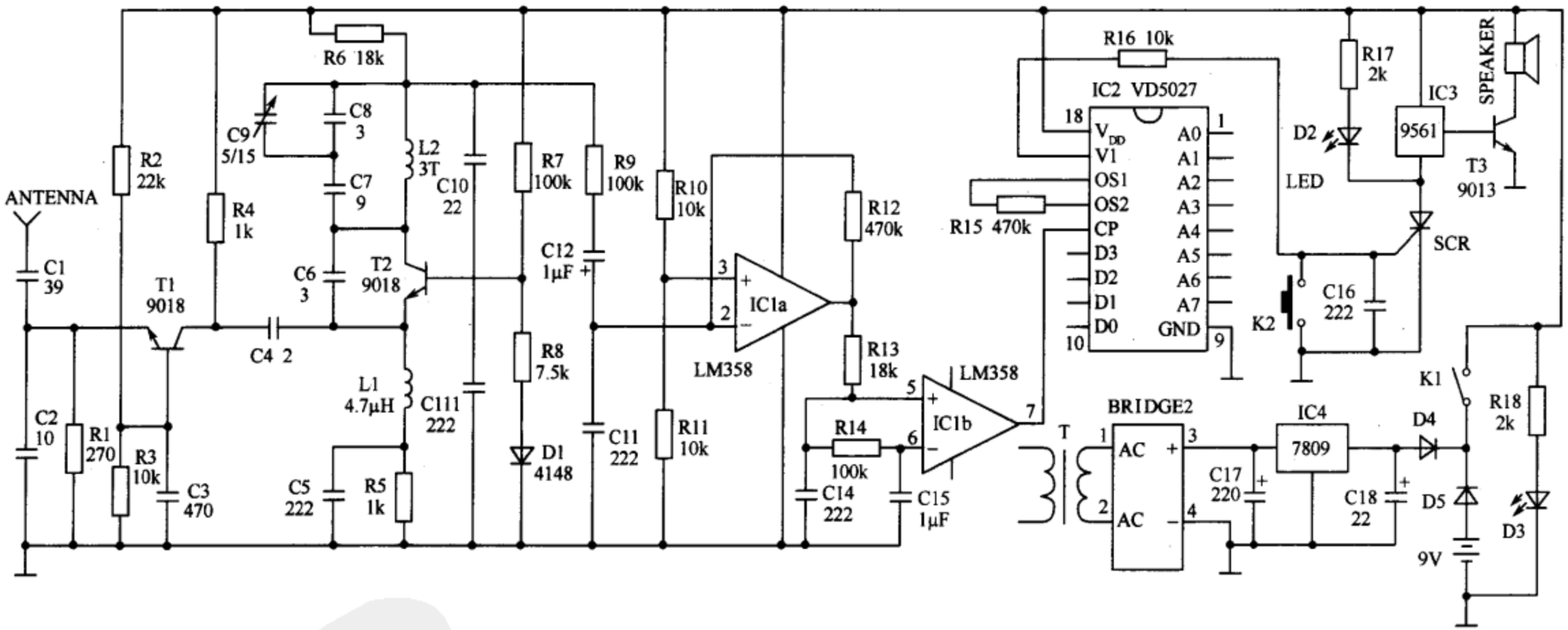


图 9-32　无线接收报警控制器

2. 多路遥控开关

数控多路遥控开关由 8 键遥控器和带有 8 只继电器的接收组件两部分组成。该装置采用了高稳定无线收发模块和遥控专用编解码集成电路，具有保密度高、遥控距离远、性能稳定可靠和静态功耗低等特点，可以对 8 路家用电器设备开关进行遥控。

数控多路开关的遥控器电路如图 9-33 所示，该遥控器主要由 3 个集成电路组成。电路中 U1(74LS148)为 8 线—3 线编码集成电路，它能把 8 路开关信号编成 BCD 码输出。U2(VD5026)为遥控专用编码集成电路，该集成电路共有 8 位地址码(1 脚～8 脚)，4 位数据码(10 脚～13 脚)。本电路只用了其中的 3 位数据码，而 8 位地址码可任意组合，即接电源正、负极或悬空构成 3 种编码状态，共有 6561 种不同的编码状态以区别不同的设备。U3(YG300U-S)为无线发射模块。

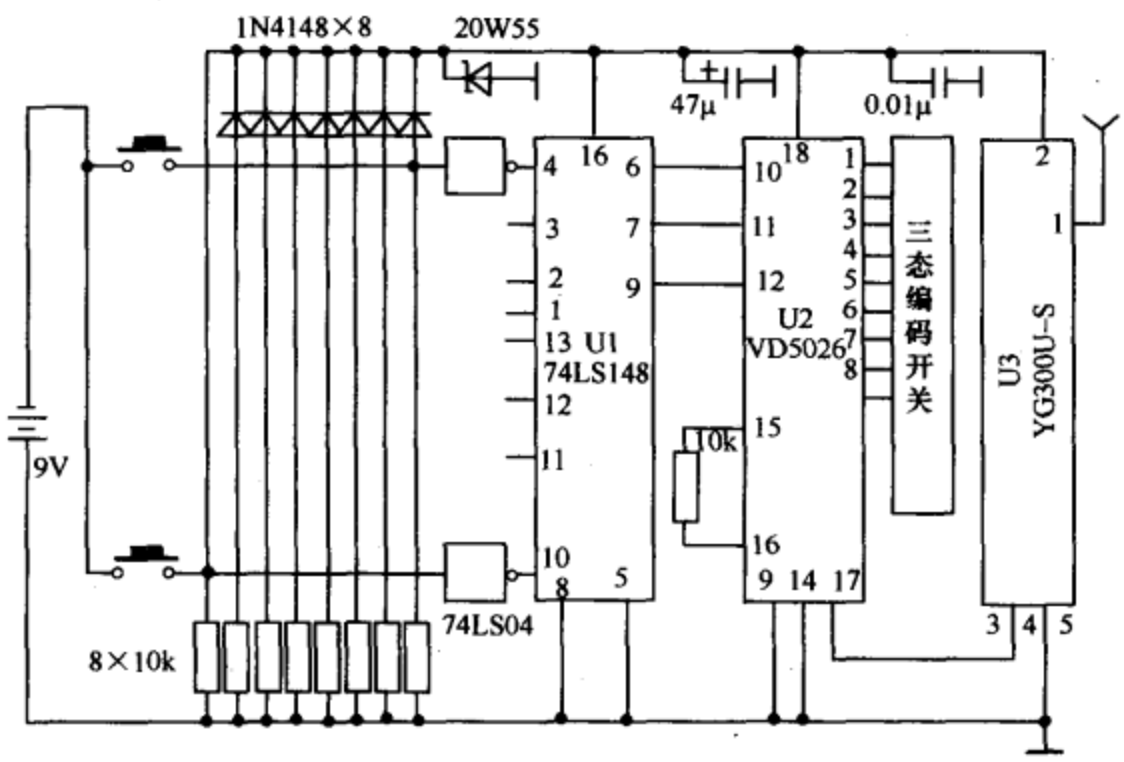


图 9-33　数控多路开关的遥控器电路

当无键按下时，U1、U2、U3 无电源供电而不工作，因此不耗电。当有按键按下时，电源便经过二极管向 3 个集成块供电，同时输入的数据经 74LS148 编码后由它的 6 脚、7 脚、9 脚向 VD5026 的 10 脚、11 脚、12 脚输入数据，该 BCD 码经 VD5026 编码后，以串行编码脉冲方式通过 17 脚输入到发射集成块 YG300U-S 的 3 脚、4 脚，然后由 1 脚向外发射。

接收组件部分如图 9-34 所示，U4 为接收模块 YG300U-R；U5 为遥控专用解码集成电路 VD5027，其 1 脚～8 脚为 8 位三态地址编码端，与 VD5026 配套使用时，要求发送/接收的地址码必须一致，方可实现数据遥控；U6 为 3-8 线译码器 74LS138。YG300U-S 发射的高频载波信号经天线接收后，由 YG300U-R 的 5 脚输入，通过其内部的选频电路选出发射模块发出的有效信号，再经滤波、放大整形后由 1 脚输出，进入 VD5027 的 14 脚，经内部比较电路确认与 VD5026 的地址码一致时，由 17 脚输出高电平到 74LS138 的 6 脚启动 74LS138 开始工作，同时数据也从 VD5027 的 10 脚、11 脚、12 脚输出到 74LS138 的 3 脚、2 脚、1 脚，经 74LS138 译码后，与发射键相对应的引脚就输出低电平，再经 74LS04 反相后触发 74LS74，就锁存输出 6V 高电平，从而继电器得电吸合，达到遥

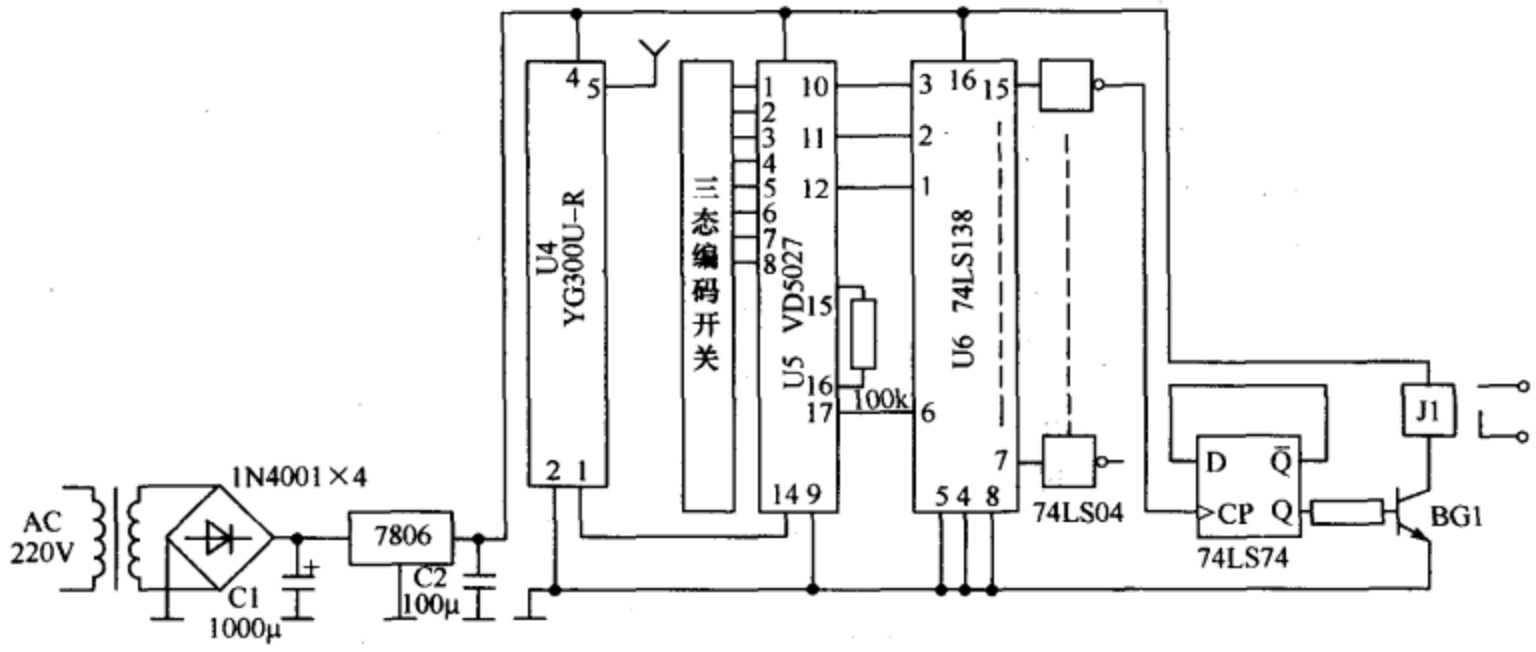


图 9-34　接收电路

控电器开的目的。再按一次遥控器上的同一按键，继电器失电，关断电器电源。

电路中，74LS04 是六反相器，74LS74 是双 D 触发器。

3. 无线遥控水泵装置

运用高稳定无线收发模块和遥控编码、解码电路制作的水泵遥控装置，可以方便地实现远距离遥控水泵运行，可靠性高。

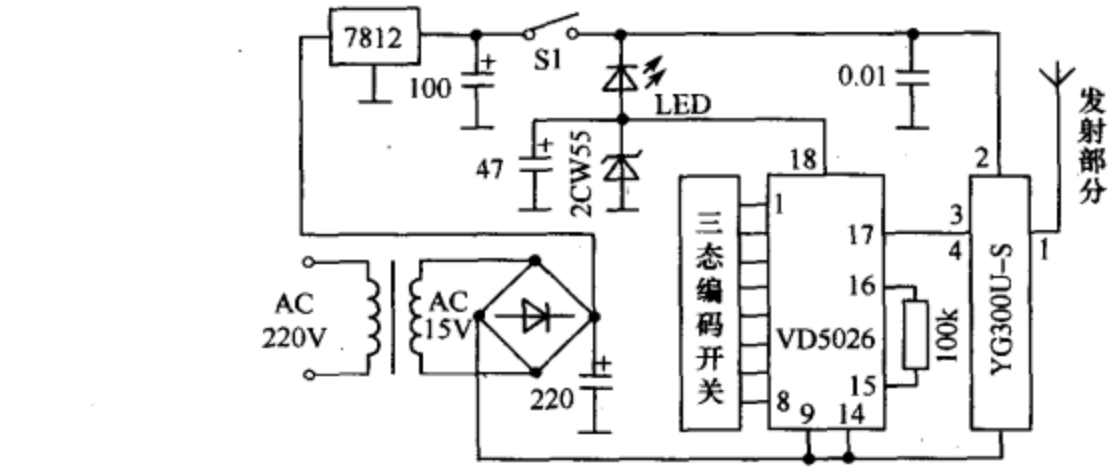
整机发射和接收电路如图 9-35 所示。电路中，YG300U-S 为无线发射模块，内部电路如图 9-36(a)所示；YG300U-R 为无线接收模块，内部电路框图如图 9-36(b)所示。收发模块采用 U 波段石英振子稳频，频率稳定性好、使用时无需调整，只要根据发射模块外接天线的长短、电源电压高低，就能达到不同的控制距离。

编码集成块 VD5026 共有 8 位地址码，4 位数据码。本电路数据码空余不用。8 位地址码可任意组合，即接电源正、负、悬空构成 3 种编码状态。串行编码脉冲由 VD5026 的 17 脚进入 YG300U-S 的 3 脚、4 脚，YG300U-S 的 1 脚外接天线，2 脚、5 脚为电源，3 脚、4 脚无电压输入时高频振荡不工作，即只要编码块不工作，发射模块就不耗电。

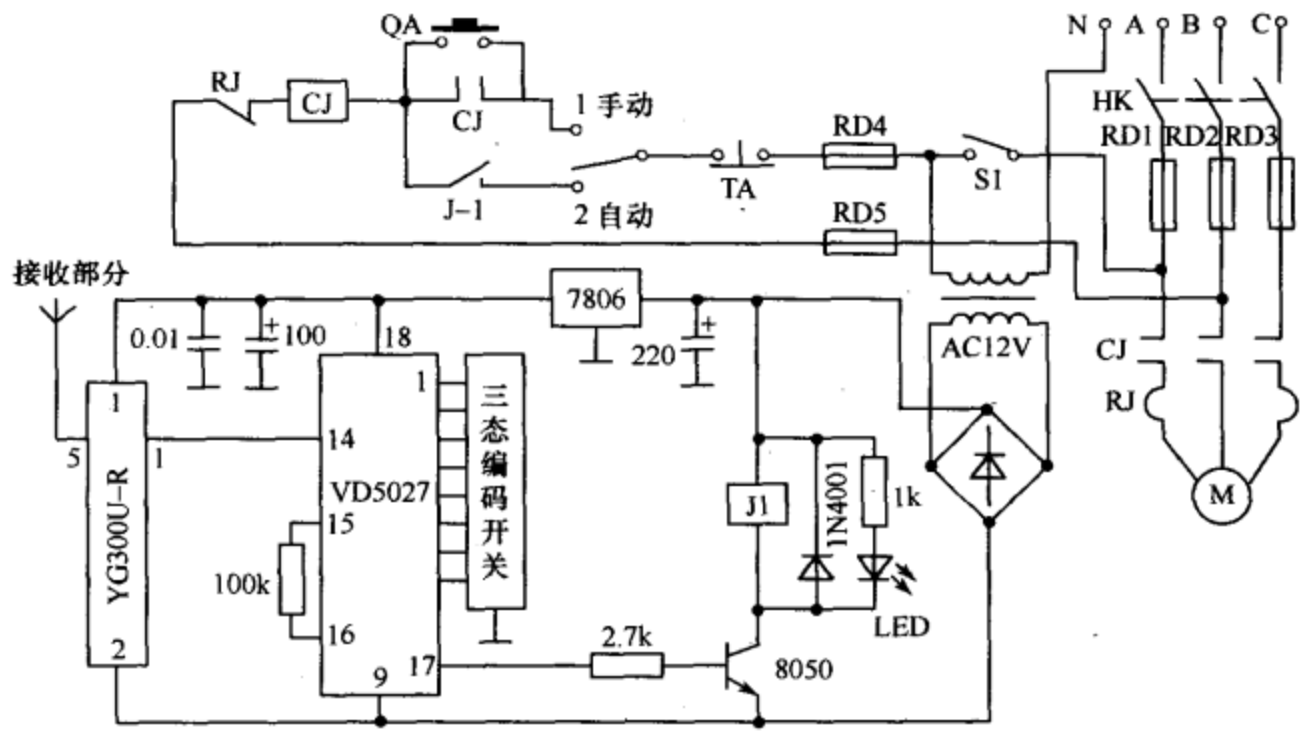
接收部分，高频载波信号由 YG300U-R 的 5 脚接收天线输入，通过选频电路选出发射模块发出的有效信号，经滤波放大整形后由 1 脚输出，3 脚为测试点，4 脚、2 脚为电源。由接收模块复原的编码脉冲由 VD5027 进行解码，解码后 VD5027 17 脚输出高电平，8050 导通，继电器 J1 吸合，水泵开始工作。当发射器编码信号消失时，17 脚输出低电平，8050 截止，继电器 J1 断开，水泵停止工作。

另外，该电路稍做调整，如利用编译码电路的数据端可方便实现多台水泵的启动、停止控制。也可以运用于其他控制中，用途广泛。

重点提示：电路调试十分简单。调试时，可分别进行。先测试编码、译码部分，即将 VD5026 数据输出端 17 脚与 VD5027 数据接收端 14 脚连接，并在其 17 脚对地接上一个发光二极管 LED。合上发射器 S1 开关时，LED 亮，断开 S1 时，LED 暗，如此即可。发射天线可采用长 24cm 直径 1mm 的铜线，接收机装长 12cm 直径 1mm 的铜线作天线。该装置开阔地控制距离可达 150m 以上。因高频无线收发受周围环境影响较大，为确保可靠性，调校时必须放置在实用的环境条件下进行。另应注意接收模块的电源纹波，其大小会



(a)



(b)

图 9-35　发射和接收电路

(a)发射部分；(b)接收部分。

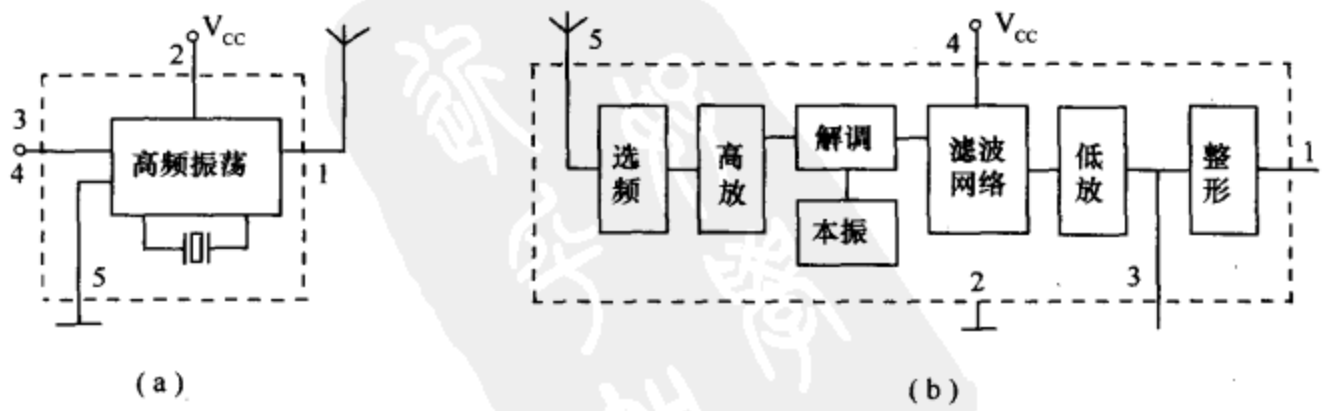


图 9-36　YG300U-S 和 YG300U-R 内部电路框图

(a)发射模块内部框图；(b)接收模块内部框图。

直接影响接收的距离。若能清晰地接收到“嘀嘀”的编码脉冲信号，可以初步判断发射装置是否正常工作。调试时，可先不接入继电器，待工作可靠后，即可投入使用。

六、遥控彩电发射和接收电路

遥控彩电的发射电路(遥控器)由专用微处理器(CPU)、键盘矩阵电路、红外发光二极管及其驱动电路组成。其功能是产生经过编码脉冲调制的红外线遥控信号。

遥控器所采用的红外光波长约 940nm,处于近红外区,由红外发光二极管在脉冲电流的激励下产生,调制脉冲电流的载波频率为 38kHz。

遥控彩电的接收电路由彩电内部的红外接收器、微控制器器组成。其工作过程是:红外线信号由电视机内部的红外光电二极管接收,转换为电流信号,经过前置放大、检波、脉冲整形等预处理,取出编码脉冲,再经微控制器解码,得到遥控指令。

1. 遥控器的工作原理

下面以采用发射编码电路 TC9028F-022 为芯片的遥控器为例进行介绍。其电路如图 9-37 所示。

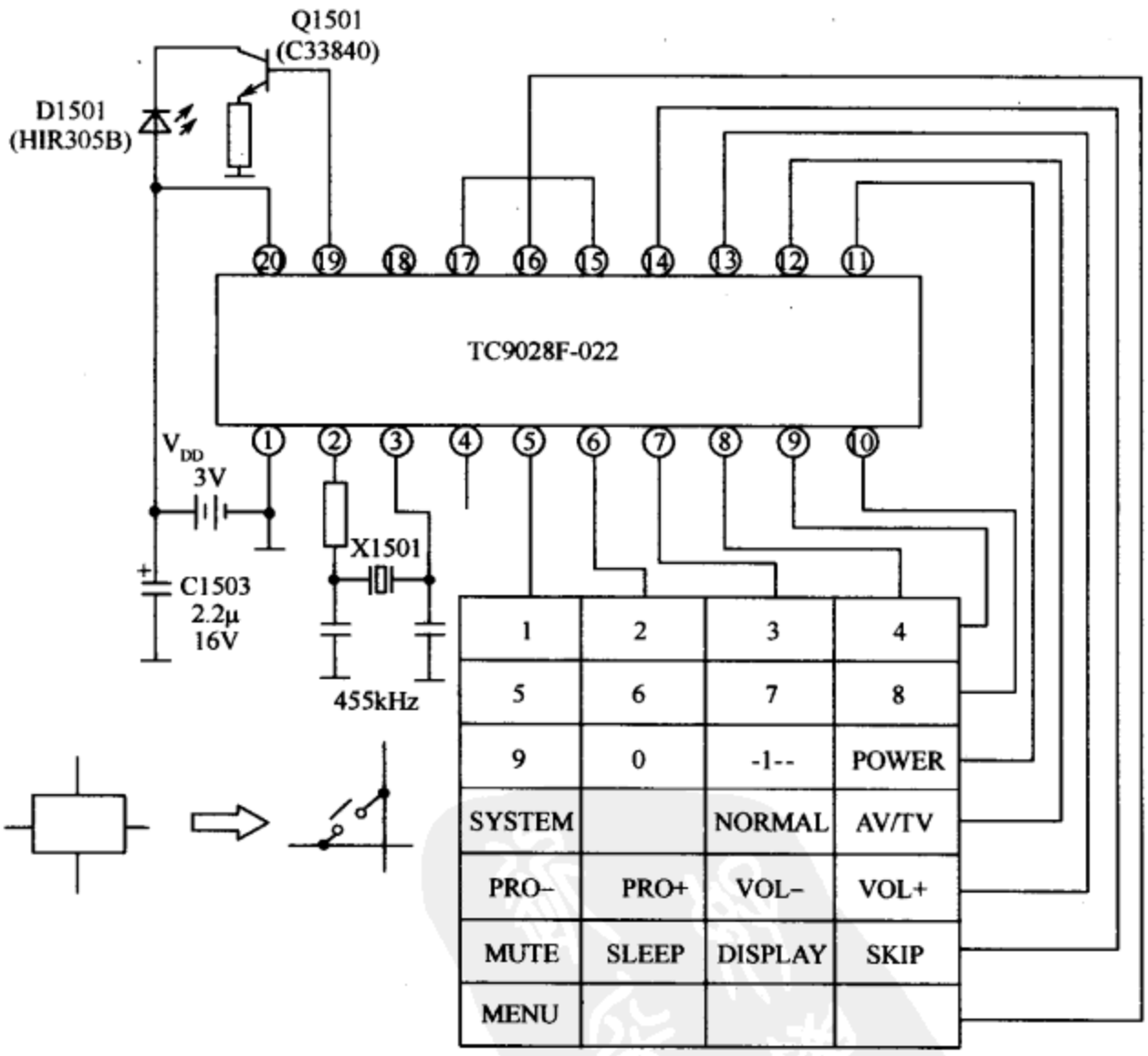


图 9-37　遥控器电路图

当发送红外信号时,平均工作电流约十几毫安;不发送时,仅为微安数量级。所以,图 9-37 中未设电源开关。

TC9028F-022 为 4bit 遥控专用微处理器,内部电路结构框图如图 9-38 所示,管脚功能见表 9-10。

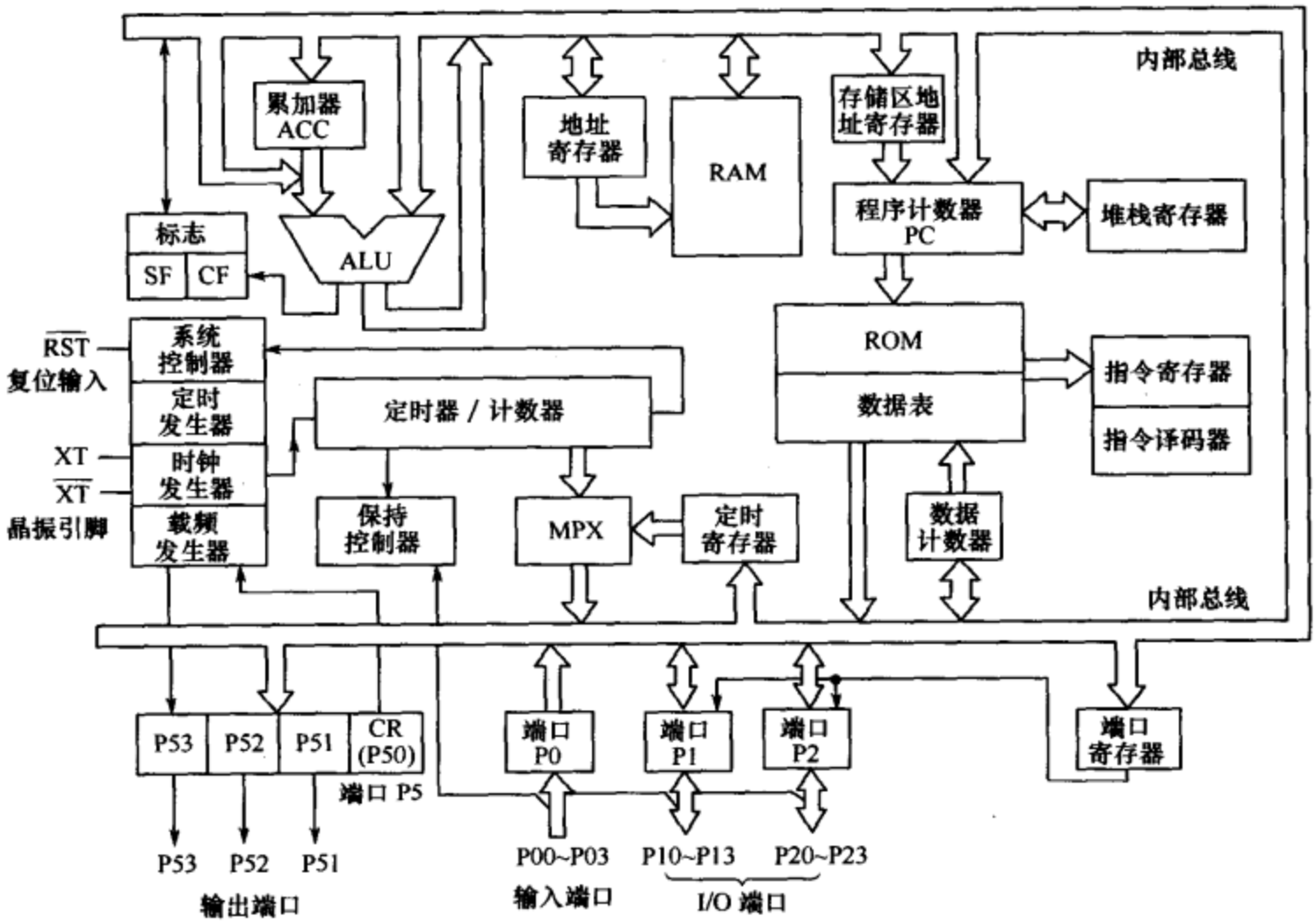


图 9-38　TC9028F-022 内部电路结构框图

表 9-10　TC9028F-022 管脚功能

脚号	符号	功　能
1	V_{SS}	电源地
2	$\overline{XT}$	振荡器输出端，外接 455kHz 晶振
3	XT	振荡器输入端，外接 455kHz 晶振
4	$\overline{RST}$	CPU 复位端
5～8	P00～P03	键扫描输入端口，内置下拉电阻
9～12	P10～P13	键扫描输入端口，内置下拉电阻
13～16	P20～P23	键扫描输出端口，内置下拉电阻
17	P51	用户码选择端，该端和 P10～P23 某引脚相连，可选择不同的用户码
18	P52	高电流输出端口，可驱动 LED 显示器
19	P53	遥控信号输出端口，输出已调编码脉冲
20	V_{DD}	电源

TC9028F-022 的工作电压范围为 2.0V～4.0V，通常选用 3V；功耗小，在“待机”状态下，电流≤1μA。

TC9028F-022 的功能比较简单：一是扫描键盘，识别键位；二是键功能编码，向输出端口提供编码数据。TC9028F-022 的 2 脚、3 脚外接陶瓷谐振器，产生微处理器工作所需的时钟信号，时钟频率为 455kHz。无键操作的“待机”状态下，该振荡器停振，转入低功耗工作模式，尽可能减小电能消耗。有键闭合时，振荡器开始工作，释放按键，振荡器又停

止工作。另外，455kHz 还经 12 分频后，得到 38kHz 的分频信号，作为发射脉冲的载频信号。38kHz 载频信号的脉冲占空比为 1/3。

1)键位码的产生

遥控发射器键盘上的任一键位，都赋予了一个特定的二进制代码，这个和键位一一对应的二进制代码，称为键位码。

键位码由键位扫描电路产生。在遥控发射集成电路 TC9028F-022 内部时钟脉冲的作用下，产生键位扫描脉冲，通过集成块外的键盘矩阵电路，获得与每一键位唯一对应的键位码。

TC9028F-022 的 9 脚～14 脚，以及 16 脚，共 7 个引脚，输出键位扫描行数据（键盘为 7 行×4 列结构），行数据为 7 位，其中只有 1 位是高电平，其余 6 位为低电平，高电平不断循环移位（称为扫描），使 7 个引脚依次轮流输出高电平。例如，9 脚为高电平时，其余 6 个脚为低电平，此时行数据为 0000001B，经过一次移位，行数据变成 0000010B，10 脚成为高电平，其余 6 个脚为低电平。TC9028F-022 的 5 脚～8 脚共 4 个引脚，输入键盘列数据，因内接下拉电阻，5 脚～8 脚自动保持低电平。当有键闭合时，行数据开始扫描，每移位 1 次，CPU 就读 1 次列数据，例如，数字键“4”闭合时，在 9 脚为高电平时刻，8 脚的电位升高，列数据由 0000B 变成 0001B。根据行数据和列数据，CPU 可判断闭合键位为“4”。

重点提示：键位扫描 1 次的时间约为 10ms～20ms，而手触按键最短需 100ms，可保证在按键按下去这段时间，该按键所在的键位肯定有电压扫描到，而且至少在 5 次以上。

2)指令编码

遥控按键所代表的功能（实际上只是按键的位置信息），必须进行编码，形成键功能的编码数据，最后再转换成串行输出的光脉冲序列，使数米范围内的光电接收器接收到编码信息。就是说，遥控键的功能最终要以编码脉冲形式传递给遥控接受器。

在 TC9028F-022 中，编码 1 用 2 个周期的占空比为 1/4 的脉冲表示；编码 0 用 2 个周期的占空比为 1/2 的脉冲表示；而脉冲的宽度均为 $51T_m$。其中 $T_m \approx 11\mu s$。如图 9-39 所示。

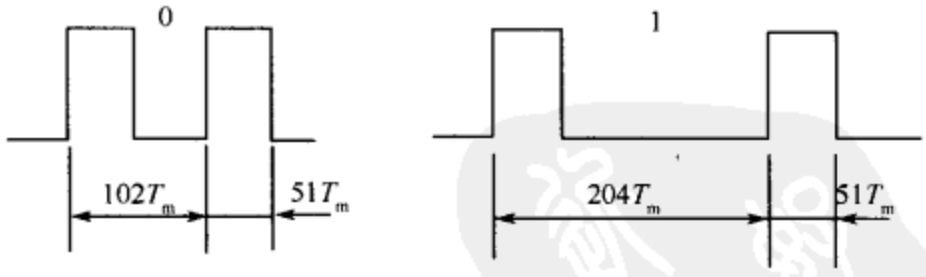


图 9-39　编码 1 和编码 0

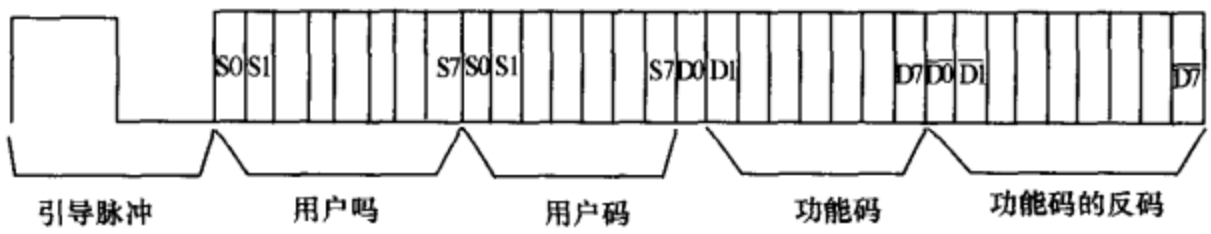
根据上述规定，可用二进制数表示一串脉冲，例如，如图 9-40 所示的脉冲，用二进制数表示为 00101100B。



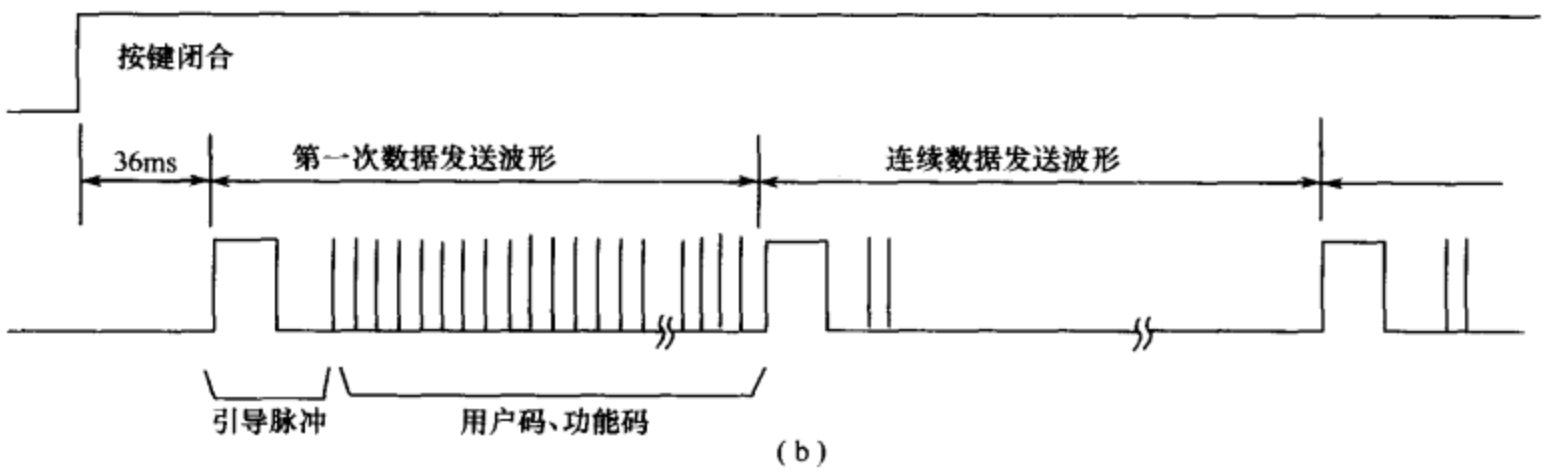
图 9-40　脉冲的数字表示

一条遥控指令的编码，由引导脉冲、用户码、功能码、功能码的反码组成，如图 9-41(a)所示。这样的编码方式可减少系统的误动作。用户码为 8 位二进制代码，每次发送两遍，所以遥控指令的编码由 32 位二进制代码组成。

引导脉冲表示一个按键指令开始发送，引导收方开始接收数据。引导脉冲由 $410T_m$ 的高电平和 $410T_m$ 的低电平组成。当用户按下遥控键时按键触点会产生机械抖动，造成干扰，所以在按键接通后，需等待约 36ms 再开始送数据，以消除键的抖动干扰。36ms 后发送第一遍数据和第二遍、第三遍……数据，直至键释放，但从第二遍开始，只发送引导脉冲和用户码第一位 S0 的反码$\overline{S0}$。这样安排可减少接收处理时间，降低遥控器的电源损耗，如图 9-41(b)所示。



(a)



(b)

图 9-41　遥控数据发送波形

(a)遥控数据发送格式；(b)遥控数据发送波形。

重点提示：TC9028F-022 的 17 脚为可编程 I/O 端口，17 脚可选择与 P10～P23 引脚中任一端子相连，用于确定用户码低 3 位数据(用户码为 8 位数据，高 5 位由 CPU 芯片决定)，连接关系不同，可产生不同的用户码，接收端通过对用户码的识别，来决定是否响应遥控信号指令，防止不同产品的遥控器造成错误的控制。

3)码元调制与红外光发射

为了减少误动作和降低红外发射二极管的工作电流，遥控编码脉冲还要对频率为 38kHz 的载波进行脉冲幅度调制。38kHz 的载波信号由 455kHz 振荡器所产生的振荡信号经 12 分频后得到。经调制后的脉冲编码信号经驱动放大后，激励红外发光二极管，向外发射红外光信号。

重点提示：根据以上分析，可总结出红外遥控发射器的工作过程如下。按下遥控器上的某一功能键，按键矩阵的某一行与某一列接通，经确认为这一按键的功能后，产生该按键的键位码，用键位码从内部 ROM 中取出相对应的遥控编码脉冲，再对 38kHz 左右的载波进行脉冲幅度(PAM)调制，最后将已调制的编码脉冲进行缓冲放大，激励红外发光二极管将电能转化为光能，向外发射中心波长为 940nm 的红外光信号。因此，红外遥控

发射器发出的脉冲编码信号实际上经历了两次调制，一次是对 38kHz 载波进行的脉冲幅度调制，另一次是输出时调制成红外线光波。

2. 红外遥控信号接收电路

TFMS-5380 为红外遥控接收器，电路结构如图 9-42 所示。它集成有光电二极管，光谱灵敏度与 940nm 红外光匹配，光电检测电路将光电流转换为电压信号，电压信号再经放大，被带通滤波器选出载频为 38kHz 的已调信号，经检波取得编码脉冲输出到彩电的微控制器的遥控输入脚，在微控制器内进行解码处理，并控制相应电路工作。

彩电内的微控制器解码的关键是如何识别 1 和 0，从指令编码的定义可以发现，编码 1 用 2 个周期的占空比为 1/3 的脉冲表示；编码 0 用 2 个周期的占空比为 1/2 的脉冲表示。所以，微控制器根据高电平的宽度不同，就可以区别出 1 和 0。

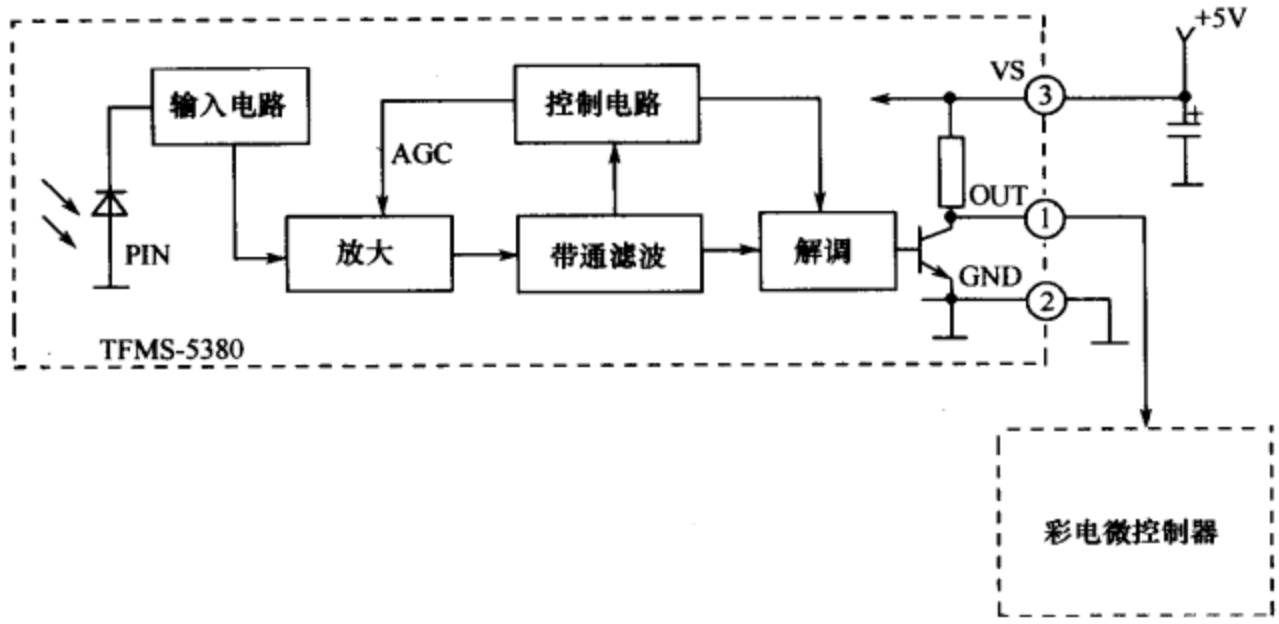


图 9-42　红外遥控信号接收电路结构图

第十章　可编程逻辑器件简介

可编程逻辑器件允许用户将自己所设计的逻辑电路直接写入到芯片上，可快捷方便地研制出各种用户所需要的逻辑电路，因而越来越受到重视。本章主要介绍可编程逻辑器件的分类及几种比较简单的可编程逻辑器件的应用。

第一节　概　述

自 20 世纪 60 年代以来，数字集成电路已经历了从 SSI、MSI、LSI 到 VLSI 的发展过程。数字集成电路按照芯片设计方法的不同大致可以分为 3 类：第一类是通用型中、小规模集成电路；第二类是用软件组态的大规模、超大规模集成电路，如微处理器、单片机等；第三类是专用集成电路(ASIC)。

ASIC 是一种专门为某一应用领域或为专门用户需要而设计、制造的 LSI 或 VLSI 电路，它可以将某些专用电路或电子系统设计在一个芯片上，构成单片集成系统。

ASIC 分为全定制和半定制两类。全定制 ASIC 的硅片没有经过预加工，其各层掩膜都是按特定电路功能专门制造的。半定制 ASIC 是按一定规格预先加工好的半成品芯片，然后再按具体要求进行加工和制造，它包括门阵列、标准单元和可编程逻辑器件 3 种。门阵列是一种预先制造好的硅阵列，内部包括基本逻辑门、触发器等，芯片中留有一定连线区，用户根据所需要的功能设计电路，确定连线方式，然后交厂家进行最后的布线。标准单元是厂家将预先配置好、经过测试、具有一定功能的逻辑块作为标准单元存在数据库中，设计者根据需要在库中选择单元构成电路，并完成电路到版图的最终设计。这两种半定制 ASIC 都要由用户向生产厂家定做，设计和制造周期较长，开发费用也较高，因此只适用于批量较大的产品生产中。

可编程逻辑器件(PLD，Programmable Logic Device)是 ASIC 的一个重要分支，它是厂家作为一种通用型器件生产的半定制电路，用户可以利用软、硬件开发工具对器件进行设计和编程，使之实现所需要的逻辑功能。由于它是用户可配置的逻辑器件，使用灵活、设计周期短、费用低，而且可靠性好、承担风险小，特别适合于系统样机的研制，因而很快得到普遍应用，发展非常迅速。

可编程逻辑器件按集成度分有低密度 PLD(LDPLD)和高密度 PLD(HDPLD)两类。

LDPLD 是早期开发的可编程逻辑器件，主要产品有 PROM、现场可编程逻辑阵列(FPLA)、可编程阵列逻辑(PAL)和通用阵列逻辑(GAL)。这些器件结构简单，具有成本低、速度高、设计简便等优点，但其规模较小(通常每片只有数百门)，难于实现复杂的逻辑。

HDPLD 是 20 世纪 80 年代中期发展起来的产品，它包括可擦除、可编程逻辑器件

(EPLD)、复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)3 种类型。EPLD 和 CPLD 是在 PAL 和 GAL 的基础上发展起来的,其基本结构由与或阵列组成,因此通常称为阵列型 PLD,而 FPGA 具有门阵列的结构形式,通常称为单元型 PLD。

可编程逻辑器件均采用可编程元件(存储单元)来存储编程信息,常用的可编程元件有 4 类:第一类是一次性编程的熔丝或反熔丝元件;第二类是紫外线擦除、电可编程的存储单元;第三类是电擦除、电可编程存储单元,主要有 E^2PROM 和快闪(Flash)存储单元;第四类是基于静态存储器(SRAM)的编程元件。这四类元件中,基于电擦除、电可编程的 E^2PROM 和快闪(Flash)存储单元的 PLD 以及基于 SRAM 的 PLD 目前使用最广泛。

基于 E^2PROM 和 Flash 存储单元的 PLD 可以编程很多次,其优点是系统断电后,编程信息不丢失。这类器件分为在编程器上编程的 PLD 和在系统编程的 PLD(简称 ISP)。ISP 器件不需要编程器,可以先装配在印制板上,通过电缆进行编程,因而调试和维修都很方便。基于只读存储器的 PLD 还设有保密位,可以防止非法复制。

基于 SRAM 的 PLD 其缺点是系统断电后编程信息会丢失,因此每次上电时,需要从 PLD 器件外部的 EPROM、E^2PROM 或计算机的软、硬盘中将编程信息写入 PLD 内的 SRAM 中;它的优点是可以进行任意次数的编程,并可以在工作中快速编程,实现板级和系统级的动态配置,因而称为在线重配置(简称 ICR)的 PLD 或可重配置硬件。

可编程逻辑器件的出现使数字系统的设计方法发生了崭新的变化。传统的系统设计方法采用 SSI、MSI 标准通用器件对电路板进行设计,由于器件的种类、数量多,连线复杂,因而制成的系统往往体积大、功耗大、可靠性差。采用可编程逻辑器件设计系统时,则可以将原来在电路板上的设计工作放到芯片设计中进行,而且所有的设计工作都可以利用电子设计自动化(EDA)工具来完成,从而极大地提高了设计效率,增强了设计的灵活性。同时,基于芯片的设计可以减少芯片的数量、缩小系统体积、降低功耗、提高系统的速度和可靠性。

近十年来,可编程逻辑器件和 EDA 技术发展十分迅速,可编程逻辑器件已在国内外的计算机硬件、工业控制、智能仪表、家用电器等各个领域得到广泛应用,并已成为 20 世纪 90 年代以来电子产品设计变革的主流器件。当前任何一种具有竞争力的电子产品,多数都采用了可编程逻辑器件,而可编程逻辑器件的设计与改进必须借助于 EDA 工具,因此掌握可编程逻辑器件和 EDA 技术已成为当今硬件系统设计的重要手段。

第二节　低密度可编程逻辑器件简介

一、PLD 电路的基本结构

低密度可编程逻辑器件的集成密度约为每片 700 个等效门以下,它主要包括 PROM、FPLA、PAL 和 GAL 4 种器件。

PLD 的基本结构框图如图 10-1 所示。电路的主体是由门构成的“与阵列”和“或阵列”,可以用来实现组合逻辑函数。输入电路由缓冲器组成,可以使输入信号具有足够的驱动能力,并产生互补输入信号。输出电路可以提供不同的输出结构,如直接输出(组合方式),或通过寄存器输出(时序方式)。此外输出端口通常有三态门,可通过三态门控制

数据直接输出或反馈到输入端。通常 PLD 电路中只有部分电路可以编程或组态，PROM、FPLA、PAL 和 GAL 4 种 PLD 由于编程情况和输出结构不同，因而电路结构也不相同。表 10-1 列出了 4 种低密度 PLD 的特点。

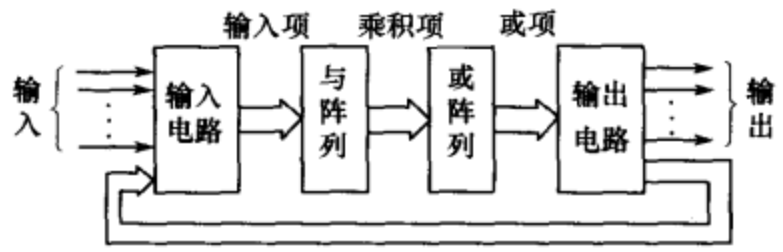


图 10-1　PLD 的基本结构框图

表 10-1　低密度 PLD 的特点

分类	与阵列	或阵列	输出电路	出现年代
RROM	固定	可编程	固定	20 世纪 70 年代初期
PLA	可编程	可编程	固定	20 世纪 70 年代中期
PAL	可编程	固定	固定	20 世纪 70 年代末期
GAL	可编程	固定	可组态	20 世纪 80 年代中期

二、低密度可编程逻辑器件简介

1. PROM 可编程只读存储器

ROM 诞生于 20 世纪 70 年代初期，是最先问世的 PLD。PROM 由全译码的与阵列和可编程的或阵列组成，由于其阵列规模大、速度低，因而，它的基本用途是用作存储器。

2. 现场可编程逻辑阵列

现场可编程逻辑阵列(FPLA)是 20 世纪 70 年代中期在 PROM 基础上发展起来的 PLD，它的与阵列和或阵列均可编程。采用 FPLA 实现逻辑函数时只需要运用化简后的与或式，由与阵列产生与项，再由或阵列完成与项相或的运算后便得到输出函数。

FPLA 中的与阵列和或阵列只能构成组合逻辑电路，若在 FPLA 中加入触发器便可构成时序型 FPLA。

由于 FPLA 的两个阵列均可编程，所以使设计工作变得容易得多。但 FPLA 存在两个缺点：一是可编程的阵列为两个，编程较复杂；二是支持 FPLA 的开发软件有一定难度。因而，FPLA 的应用受到了一定的限制。

3. 可编程阵列逻辑(PAL)

PAL 也是在 PROM 基础上发展起来的一种可编程逻辑器件，它是 20 世纪 70 年代末由美国单片存储器 MMI 公司首先推出的。PAL 采用了熔丝编程方式，双极型工艺制造，因而器件的工作速度很高。

PAL 器件由可编程的与阵列、固定的或阵列和输出电路 3 部分组成。由于它的与阵列可编程，而输出结构的种类很多，因而给逻辑设计带来很大的灵活性。

PAL 和 SSI、MSI 通用标准器件相比有许多优点：一是提高了功能密度、节省了空间，通常一片 PAL 可以代替 4 片～12 片 SSI 或 2 片～4 片 MSI，同时 PAL 只有 20 多种型号，但可以代替 90%的通用 SSI、MSI 器件，因而进行系统设计时，可以大大减少器件的种类；二是提高了设计的灵活性，且编程和使用都比较方便；三是有上电复位功能和加密

功能，可以防止非法复制。

PAL 的主要缺点是由于它采用了双极型熔丝工艺(PROM 结构)，只能一次性编程，因而使用者仍要承担一定的风险；另外 PAL 器件输出电路结构的类型繁多，因此也给设计和使用带来一些不便。

4. 通用阵列逻辑(GAL)

GAL 是 Lattice 公司于 1985 年首先推出的新型可编程逻辑器件。它采用了电擦除、电可编程的 CMOS 工艺制作，可以用电信号擦除并反复编程上百次。GAL 器件的输出端设置了可编程的输出逻辑宏单元(OLMC)，通过编程可以将 OLMC 设置成不同的输出方式。这样同一型号的 GAL 器件可以实现 PAL 器件所有的各种输出电路工作模式，即取代了大部分 PAL 器件，因此，称为通用可编程逻辑器件。

第三节　高密度可编程逻辑器件简介

通常将集成密度大于 1000 个等效门/片的 PLD 称为高密度可编程逻辑器件(HDPLD)，它包括 EPLD、CPLD 和 FPGA 3 种类型。

20 世纪 90 年代以后，高密度可编程逻辑器件在集成密度、生产工艺、器件的编程和测试技术等方面发展都十分迅速。目前 HDPLD 的集成密度一般可达数千和上万门，CPLD 和 FPGA 的集成度最多已可达 25 万等效门。CPLD 的最高工作速度已达 180MHz，FPGA 的门延迟已小于 3ns。目前世界各著名半导体器件公司，如 Xilinx、Altera、Lattice、AMD、Atmel 等，均可提供各种不同类型的 EPLD、CPLD 和 FPGA 产品。众多公司的竞争促进了可编程集成电路技术的提高，使其性能不断完善、产品日益丰富。下面简要介绍阵列型 HDPLD 和 FPGA(单元型 HDPLD)的结构特点。

一、阵列型高密度可编程逻辑器件

阵列型 HDPLD 包括 EPLD 和 CPLD 两种器件，其基本结构形式和 PAL、GAL 相似，都由可编程的与阵列、固定的或阵列和逻辑宏单元组成，但集成规模比 PAL 和 GAL 大得多。

EPLD 是 20 世纪 80 年代中期 Altera 公司推出的新型可擦除、可编程逻辑器件。以叠栅注入 MOS 管作为编程单元，所以不仅可靠性高，可以改写，而且集成度高、造价便宜。目前 EPLD 产品的集成度最高已达 1 万门以上。EPLD 的结构与 GAL 相似，它大量增加了输出逻辑宏单元的数目，提供更大的与阵列，而且增加了对 OLMC 中触发器的预置和异步置 0 功能，因此它的 OLMC 要比 GAL 中的 OLMC 有更大的使用灵活性。EPLD 保留了逻辑块的结构，内部连线相对固定，即使是大规模集成容量器件，其内部延时也很小，因而有利于器件在高频率下工作，但 EPLD 内部的互连能力很弱，FPGA 出现后它曾受到冲击，直到 CPLD 出现后才有所改变。

CPLD 是在 EPLD 基础上发展起来的器件。与 EPLD 相比，它增加了内部连线，对逻辑宏单元和 I/O 单元都作了重大改进。CPLD 内部集成了 RAM 等存储器，兼有 FPGA 的特性，许多 CPLD 还具备在系统编程能力。因此，它比 EPLD 功能更强，使用更灵活。

目前各公司生产的 EPLD 和 CPLD 产品都有各自的特点，但总体结构大致相同，它们至少包含了 3 种结构：可编程逻辑宏单元、可编程 I/O 单元、可编程内部连线。

二、现场可编程门阵列

现场可编程门阵列(FPGA)是 20 世纪 80 年代中期出现的高密度可编程逻辑器件。与前面所介绍的阵列型可编程逻辑器件不同，FPGA 采用类似于掩膜编程门阵列的通用结构，其内部由许多独立的可编程逻辑模块组成，用户可以通过编程将这些模块连接成所需要的数字系统。它具有密度高、编程速度快、设计灵活和可再配置等许多优点，因此 FPGA 自 1985 年由 Xilinx 公司首家推出后，便受到普遍欢迎，并得到迅速发展。

FPGA 主要由可配置逻辑块(CLB)、输入/输出模块(IOB)和互连资源(IR)3 部分组成。可配置逻辑块 CLB 是实现用户功能的基本单元，它们通常规则地排列成一个阵列，散布于整个芯片；可编程输入/输出模块(IOB)主要完成芯片上逻辑与外部封装脚的接口，它通常排列在芯片的四周；可编程互连资源(IR)包括各种长度的连线线段和一些可编程连接开关，它们将各个 CLB 之间或 CLB、IOB 之间以及 IOB 之间连接起来，构成特定功能的电路。

FPGA 的功能由逻辑结构的配置数据决定。工作时，这些配置数据存放在片内的 SRAM 或熔丝图上。基于 SRAM 的 FPGA 器件，在工作前需要从芯片外部加载配置数据。配置数据可以存储在片外的 EPROM、E^2PROM 或计算机软、硬盘中。人们可以控制加载过程，在现场修改器件的逻辑功能，即所谓现场编程。

第四节　可编程逻辑器件的开发

PLD 的开发是指利用开发系统的软件和硬件对 PLD 进行设计和编程的过程。开发系统软件是指 PLD 专用的编程语言和相应的汇编程序或编译程序。

低密度 PLD 早期使用汇编型软件，如 PALASM、FM 等。这类软件十分小巧，可对 GAL/PAL 可编程逻辑芯片进行方便地编程，使用方法十分简单。但此类软件不具备自动化简功能，只能用化简后的与或逻辑表达式进行设计输入，而且对不同类型的 PLD 兼容性较差。20 世纪 80 年代以后出现了编译型软件，如 ABEL、CUPL 等。这类软件功能强、效率高，可以采用高级编程语言输入，具有自动化简和优化设计功能，而且兼容性好，因而很快得到推广和应用。

高密度 PLD 出现以后，各种新的 EDA 工具不断出现，并向集成化方向发展。这些集成化的开发系统软件(软件包)可以从系统设计开始，完成各种形式的设计输入，并进行逻辑优化、综合和自动布局布线以及系统仿真、参数测试、分析等芯片设计的全过程工作。高密度 PLD 的开发系统软件可以在 PC 机或工作站上运行。目前能在 PC 机上运行的常用软件有 Xilinx 公司的 XACT 5.0 Foundation，Lattice 公司的 ISP Synario System 和 Altera 公司的 MAX+PLUSⅡ等。

开发系统的硬件部分包括计算机和编程器。编程器是对 PLD 进行写入和擦除的专用装置，能提供写入或擦除操作所需要的电源电压和控制信号，并通过并行接口从计算机接收编程数据，最终写入 PLD 中。

一、可编程逻辑器件的设计过程

可编程逻辑器件的设计流程如图 10-2 所示，它主要包括设计准备、设计输入、设计处理和器件编程四个步骤，同时包括相应的功能仿真、时序仿真和器件测试三个设计验证过程。

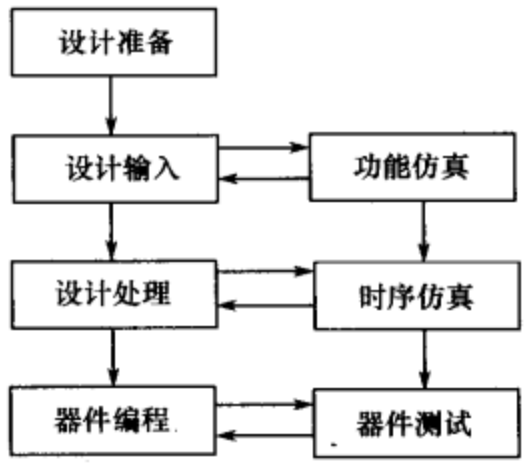


图 10-2　PLD 设计流程

1. 设计准备

采用有效的设计方案是 PLD 设计成功的关键，因此在设计输入之前首先要考虑两个问题：一是选择系统方案，进行抽象的逻辑设计；二是选择合适的器件，满足设计的要求。

对于低密度 PLD，一般可以进行书面逻辑设计，将电路的逻辑功能直接用逻辑方程、真值表状态图或原理图等方式进行描述，然后根据整个电路输入、输出端数以及所需要的资源(门、触发器数目)选择能满足设计要求的器件系列和型号。器件的选择除了应考虑器件的引脚数、资源外，还要考虑其速度、功耗以及结构特点。

对于高密度 PLD，系统方案的选择通常采用“自顶向下”的设计方法。首先在顶层进行功能框图的划分和结构设计，然后再逐级设计低层的结构。一般，描述系统总功能的模块放在最上层，称为顶层设计；描述系统某一部分功能的模块放在下层，称为底层设计。底层模块还可以再向下分层。这种“自顶向下”和分层次的设计方法使整个系统设计变得简洁和方便，并且有利于提高设计的成功率。目前系统方案的设计工作和器件的选择都可以在计算机上完成，设计者可以采用国际标准的两种硬件描述语言——VHDL 或 Verilog——对系统级进行功能描述，并选用各种不同的芯片进行平衡、比较，选择最佳结果。

2. 设计输入

设计者将所设计的系统或电路以开发软件要求的某种形式表示出来，并送入计算机的过程，称为设计输入。它通常有原理图输入、硬件描述语言输入及波形输入等多种方式。

原理图输入是一种最直接的输入方式，它大多数用于对系统或电路结构很熟悉的场合。但系统较大时，这种方法的相对输入效率较低。

硬件描述语言是用文本方式描述设计，它分为普通的硬件描述语言和行为描述语言。行为描述语言是指高层硬件描述语言 VHDL 和 Verilog，它们有许多突出的优点：语言的公开可利用性、便于组织大规模系统的设计、具有很强的逻辑描述和仿真功能，而且输入效率高、在不同的设计输入库之间转换也非常方便。

普通硬件描述语言有 ABEL-HDL、CUPL 等，它们支持逻辑方程、真值表、状态机等逻辑表达方式。

3. 设计处理

从设计输入完成以后到编程文件产生的整个编译、适配过程，通常称为设计处理或设计实现。它是器件设计中的核心环节，是由计算机自动完成的，设计者只能通过设置参数来控制其处理过程。在编译过程中，编译软件对设计输入文件进行逻辑化简、综合和优化，并适当地选用一个或多个器件自动进行适配和布局、布线，最后产生编程用的编程

文件。

编程文件是可供器件编程使用的数据文件。对于阵列型 PLD 来说，是产生熔丝图文件（简称 JED）文件，它是电子器件工程联合会制定的标准格式；对于 FPGA 来说，是生成位流数据文件。

4. 设计校验

设计校验过程包括功能仿真和时序仿真，这两项工作是在设计输入和设计处理过程中同时进行的。功能仿真是在设计输入完成以后的逻辑功能检证，又称前仿真，它没有延时信息，对于初步功能检测非常方便。时序仿真在选择好器件并完成布局、布线之后进行，又称后仿真或定时仿真，它可以用来分析系统中各部分的时序关系以及仿真设计性能。

5. 器件编程

编程是指将编程数据放到具体的 PLD 中去。对阵列型 PLD 来说，是将 JED 文件“下载”到 PLD 中去；对 FPGA 来说，是将位流数据文件“配置”到器件中去。

器件编程需要满足一定的条件，如编程电压、编程时序和编程算法等。普通的 PLD 和一次性编程的 FPGA 需要专用的编程器完成器件的编程工作；基于 SRAM 的 FPGA 可以由 EPROM 或微处理器进行配置；ISP 在系统编程器件则不需要专门的编程器，只要一根下载编程电缆就可以了。

二、在系统可编程技术和边界扫描技术

1. 在系统可编程技术

在系统可编程（简称 ISP）技术是 20 世纪 80 年代末 Lattice 公司首先提出的一种先进的编程技术。所谓“在系统编程”是指对器件、电路板或整个电子系统的逻辑功能可随时进行修改或重构。这种重构或修改可以在产品设计、制造过程中的每个环节，甚至在交付用户之后进行。支持 ISP 技术的可编程逻辑器件称为在系统可编程逻辑器件（ispPLD）。

ispPLD 不需要使用编程器，只需要通过计算机接口和编程电缆，直接在目标系统或印制线路板上进行编程。一般的 PLD 只能插在编程器上先进行编程，然后再装配；而 ispPLD则可以先装配、后编程，因此，ISP 技术有利于提高系统的可靠性，便于系统板的调试和维修。

ISP 技术是一种串行编程技术，其编程接口非常简单。例如，Lattice 公司的 ispLSI、ispGAL 等 ISP 器件，它们只有 5 根信号线：模式控制输入 MODE、串行数据输入 SDI、串行数据输出 SDO、串行时钟输入 SCLK 和在系统编程使能输入$\overline{\text{ispEN}}$。PC 机可以通过这 5 根信号线完成编程数据传递和编程操作。其中编程使能信号$\overline{\text{ispEN}}=1$ 时，ISP 器件为正常工作状态；$\overline{\text{ispEN}}=0$ 时，所有的输出均被置为高阻，与外界系统隔离，这时才允许器件进入编程状态。

基于 SRAM 的现场可编程技术实际也具备 ISP 技术一样的效能，ISP 技术也支持现场可编程。无论现场可编程还是在系统可编程，都可以实现系统重构。现场可编程和在系统可编程是可编程逻辑器件的发展方向，由此也可以预见未来的硬件将不再是固定的结构，而是灵活的结构，具备软件的某些特性，可以在运行状态下根据需要重新配置硬件

功能。

重点提示:(1)对于 E^2PROM(或 Flash)工艺的 PLD(如 Altera 的 MAX 系列,Lattice 的大部分产品,Xilinx 的 XC9500 系列)厂家提供编程电缆,电缆一端装在计算机上,另一端接在 PCB 板上的插头上,这就是所谓的在线可编程(ISP)。使用户能够独立地配置 PLD 器件,而不需要编程器或任何其他编程硬件。早期的 PLD 是不支持 ISP 的,它们需要用编程器烧写。目前的 PLD 都可以用 ISP 在线编程,也可用编程器编程。这种 PLD 可以加密,并且很难解密。

(2)对于基于查找表技术,SRAM 工艺的 FPGA,由于 SRAM 工艺的特点,掉电后数据会消失,因此调试期间可以用下载电缆配置 PLD 器件,调试完成后,需要将数据固化在一个专用的 E^2PROM 中(用通用编程器烧写),上电时,由这片配置 E^2PROM 先对 PLD 加载数据,十几毫秒后,PLD 即可正常工作。但 SRAM 工艺的 PLD 一般不可以加密。

(3)还有一种反熔丝技术的 FPGA,用法与 E^2POM 的 PLD 一样,但这种的 PLD 是不能重复擦写,所以初期开发过程比较麻烦,费用也比较昂高。但反熔丝技术也有许多优点:布线能力更强、系统速度更快、功耗更低、抗辐射能力强、耐高低温、可以加密,所以在一些有特殊要求的领域中(如军事及航空航天)运用较多。

2. 边界扫描测试技术

边界扫描测试技术主要解决芯片的测试问题。20 世纪 80 年代后期,对电路板和芯片的测试出现了困难。以往,在生产过程中对电路板的检验是由人工或测试设备进行的,但随着集成电路密度的提高,集成电路的引脚也变得越来越密,测试变得很困难。例如,TQFP 封装器件,管脚的间距仅有 0.6mm,这样小的空间内几乎放不下一根探针。同时,由于国际技术的交流和降低产品成本的需要,也要求为集成电路和电路板的测试制订统一的规范。

边界扫描技术正是在这种背景下产生的。IEEE1149.1 协议是由 IEEE 组织联合测试行动组在 20 世纪 80 年代提出的边界扫描测试技术标准,用来解决高密度引线器件和高密度电路板上的元件的测试问题。

标准的边界扫描测试只需要 4 根信号线,能够对电路板上所有支持边界扫描的芯片内部逻辑和边界管脚进行测试。应用边界扫描技术能增强芯片、电路板甚至系统的可测试性。

第五节　集成GAL 可编程逻辑器件的应用

制作一个数字电子装置,体小量轻、省电耐久、故障率低、价格便宜是电子爱好者孜孜以求的目标,但是这些指标很不易同时满足,有时甚至显得无从下手。自从可编程器件上市以来,数字电路的这种优化工作变得简单易行。在众多的可编程器件中,以 CMOS 电路 GAL 最为引人注目,因为它既可以编程为组合电路,也可编程为时序电路,还可以两者编程在一片 GAL 中。因此,GAL 器件应用十分广泛。

一、GAL 逻辑器件的分类

GAL 集成电路是美国 Lattice 公司于 1985 年推出的通用阵列逻辑,GAL 器件采用

了浮栅存储 E^2CMOS 工艺，具有电擦写反复编程的特性。GAL 器件通过编程写入，用户可将 OLMC 设置为不同的工作状态，这为实现组合逻辑电路和时序逻辑电路的分块设计提供了方便，从而显著的增强了器件的通用性。因而 GAL 被称为“通用”可编程逻辑器件。

常见的 GAL 逻辑器件如表 10-2 所示。

表 10-2　常用 GAL 逻辑器件

器件类型		引脚数	最多可用输入数	最多可用输出数	阵列规模	工作电压/V
普通型	GAL16V8	20	16	8	64×32	4.5～5.5
	GAL20V8	24	20	8	64×40	4.5～5.5
	GAL16V8A	20	16	8	64×32	4.5～5.5
	GAL20V8A	24	20	8	64×40	4.5～5.5
	GAL16V8B	20	16	8	64×32	4.5～5.5
	GAL20V8B	24	20	8	64×40	4.5～5.5
通用型	GAL18V10	20	18	10	96×36	4.5～5.5
	GAL22V10	24	22	10	132×44	4.5～5.5
	GALCV12	28	26	12	122×52	4.5～5.5
异步型	GAL20RA10	24	20	10	80×10	
在线可编程型	ispGAL16Z8	24	16	8	64×32	

GAL 器件的型号定义是根据输入、输出的数量来确定的。器件名称中，字母 V 前的数字表示的是器件内部与门阵列的输入端数量(包括内部的反馈输入端)，该数字也代表器件的最大外部输入数。字母 V 后面的数字表示的是器件中输出逻辑宏单元 OLMC 的数量，该数字也表示器件输出端的个数。例如器件 GAL16V8 中的 16 表示阵列的输入信号数量，8 表示输出端数量，V 则表示输出形式是可以改变(Varable)的普通型。对于典型的 GAL 器件，其输出乘积项有 8 个～12 个。目前人们常用的 GAL 芯片主要有 GAL16V8、GAL18V10 和 GAL20V8 等几种。

GAL 器件分为普通型、通用型、异步型和在线可编程型等 4 个系列。

普通型 GAL 器件包括 GAL16V8，GAL20V8 等 6 种型号，其与门阵列可编程，或门阵列为固定连接。

通用型 GAL 器件包括 3 种产品：GAL18V10，GAL18V10 和 GAL26CV12。通用型 GAL 器件采用的工艺和基本结构与普通型 GAL 器件相同。它是在普通型 GAL 器件基础上，简化了输出逻辑宏单元的结构，增加了阵列规模，还向用户提供了两个专用乘积项(异步复位乘积项和同步置位乘积项)。因此，在设计组合逻辑和时序逻辑电路时，使用通用型 GAL 器件带来了更强的灵活性。

异步型 GAL 器件目前较成熟的有 GAL20RA10，其特点是与阵列可编程。它的每一个输出逻辑宏单元 OLMC 中都有 8 个乘积项，其中，有 4 个乘积项用于实现与或式逻辑函数，而另外 4 个乘积项分别作为异步复位、异步置位、时钟和输出使能。这 4 个特殊的乘积项，使得 GAL20RA10 的 10 个 OLMC 的时钟、置位、复位及输出使能端能被独立设

置，独立工作，彼此之间无因果关系，适于实现异步时序逻辑。

在线可编程 GAL 器件 ispGAL16Z8 是具有在线可编程和诊断能力的器件，其内部集成了一个在线编程和诊断功能块，这一模块只需用应用系统中的＋5V 电源电压，就能够提供编程、诊断所必须的电压和控制信号。因此，它不用专门的编程器即可完成在线编程，使用更加方便灵活。

二、GAL 逻辑器件的结构

下面以 GAL16V8 为例说明器件的结构和工作情况。

图 10-3 所示为 GAL16V8 的管脚图，图 10-4 所示为 GAL16V8 的逻辑电路结构图。

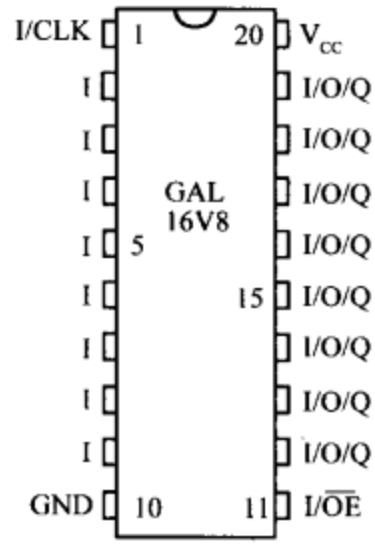


图 10-3　GAL16V8 管脚排列图

从图中可以看出，GAL16V8 有一个 32×64 位的可编程与逻辑阵列、l0 个输入缓冲器、8 个三态输出缓冲器、8 个输出反馈/输入缓冲器和、8 个输出逻辑宏单元 OLMC，还有一个输出使能且低电平有效缓冲器 OE 和一个时钟 CLK 输入缓冲器。组成或逻辑阵列的 8 个或门分别包含于 8 个 OLMC 中，它们和与逻辑阵列的连接是固定的。

与阵列是由 16 个信号形成的 32 条互补输入垂直线和 64 条水平乘积线构成的 32×64 的矩阵，即有 2048 个可编程单元。16 个引脚中有 8 个引脚(2 脚～9 脚)作为固定输入，12 脚～19 脚既可以设置成输入引脚又可以设置成输出引脚；而 1 脚既可作为输入又可作为全局时钟，而 11 脚既可作为输入又可作为全局使能。每个 OLMC 均配有 8 个乘积项作为输入，经过 OLMC 编程配置得到所需的工作模式输出到 I/O 引脚。

需要指出的是，GAL 各脚的具体设置是由 PLD 开发软件根据具体设计要求自动完成的，并自动检查各引线的用法，无需人工干预。

三、GAL 逻辑器件的编程

可编程逻辑器件的应用使逻辑设计过程产生了质的飞跃。GAL 器件的编程是在相应开发软件和硬件的支持下完成的，除得到现有的大部分开发软件和标准编程器的支持外，新的高级开发软件的相继出现，使 GAL 的设计应用愈来愈方便。

GAL 开发工具包括硬件开发工具 Logic Lab 编程器和 Fast Map(简称 FM)、CUPL、ABEL 等软件开发工具。下面仅就简单实用的 FM 开发软件给予介绍。

1. FM 软件的特点

FM 主要包括一个名为 FM. EXE 的可执行文件。FM 的特点是直观、简单，对于初学者容易掌握，但它只允许使用逻辑表达式描述设计，也没有仿真功能。

FM 是专门用 GAL 器件开发的软件。它可把用户编写的 PLD 设计文件汇编成 3 个文件：①列表文件，扩展名为 . LST，它包括设计源文件和 PLD 引脚配置图；②熔丝图文件，扩展名为 . PLT，它是供设计者阅读的编程模式图，用它可以验证设计；③JEDEC 文件，扩展名为 . JED，它存放对 PLD 编程的数据。FM 可在 IBM PC 及其兼容机上运行，

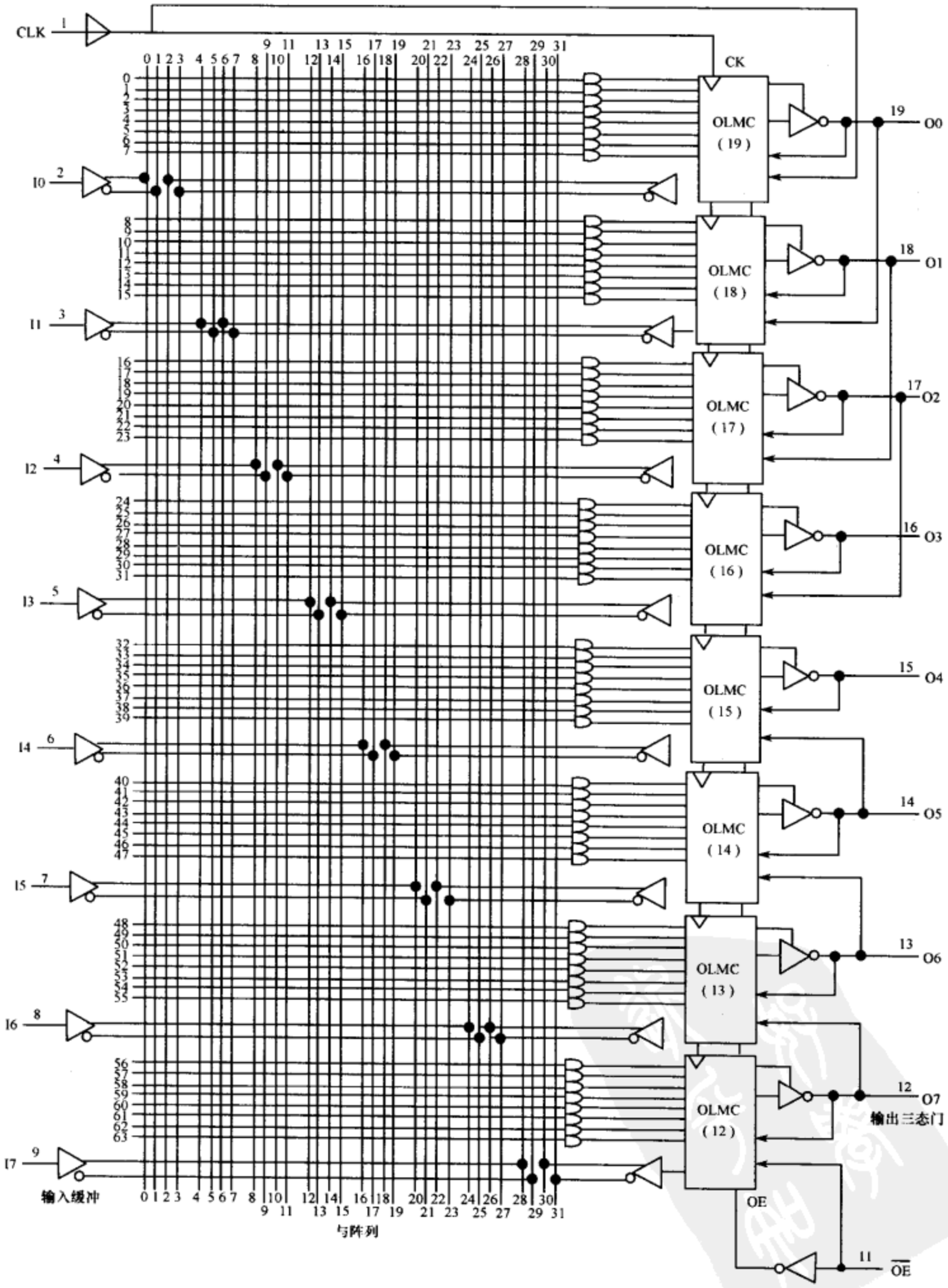


图 10-4　GAL16V8 的逻辑图

操作系统为 PC DOS 或 MS DOS2.0 以上版本。

2. PLD 设计源文件的格式

运行 FM 以前，首先要编制一个 PLD 设计源文件，并用任意一种文本编辑程序把它送入计算机。PLD 设计源文件是描述设计要求的文本文件，扩展名用 .PLD。下面通过一个简单的例子来说明 FM 对 PLD 设计源文件的格式要求和其他注意事项。例如，用 GAL16V8 实现以下 6 个逻辑方程：

与门：$U=A \cdot B$

或门：$V=C+D$

与非门：$W=\overline{E \cdot F}$

或非门：$X=\overline{G+H}$

异或门：$Y=I \oplus J$

异或非门：$Z=\overline{K \oplus L}$

用 PLD 设计源文件如下：

```
GAL16V8                                          ;第 1 行
DESIGNED BY LJQ                                  ;第 2 行
2004.9.1                                         ;第 3 行
BASIC GATES                                      ;第 4 行
B C D E F G H I J GND K L Z Y X W V U A VDD       ;第 5 行
U=A * B                                          ;第 6 行
V=C+D                                            ;第 7 行
/W=E * F                                         ;第 8 行
/X=G+H                                           ;第 9 行
Y=I * /J +/I * J                                 ;第 10 行
/Z=K * /L+/K * L                                 ;第 11 行
DESCRIPTION                                      ;第 12 行
```

从上述例子可以看出，FM 对 PLD 设计源文件的格式要求是：

(1)第 1 行为器件型号，必须大写。

(2)第 2 行～4 行任意，一般为设计题目，设计者姓名和日期等，这 3 行信息就是不要，也要留出相应的空行。

(3)第 5 行以后为引脚名表，引脚名最多为 8 个字符，引脚名之间至少留一个空格；不用的引脚用 NC 表示、地线用 GND 表示、电源用 V_{DD} 表示；引脚名按器件引脚号递增的顺序排列，不能重复，也不能遗漏。

(4)引脚名表后面的第 6～第 11 行是方程部分。

(5)第 12 行是关键字 DESCRIPTION，它不能省略，并以回车键结束。

另外还要注意：注释前要加一个分号，FM 对大小写字母区别对待，且一个 PLD 设计源文件最多 200 行。

3. FM 的语法规则

1)FM 允许使用的逻辑方程

FM 允许使用以下 3 种形式的逻辑方程：

<SYMBOL>=<逻辑表达式>　如 Y=A+B

<SYMBOL>:=<逻辑表达式>　如 Y:=A+B

<SYMBOL>.OE=<逻辑表达式>　如 Y.OE=A * B

式中:SYMBOL 为输出引脚名,允许加前缀"/";OE 为输出允许。

第一种方程表示,在任何时刻,由 SYMBOL 指定的引脚总是取逻辑表达式的值;第二种方程表示,只有在时钟脉冲上升沿到来时,由 SYMBOL 指定的引脚才取逻辑表达式的值;第三种方程表示,仅当逻辑表达式的值为真时,由 SYMBOL 指定的引脚才输出有效电平,否则就保持高阻状态,而且这里的逻辑表达式只允许包含一个"与"项。

2)允许在逻辑表达式中使用的逻辑运算符

用"*"表示"与";用"+"表示"或";用"/"表示"非"。逻辑表达式不能用括号,"/"只能在单个引脚名前。

4. FM 的使用

用任意一种编辑程序将准备好的 PLD 设计源文件送入计算机,并存入磁盘(源文件用扩展名建议用.PLD)。然后,就可以调用 FM 对设计源文件进行汇编。方法是:在 DOS 提示符下键入 FM,并回车,屏幕上就出现下列文字:

GAL AssemblerVerl.00(c)copy writeJYN 1988　1989

Please enter file name(.PLD ASSUMED)_

这时就可在光标处控入你要汇编的 PLD 设计源文件名(用.PLD 作扩展名时扩展名可省略)。文件名输入后,计算机对设计源文件进行扫描,找出可能存在的语法错误。当发现设计源文件有语法错误时,屏幕上就出现有关提示并停止运行。这时需要键入命令 Ctr+C,以便退出系统,重新调用文本编辑程序对设计源文件进行修改。重复上述过程,直到通过扫描为止。当通过扫描时,屏幕上就出现如下所示的菜单:

GAL ASM Menu Current Source File

(1)Creat Document File;　产生源文件和芯片引脚分配图

(2)Creat Fuse Plot File;　产生可供阅读的熔丝图

(3)Creat Jedec File;　产生以 JED 为结尾的可写入的文件

(4)Get a new Source File;　产生新的源程序

(5)Exit from GALASM;　退出 Fast Map

接下来,可根据需要,键入有关数字,即可执行相应的操作。例如:键入"1",将生成一份扩展名为.LST 的列表文件,它包括设计源文件和 PLD 引脚配置图;键入"2",将生成一份扩展名为.PLT 的熔丝图文件;键入"3",将生成一份扩展名为.JED 的 JEDEC 文件;键入"4",汇编另一个.PLD 设计源文件;键入"5",返回 DOS 系统。

生成上述各文件后,便可利用 GAL 编程器对 GAL 芯片进行编程。

四、GAL 逻辑器件设计举例

自 20 世纪 90 年代以来,GAL 几乎风靡整个可编程逻辑器件(PLD)的市场,它以其高性能、高可靠性、可擦除及输出逻辑结构可组态的特性和 100%的成品率,博得了广大用户的偏爱,在 IC 市场上的影响日益增长。下面列举 3 个例子,简要说明 GAL16V8 的应用。

1. 用 GAL16V8 组成逻辑电路

用 GAL16V8 完成以下功能：Y0＝$\overline{A0}$，Y1＝$\overline{A1}$，Y2＝$\overline{A2}$，Y3＝$\overline{A3}$，Y4＝A4＋B4，Y5＝A4 · B4，Y6＝C⊕D。

若按常规做法，要完成上述逻辑功能，应购进反相器（如 74LS04）、与门（如 74LS08）、或门（如 74LS32）和异或门（如 74LS86）等电路，如果采用一片 GAL，通过编程，可代替这些门电路，不但功耗大大降低，而且体积大为缩小、焊点大幅度下降，有利于降低故障、增加电路的可靠性，从而提高系统的性能。制作过程如下：

（1）在计算机上用 EDIT 软件编辑输入文件。文件名取为 ljq. PLD，文件格式应按 FM 语言的要求编写。

FM 语言的输入文件由：器件名、信息行、引脚定义、表达式、结束句等 5 个部分组成。文件全文如下：

```
GAL16V8B;  输入器件型号
LJQ. PLD;  信息行,写文件名
09/01/2004;  信息行,写日期
      ;信息行,也可空行
CLK A0 A1 A2 A3 A4 B4 C D GND OE NC Y6 Y5 Y4 Y3 Y2 Y1 Y0 VDD;  引脚定义
Y0=/A0;  表达式
Y1=/A1
Y2=/A2
Y3=/A3
Y4=A4+B4
Y5=A4 * B4
Y6=C * /D+/C * D
DESCRIPTION;  结束句,最后以回车结束
```

本例使用的器件是 GAL16V8，共 20 脚，由第 1 脚～第 20 脚顺序定义，第 10 脚为电源地端（GND），第 20 脚为电源＋5V 端（V_{DD}），不可更改。其余引脚（1 脚～9 脚和 11 脚～19 脚）可定义为输入引脚，但不能全都为输入而没有输出。输出引脚只能在 12 脚～19 脚中选择，如果输出引脚只有一两个，应选用 15 脚和 16 脚。不用的引脚也需定义，如定义为 NC，不允许有未定义的引脚。本例的 20 个引脚除一只脚未定义外，其他引脚均已定义，如图 10-5 所示。

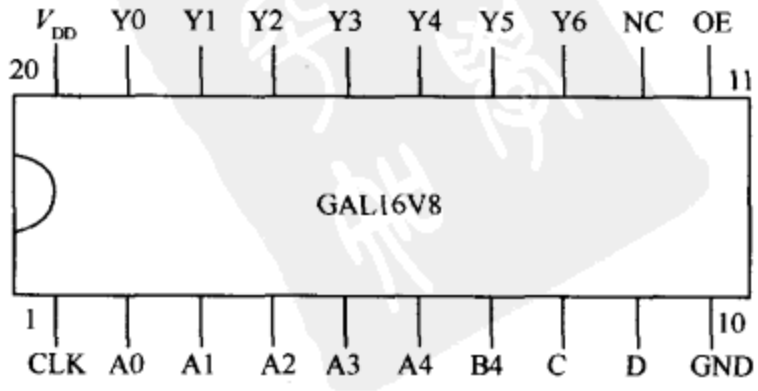


图 10-5　GAL16V8 定义的引脚功能图

(2)将输入文件编译为 JEDEC 文件。需要配备 FM 软件,将 FM 软件装入硬盘。然后运行 FM 语言:

C:\>FM(回车)

屏幕显示菜单的提示行,要求输入文件名

GAL Assembler Verl. 00(c)copy write JYN 1988　1989

Please enter file name(. PLD ASSUMED)_

输入文件名:LJQ. PLD(回车)

显示菜单选项

GAL ASM Menu Current Source File:LJQ. PLD

(1)Creat Document File

(2)Creat Fuse Plot File

(3)Creat Jedec File

(4)Get a new Source File

(5)Exit from GALASM

此时选"3",回车。

系统将要求你再输入文件名时别键入扩展名

LJQ(回车)

屏幕将回到菜单,可选择"5"退出系统,生成的 LJQ. JED 文件便可直接用 GAL 编程器对 GAL16V8 进行固化操作。

固化完成后,取出 GAL16V8 芯片,先在逻辑实验仪上测试其逻辑功能是否正确。若不正确,应检查输入文件,修改并重写,直至正确为止。

GAL16V8 不仅可编程为组合逻辑电路(如门电路、译码器、编码器等),而且还可编程为时序电路,如触发器、寄存器、计数器等,具体情况这里不再介绍。有兴趣的读者可参考相关书籍。

2. 基于 GAL16V8 控制的电栏杆电路

栏杆机(挡车器)广泛用于公寓、小区、货场、企事业单位的门禁,以及停车场、公路收费站等场合。基于 GAL 的新型简单电栏杆具有电路简单、可靠性高的特点。早期国内的电栏杆由驱动电动机、减速箱、栏杆及升/降控制按钮组成,机械部分为升/降往复运行,完全靠手动控制。近期的电栏杆机加入了升限位和降限位控制,执行机构为霍耳开关。基于 GAL 的新型电栏杆机硬件电路如图 10-6 所示。

"升杆"按钮 A 按下时,GAL 芯片 1 脚为低电平;未按下时,GAL 芯片 1 脚为高电平。"降杆"按钮 B 与 A 相同。升限位开关 C 采用霍耳开关,+5V 直流电源供电,当电栏杆升到最高位后,电栏杆转轴上的磁钢与霍耳开关接近,霍耳开关的输出由高变低。降限位开关 D 与 C 相同。GAL 的型号为 16V8。固态继电器型号为 JGX-5F,其输入正端接+5V,负端接 GAL 的 15 脚。当 15 脚输出高电平时,固态继电器截止,电动机停止转动;15 脚输出低电平时,固态继电器导通,电动机启动,并带动电栏杆上下往复运动,从而打开和关闭车道。采用固态继电器避免了电磁继电器因打火而使触点氧化,大大延长了使用寿命。接在固态继电器输出端的压敏电阻用于过压保护。固态继电器输出端的电压在固态继电器的工作电压范围内时,压敏电阻阻值为无穷大;当固态继电器通/断时,电动机两端产生

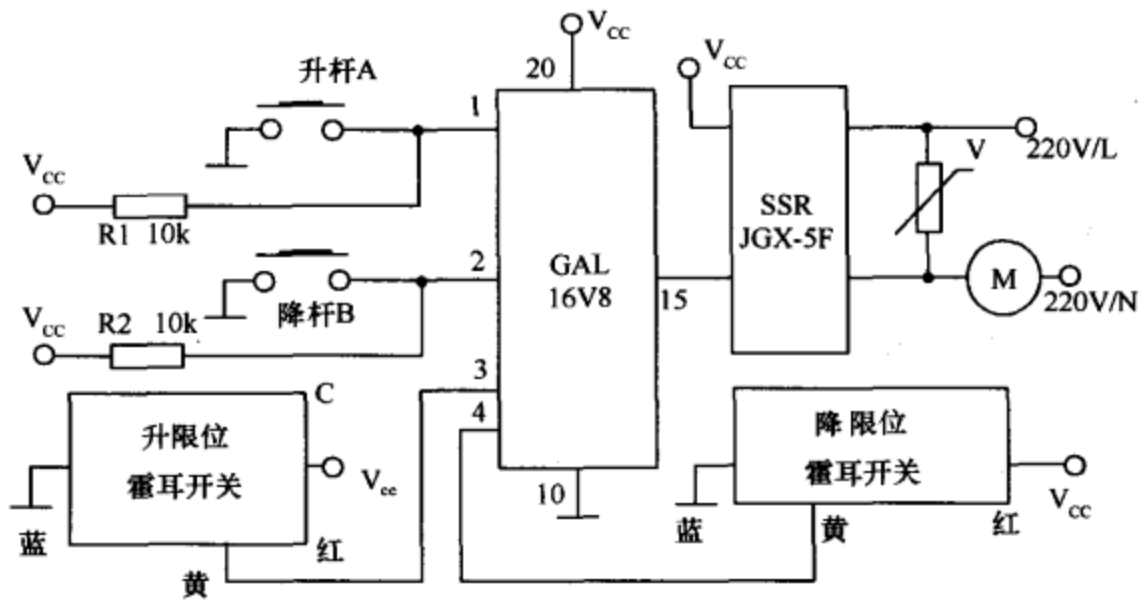


图 10-6　基于 GAL 的新型电栏杆机硬件电路

过电压，压敏电阻的阻值迅速减小而导通，从而保护了固态继电器。

电栏杆机的动作情况如下：

①上电后，若无按键动作，电动机不转；

②按“升杆”钮，若电栏杆未到“升到位”（含“降到位”），电动机启动；若到“升到位”，电动机停转；

③按“降杆”钮，若未到“降到位”（含“升到位”），电动机启动，若到“降到位”，电动机停转。

基于 GAL 的简单电栏杆机的逻辑，设计如下：

电动机运转状态、升杆按钮，降杆按钮、“升到位”限位霍耳开关和“降到位”限位霍耳开关的状态定义分别为：

电动机运转状态 Y	运转：0	不运转(停)：1
“升杆”按钮 A	按下：0	未按下：1
“降杆”按钮 B	按下：0	未按下：1
“升到位”霍耳开关 C	到位：0	未到位：1
“降到位”霍耳开关 D	到位：0	未到位：1

根据电栏杆机的功能要求，各输入、输出的状态定义，列出逻辑真值表见表 10-3。

表 10-3　逻辑真值表

输　入				输出	输　入				输出
A	B	C	D	Y	1	0	0	0	1
0	0	0	0	1	1	0	0	1	0
0	0	0	1	1	1	0	1	0	1
0	0	1	0	1	1	0	1	1	0
0	0	1	1	1	1	1	0	0	1
0	1	0	0	1	1	1	0	1	1
0	1	0	1	1	1	1	1	0	1
0	1	1	0	0	1	1	1	1	1
0	1	1	1	0					

化简后，相应的逻辑函数表达式为：

$$Y=\overline{AB}+AB+A\,\overline{D}+B\,\overline{C}$$

可以采用可编程逻辑器件 GAL 编程实现上述逻辑功能。

源程序清单：(FM 软件)

```
GAL16V8
LJQ. PLD
2004. 08. 31
A   B   C   D NC NC NC NC NC   GND
NC NC NC NC Y   NC NC NC NC VCC
Y=/A * /B+A * B+A * /D+B * /C
DESCRIPTION
```

基于 GAL 的新型简单电栏杆机已经投入使用，其性能稳定、运行可靠、成本低，取得了预期的效果。

3. 用 GAL16V8 控制步进电动机

步进电动机是将电脉冲信号变换成角位移(或线位移)的一种机电式数模转换器，它受脉冲信号的控制，角位移与输入脉冲个数成严格的正比关系：每输入一个电脉冲就旋转一定角度，故步进电动机也叫脉冲电动机或脉冲马达，它广泛应用于要求精密旋转或线性运动控制的系统中，如打印机，软盘驱动器，绘图仪，机械阀门控制器等，与步进电动机配套使用的是驱动电源，它包括了脉冲分配器又称环形分配器和功率放大器两部分，如图 10-7 所示。

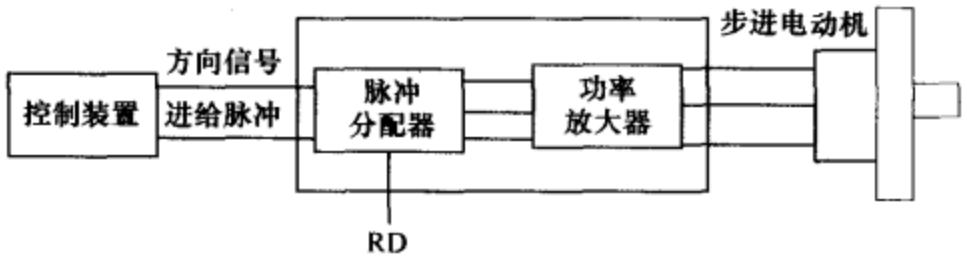


图 10-7　脉冲分配器在电动机驱动的作用

脉冲分配器的作用就是将控制装置送来的一系列指令脉冲，按照一定的顺序和分配方式送给步进电动机各相绕组，使其各相绕组按照预先规定的控制方式通、断电。下面采用可编程逻辑阵列 GAL 来实现一个六相十二拍控制方式的脉冲分配器。

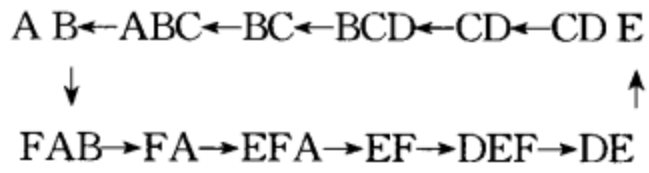
1)设计原理

六相十二拍控制方式的脉冲分配器是目前应用最广的六相步进电动机中的脉冲分配器，电动机在这方式下工作时，同时有相邻的二相或三相通电，下面分正、反两个转动方向来分别说明。

正转时相序转换为：

$$A\,B\rightarrow ABC\rightarrow BC\rightarrow BCD\rightarrow CD\rightarrow CD\,E$$
$$\uparrow \qquad\qquad\qquad\qquad\qquad\qquad \downarrow$$
$$FAB\leftarrow FA\leftarrow EFA\leftarrow EF\leftarrow DEF\leftarrow DE$$

反转时相序转换为：



上述两种相序转换中，A、B、C、D、E、F 代表电动机的 6 相绕组，如 AB 表示电动机的 A、B 这 2 相同时通电，而其余 4 相则为断电状态。其工作真值表如表 10-4 所示。

表 10-4　正反向脉冲分配器的真值表

CP	I	第 n 个状态						第 $n+1$ 个状态					
		A	B	C	D	E	F	A	B	C	D	E	F
1	1	1	1	0	0	0	0	1	1	1	0	0	0
2	1	1	1	1	0	0	0	0	1	1	0	0	0
3	1	0	1	1	0	0	0	0	1	1	1	0	0
4	1	0	1	1	1	0	0	0	0	1	1	0	0
5	1	0	0	1	1	0	0	0	0	1	1	1	0
6	1	0	0	1	1	1	0	0	0	0	1	1	0
7	1	0	0	0	1	1	0	0	0	0	1	1	1
8	1	0	0	0	1	1	1	0	0	0	0	1	1
9	1	0	0	0	0	1	1	1	0	0	0	1	1
10	1	1	0	0	0	1	1	1	0	0	0	0	1
11	1	1	0	0	0	0	1	1	1	0	0	0	1
12	1	1	1	0	0	0	1	1	1	0	0	0	0
1	0	1	1	0	0	0	0	1	1	0	0	0	1
2	0	1	1	0	0	0	1	1	0	0	0	0	1
3	0	1	0	0	0	0	1	1	0	0	0	1	1
4	0	1	0	0	0	1	1	0	0	0	0	1	1
5	0	0	0	0	0	1	1	0	0	0	1	1	1
6	0	0	0	0	1	1	1	0	0	0	1	1	0
7	0	0	0	0	1	1	0	0	0	1	1	0	0
8	0	0	0	1	1	1	0	0	0	1	1	0	0
9	0	0	0	1	1	0	0	0	1	1	1	0	0
10	0	0	1	1	1	0	0	0	1	1	0	0	0
11	0	0	1	1	0	0	0	1	1	1	0	0	0
12	0	1	1	1	0	0	0	1	1	0	0	0	0

注：CP 为脉冲控制信号；I 为转向选择信号（I=1 正转，I=0 反转）；第 n 个状态表示当前脉冲分配器的各相输出信号状态；第 $n+1$ 个状态表示分配器接收一个脉冲信号后从当前状态转换到下一个状态

由真值表可得：

$$A^{n+1}=I(AB\overline{C}\,\overline{D}\,\overline{E}\,\overline{F}+\overline{A}\,\overline{B}\,C\,\overline{D}EF+A\overline{B}\,C\,\overline{D}EF+A\overline{B}\,\overline{C}\,D\,\overline{E}F+AB\overline{C}\,\overline{D}\,\overline{E}F)+\overline{I}(AB\overline{C}\,\overline{D}\,\overline{E}\,\overline{F}+AB\overline{C}\,\overline{D}\,\overline{E}F+A\overline{B}\,\overline{C}\,\overline{D}\,\overline{E}F+\overline{A}BC\overline{D}\,\overline{E}\,\overline{F}+ABC\overline{D}\,\overline{E}\,\overline{F})$$

利用约束条件化简得：

$A^{n+1}=I\overline{C}\,\overline{D}+\overline{I}\,\overline{D}\,\overline{E}$

同理：

$$B^{n+1}=I\overline{D}\,\overline{E}+\overline{I}\,\overline{E}\,\overline{F}$$
$$C^{n+1}=I\overline{E}\,\overline{F}+\overline{I}\,\overline{A}\,\overline{F}$$
$$D^{n+1}=I\overline{A}\,\overline{F}+\overline{I}\,\overline{A}\,\overline{B}$$
$$E^{n+1}=I\overline{A}\,\overline{B}+\overline{I}\,\overline{B}\,\overline{C}$$
$$F^{n+1}=I\overline{B}\,\overline{C}+\overline{I}\,\overline{C}\,\overline{D}$$

在电动机通电后，为了确保电动机各绕组的通、断电状态正常，给脉冲分配器引入一个复位信号，利用复位脉冲使电动机在任何状态下都能恢复正转的起始状态。

2）软件设计及电路

用 FM 软件进行编程：

```
GAL16V8
DEVICE FOR STEPPING MOTOR
2004.9.1
LJQ
CP  I  RD  NC  NC  NC  NC  NC  NC  GND  OE  A  B  C  D  E  F
NC  NC  VDD
A:=I*/C*/D+/I*/D*/E+/RD
B:=I*/D*/E+/I*/E*/F+/RD
C:=I*/E*/F*RD+/I*/F*/A*RD
D:=I*/F*/A*RD+/I*/A*/B*RD
E:=I*/A*/B*RD+/I*/B*/C*RD
F:=I*/B*/C*RD+/I*/C*/D*RD
DESCRIPTION
```

经过定义的 GAL16V8 引脚图如图 10-8 所示。



图 10-8　经过定义的 GAL16V8 引脚图

图 10-8 中，RD 为复位信号，其工作为低电平有效，当 RD=0 时，脉冲分配器处于初始状态；只有 RD 信号撤消后，脉冲分配器才能正常工作。OE 为三态控制端，可控制输出端 A～F 的三态输出，当 OE=1 时，A～F输出均为高阻状态；当 OE=0 时，A～F 输出允许为高或低电平。NC 表示没用的管脚。

GAL16V8 器件经编程器编程后，便可实现较复杂的时序电路，缩小组成系统的体积，借助计算机辅助设计，可大大加快设计速度、减少差错、降低成本，提高系统的可靠性和稳定性，且可反复修改与编程，灵活性极强。

第十一章　数字电路应用举例

现有的数字集成电路品种繁多，按功能可分为基本逻辑电路、触发器、译码器、寄存器、计数器、存储器及微控制器等。但对广大电子爱好者而言，需要掌握的是那些通用性很强的中、小规模数字集成电路的应用。因此，本章的内容主要介绍中、小规模集成电路的应用实例。

第一节　计数/分频、脉冲发生器及定时电路

一、计数/分频电路

图 11-1 所示是一个倒计数电路，也可作为一个分频电路，其分频值可以在 1～99 之间，通过两组拨盘开关(码盘开关)来设置。下面以分频值 $N=99$ 为例说明其工作原理。

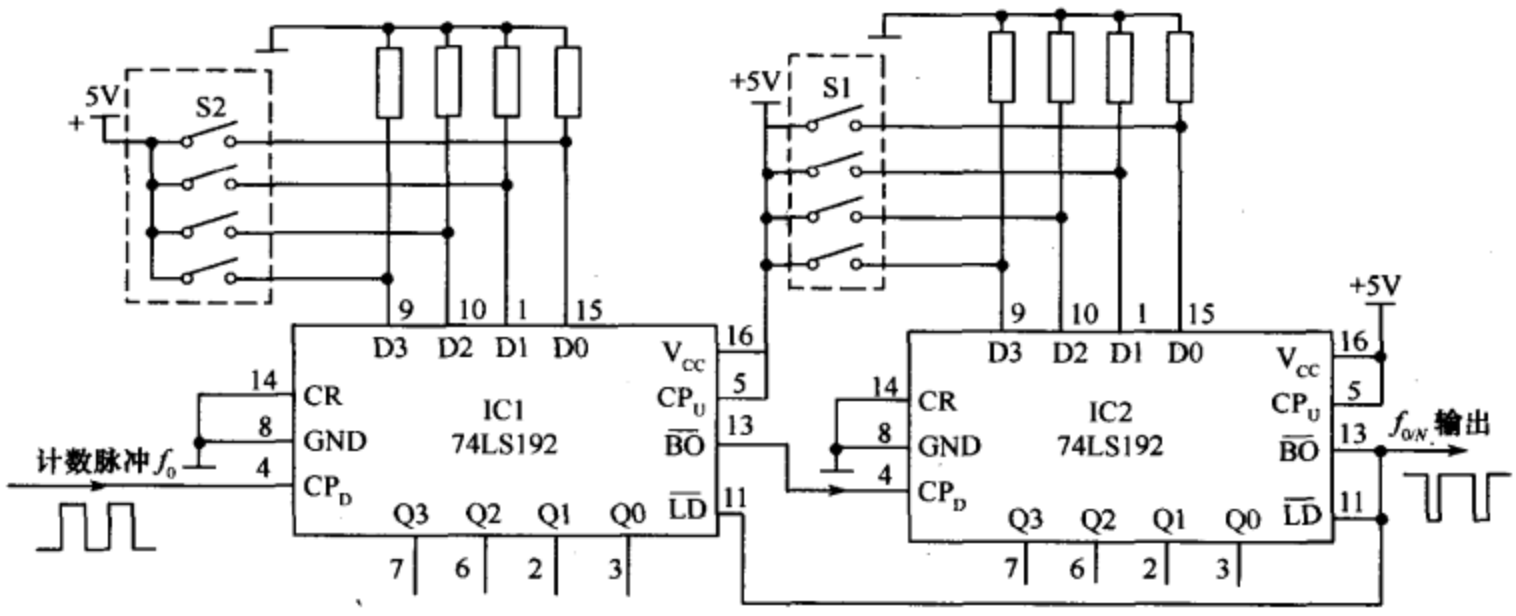


图 11-1　1～99 分频电路

74LS192 是十进制加减法同步计数器，其引出端排列图如图 11-2 所示。

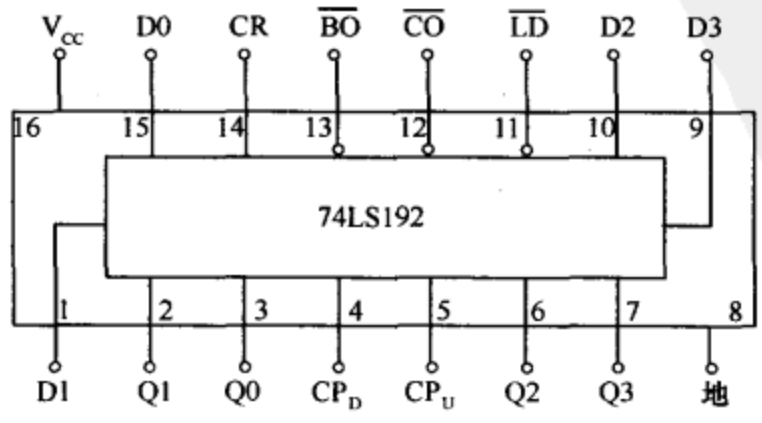


图 11-2　74LS192 的引出端排列图

图 11-2 中，CR 是异步清零端，高电平有效；$\overline{LD}$是异步置数控制端；CP_U是加法计数脉冲输入端；CP_D是减法计数脉冲输入端；$\overline{CO}$是进位脉冲输出端；$\overline{BO}$是借位脉冲输出端；D0～D3 是并行数据输入端；Q0～Q3 是计数器状态输出端。

74LS192 的状态表见表 11－1。

表 11-1　同步计数器 74LS192 状态表

输　入								输出
CR	$\overline{LD}$	CP_U	CP_D	D0	D1	D2	D3	Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}
1	×	×	×	×	×	×	×	0000(清零)
0	0	×	×	D0	D1	D2	D3	D0D1D2D3(置数)
0	1	↑	1	×	×	×	×	加法计数
0	1	1	↑	×	×	×	×	减法计数
0	1	1	1	×	×	×	×	保持

重点提示：从以上介绍可以看出，74LS192 与第五章介绍的 74193 的管脚排列及功能完全一致；不过，74193 是 4 位二进制加减法同步计数器，而 74LS192 则是十进制加减法同步计数器。

电路中，D0～D3 为预置数据输入端，可用拨盘开关 S1 和 S2 设置所需要的 BCD 码，当开关合上时对应的数据线为 1，否则为 0；Q0～Q3 是计数器的输出端，能输出计数器的实时 BCD 值，可用于译码和显示；CP_D是减法计数脉冲输入端，每一个正跳沿能使计数器的值减 1；CR 是清零端，出现在该端的高电平会使计数器复零；$\overline{LD}$是预置数的置入控制端，当该端为低电平时能把 D0～D3 线上的数据置入到计数器中，作为计数的初值；$\overline{BO}$为借位信号输出端，当计数器的值为零时，CP_D 端为低电平，则该端输出低电平。设两片计数器 IC1 和 IC2 的初值都是 9，当 IC1 的 CP_D端进入第 9 个计数脉冲后，IC1 的值减为 0，其$\overline{BO}$端输出为低电平。当第 10 个计数脉站的上跳沿到来时，$\overline{BO}$端上跳为高电平，使 IC2 的 CP_D端接收一个上跳变信号，因此计数值减 1(从 9 变为 8)，同时 IC1 的值也减 1(从 0 变为 9)，这时计数器的值为 89。同理可知，再进入 10 个计数脉冲后，计数值变为 79……当进入 90 个脉冲后，计数值为 09。当 IC1 的 CP_D端的第 99 个脉冲上跳沿过后回到低电平时，IC1 和 IC2 的值均为 0。此时 IC1 的$\overline{BO}$(即 IC2 的 CP_D)变为低电平，这使 IC2 的$\overline{BO}$端输出低电平。该低电平作为 IC1 和 IC2 的$\overline{LD}$(置入)信号，使 D0～D3 数据立即被置入计数器，因此计数器的值又回到了 99。持续不断的计数脉冲的输入，能使计数值在 1～99 之间循环，从 f_0/N 端输出频率为 $f_0/99$(f_0 为 CP_D端的计数脉冲频率)的脉冲列。

该电路可作为一种倒计数(计时)控制器，当预置数减到零时，从 f_0/N 端输出低电平信号，作为某种所需要的控制信号。

二、脉冲发生器

1. 60Hz 脉冲发生器

60Hz 脉冲信号是时钟电路常用到的信号。下面介绍一种 60Hz 脉冲信号发生电路，分析其存在的误差，并给出减小误差的改进电路。

1)电路组成

图 11-3 所示为 60Hz 脉冲信号发生电路，由石英晶体多谐振荡器和分频器两部分电路组成，其中 IC1 为非门电路 CD4069，IC2 为 12 位二进制计数/分频集成电路 CD4040，JT 为 32768Hz 石英晶体。

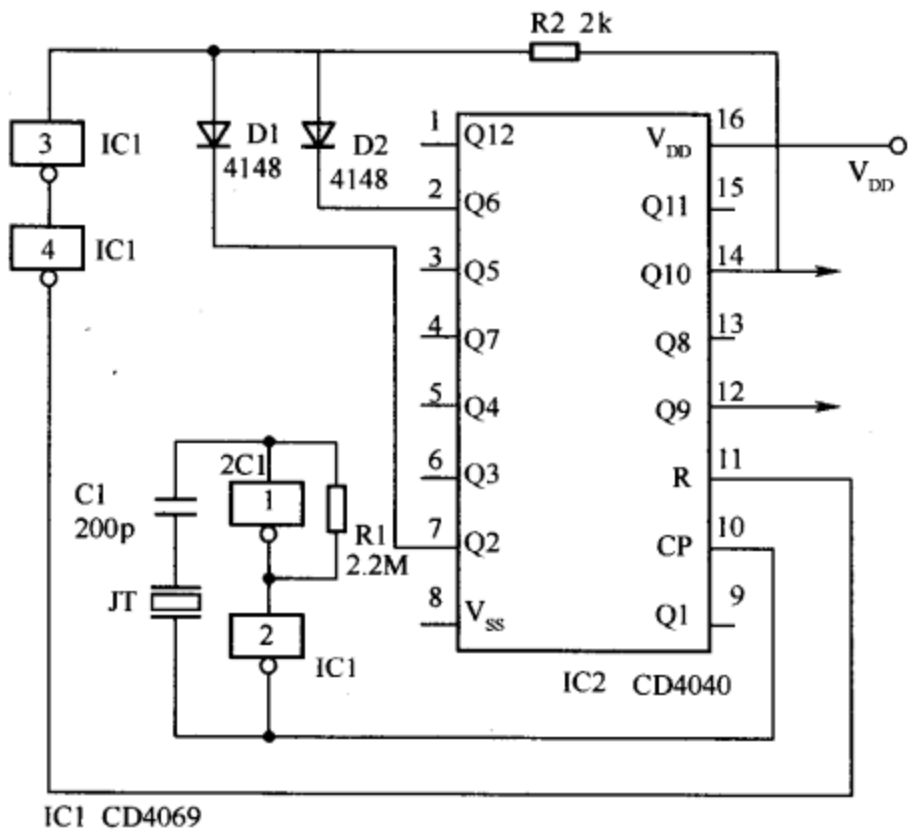


图 11-3　60Hz 脉冲信号发生电路

CD4040 的CP为时钟输入端，下降沿触发；R 为清零端，高电平清零。它内部由 12 个 T 型触发器组成 12 个计数器/分频器，输出端为 Q1～Q12，最大分频系数为 $2^{12}=4096$。CD4040 和 CD4060 的区别除了分频级数不同外，CD4040 内不含振荡器电路。

石英晶体 JT、IC1 的非门 1 和非门 2 组成石英晶体多谐振荡器，晶体 JT 和电容 C1 在电路中形成正反馈。晶体在它的固有串联谐振频率点 f_0 的等效阻抗最小，所以电路的振荡频率就取决于晶体的固有串联谐振频率，与外接电阻 R1、电容 C1 的参数无关。由于石英晶体的频率稳定度可达 10^{-10}～10^{-11}，所以可获得频率非常稳定的振荡信号。IC2、IC1 的非门 3、非门 4 和 D1、D2 组成分频电路，它对石英晶体振荡器所产生的 32768Hz 的脉冲信号进行分频，在输出端 Q10 或 Q9 可获取 60Hz 的脉冲信号。

2)分频比及频率误差

CD4040 是一片 12 位二进制计数分频电路，它在时钟的下降沿进行计数，其复位端输入高电平时，可取得与时钟输入无关的直接复位。由于石英晶体的固有谐振频率 $f_0=32768$Hz，从 Q9 端输出的信号是 f_0 的 $2^9=512$ 分频，即输出的数值是 32768/512=64Hz，所以，不采取一定的措施是不能获得 60Hz 的信号的。所采取的措施是，把 CD4040 的 Q10 输出端通过 R2、IC1 的非门 3 和非门 4 连接到它的复位端，同时通过 D1、D2 分别连接到它的 Q2 和 Q6 输出端，即 D1、D2、非门 3 和非门 4 组成复位控制电路，让 Q10、Q6、Q2 的输出共同控制 CD4040 的复位。

Q10 端输出的信号是振荡频率的 $2^{10}=1024$ 分频，也就是说，Q10 输出的信号周期为振荡脉冲信号的 1024 个周期，低电平和高电平时间各为振荡脉冲的 512 个周期。同理，

Q6 端($2^6=64$ 分频)输出信号周期的高、低电平各为振荡脉冲的 32 个周期,Q2($2^2=4$ 分频)端输出信号周期的高、低电平时间各为振荡脉冲的 2 个周期。它们在 Q10 上升沿处的波形如图 11-4 所示。

由于 CD4040 是下降沿触发,所以在 Q10 的上升沿处对应着 Q6 的下降沿。由图 11-3 可见,CD4040 在 Q10、Q6 和 Q2 均为高电平(即 Q10×Q6×Q1=1)时复位。由图 11-4 可以看出,电路复位出现在 Q10 高电平、Q6 也为高电平之后,Q2 输出第一个高电平的时刻。电路复位时,Q10、Q6、Q2 均回到低电平,Q10 及 Q9 输出脉冲结束 1 个周期,开始新的周期。

从上面分析可以得出 Q9、Q10 输出脉冲信号的周期为 $2^{10-1}+2^{6-1}+2^{2-1}=512+32+2=546$ 振荡脉冲周期时间,它们的频率就是振荡脉冲信号的 546 次分频,因此其频率为 32768/546=60.014652Hz,其误差为 60.014652-60/60≈2.442×10^{-4}。

3)减小误差的电路

为了减小输出脉冲信号的频率误差,可以适当修正振荡脉冲信号的频率,具体做法是,在电路上把图 11-3 中的石英器件多谐振荡电路改为图 11-5 所示的可微调频率的石英晶体多谐振荡电路。石英晶体 JT 仍作为反馈元件,非门电路工作在线性放大状态,R1 为其提供偏置。当振荡频率接近晶体的固有串联谐振频率时,电路满足振荡条件。该电路仍具有十分稳定的振荡频率。图 11-5 中 C1、C2 和石英晶体 JT 组成 π 形反馈网络,调整 C1 或 C2 的值,可以微调电路的振荡频率。

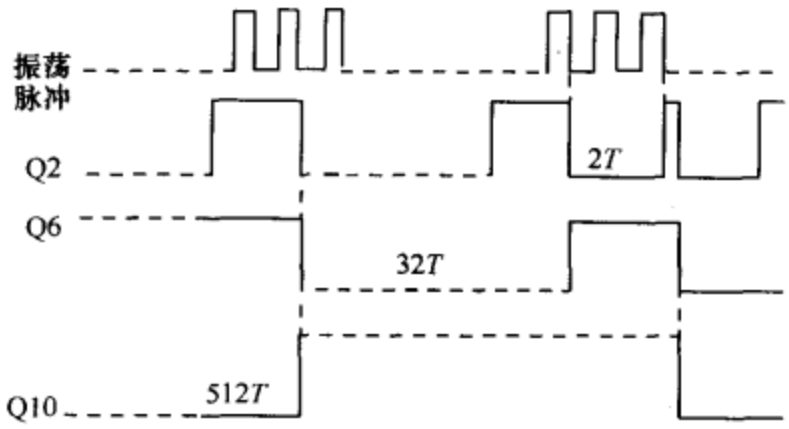


图 11-4　Q2、Q6、Q10 波形

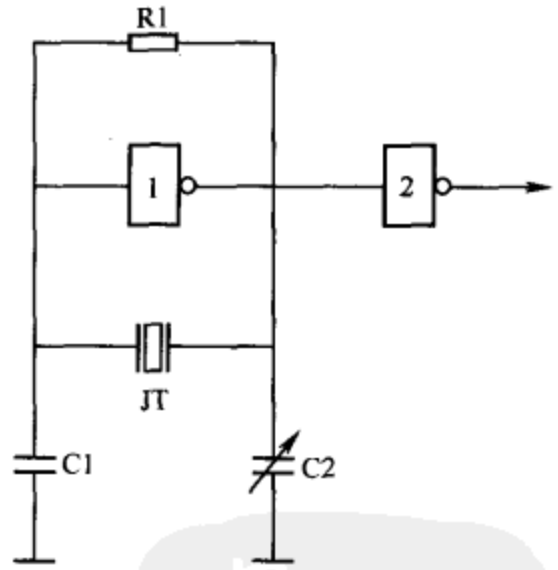


图 11-5　可微调频率的
石英晶体多谐振荡电路

该电路的输出端接到图 11-3 中 CD4040 的$\overline{CP}$端,输出的脉冲信号作为 CD4040 的计数脉冲。要使图 11-3 中 CD4040 的 Q9 和 Q10 输出 60Hz 的脉冲信号,计数脉冲的频率应为 60×546=32760Hz。这一振荡频率在图 11-5 所示的电路中可通过调整 C1 或 C2 的数值来实现。

2. 1Hz 时钟信号源

1Hz 时钟信号源实际上就是秒信号源,它是许多仪器、仪表和自动控制电路中十分重要的和不可缺少的时钟信号。本电路主要由 14 位二进制串行计数器 CD4060 和 JK 触发器 CD4027 组成,如图 11-6 所示。

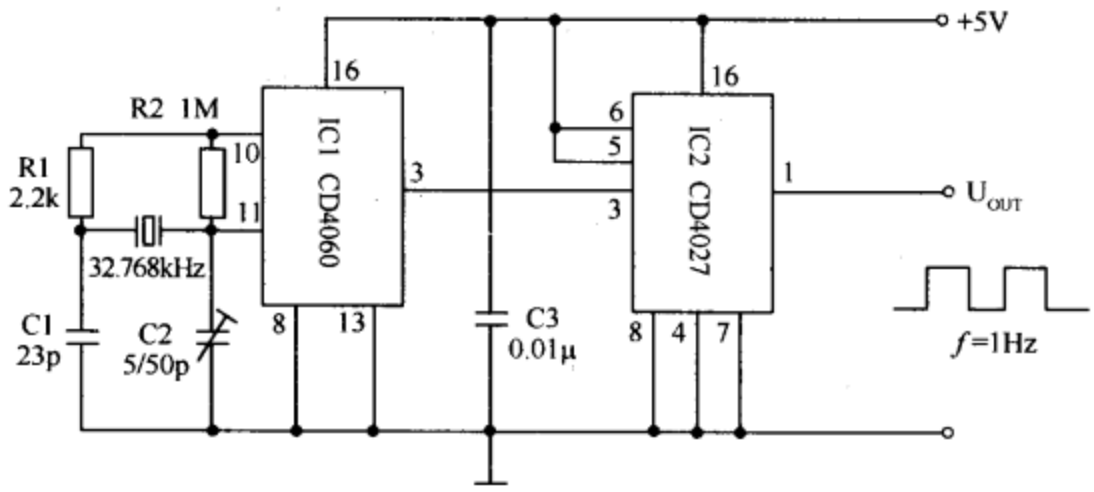


图 11-6　1Hz 时钟信号发生器

14 位二进制串行计数器 CD4060 的管脚排列见第五章有关内容，CD4027(与 CC4027 同)管脚排列见第四章有关内容。

CD4060 内含有 14 位计数器，同时还包含了一个由非门电路组成的振荡器。在 CD4060 的 10 脚、11 脚之间接上一个 32.768kHz 的晶体，就可构成一个振荡器，其输出脉冲经过施密特整形电路整形后送入内部进行计数/分频，经 $2^{14}=16384$ 分频，在 Q 14端可以得到 2Hz($32768Hz/2^{14}=2Hz$)的标准信号。再经一级 CD4027 组成的 2 分频电路分频，即可得到 1Hz 的信号。

电路中 C2 为微调电容。用来调整晶体振荡器的振荡频率，电路组装好以后用标准频率计进行校准，微调 C2 使本电路与标准频率计的振荡频率一致。由于石英晶体有很高的稳性和谐振频率精度，所以由它组成的石英振荡器所产生的秒时钟信号具有很高的精确度和稳定性。

三、定时电路

1. 通用定时电路

通用定时电路如图 11-7 所示。电路中的 IC1 为数字式集成电路 CD4060，它是一个 14 位二进制串行计数/分频器。IC1 内部电路与 C4、R4、R5 及 RP1 组成 RC 振荡电路，振荡器的振荡频率为

$$f=\frac{1}{2.2C4(R4+RP1)}$$

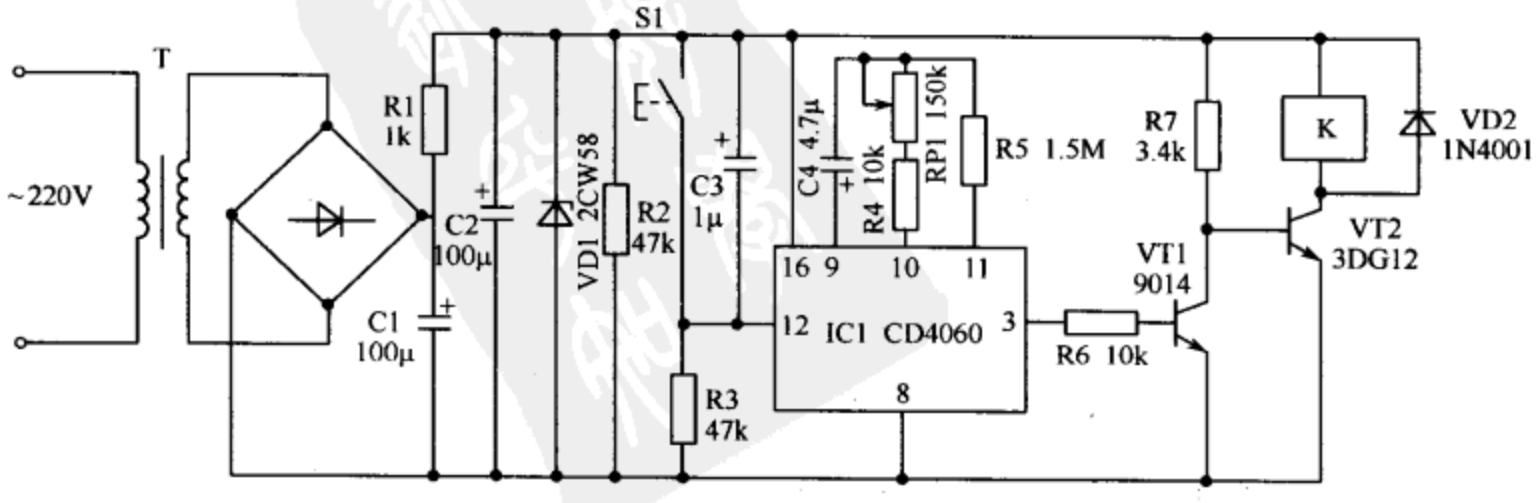


图 11-7　通用定时电路

当该振荡信号在 IC1 内部经 14 级二分频后，在 IC1 的 3 脚输出经 $2^{14}=16384$ 次分频信号，也就是说，若振荡周期为 T，利用 IC1 的 3 脚输出作延时，则 3 脚输出的高、低电平各占$(16384/2T)=8192T$，即延时时间可达 $8192T$，调节 RP1 可使 T 变化，也就起到了调节定时时间的目的。

开机时，IC1 清零，随后 IC1 开始计时，经过 $8192T$ 时间后，IC1 的 3 脚输出高电平脉冲信号，使 VT1 导通、VT2 截止，此时继电器 K 因失电而释放，其触点即起到了延时控制的作用。

电路中的 S1 为复位开关，若要中途停止定时，只要按下 S1，则 IC1 就会复位，计数器便又重新开始计时。电阻 R2 为电容 C2 提供了放电回路。

2. 简单的数显定时器

数显定时器能将定时时间的运行过程用数码管直接显示出来，使人能够直观地了解到定时过程中当时的时间，这对某些场合的应用有时是十分必要的。下面来介绍一种电路结构简单的数显定时器。

数显定时器实际上是一个脉冲计数器，它的显示器所显示的每一个数，就是对时基电路所产生的振荡脉冲周期的计数，如果这个脉冲周期是以一个标准的时间单位 s 或 min 为单位，那么，显示器所显示的数就是以 s 或 min 为单位的时间数。

电路组成如图 11-8 所示，它由时基脉冲发生器、脉冲计数器、译码驱动器和数码显示器组成。

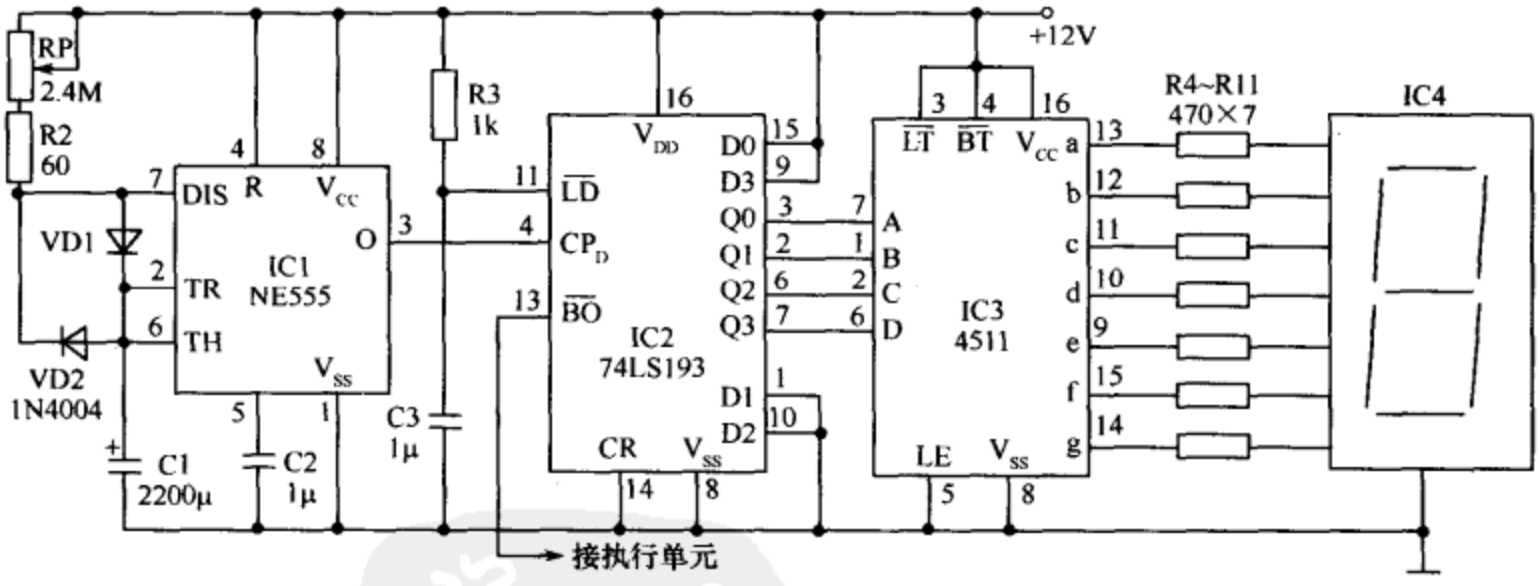


图 11-8　简单的数显定时器

1)时基脉冲发生器

时基脉冲发生器由 555 电路组成的多谐振荡器，其振荡周期为 $T=0.7(R_A+2R_B)\times C1$，在电路中，$R_B=0$，$R_A=RP+R2$，$C1=2200\mu F$。由于 R2 为固定电阻，这样振荡周期只能由电位器 RP 来调节，在这里 RP 的调节范围为 0MΩ～2.4MΩ。因此，时基脉冲发生器的时基可调范围在 1s～60s 之间。

2)脉冲计数器

脉冲计数器由一只可预置数 4 位二进制(十六进制)同步可逆计数器 74LS193(其管脚排列见第五章)组成，它能对输入的时基脉冲进行加、减计数，并在输出端 Q0～Q3 输出 4 位二进制数。在本电路中，74LS193 接成减计数器。接通电源后，由 R3、C3 形成的微分

脉冲通过预置控制端$\overline{LD}$将计数器预置为9(D0、D3接高电平,D1、D2接低电平,等于二进制数1001)。同时时钟脉冲发生器开始工作,输出时钟脉冲,由于IC1的3脚输出的时钟输入到IC2的减计数端CP_D。因此,随着时钟脉冲的输入,计数器作减计数。计数显示器由9递减,每输入1个时钟脉冲,计数器减1,直到显示器为0,定时结束。其最大定时时间为9s(或9min)。当电位器RP旋至最小阻值0Ω位时,最大定时时间为9s;当RP旋至最大阻值位2.2MΩ时,最大定时时间为9min。定时结束后,IC2的13脚进位输出端$\overline{BO}$输出负脉冲,可根据需要加装执行驱动电路,进行定时控制。

3)译码驱动和显示

译码和显示驱动器由CD4511(管脚功能见第四章)组成,它将IC2输出的BCD码译码后通过数码显示器显示。

本电路是一种简单的数显定时电路,它的数码显示只有1位数整数,定时预置固定而且时间短、分辨率低,只适用于要求不高的场合。如将电路在原有的基础上改进,将计数器的预置数功能加以利用,或将数码显示增加为2位或3位,它的应用范围将会大大增加。

3. 逆计时数显定时器

下面介绍一种采用数字显示,定时预置,减法计数的定时器。定时器采用预置按钮,通过计数器对定时时间预置,然后使计数器对预置时间进行减法计数,当计数器显示为0到达预定时间后,给出停止信号。电路组成原理如图11-9所示,定时器的定时范围为1～999,单位为分。它由时基脉形成电路、计时译码和显示电路、定时输出和执行电路等组成。

1)时基脉冲形成电路

时基脉冲形成电路的信号源取自交流电源、由电源变压器次级取出的交流电,经VD1半波整流后变为50Hz的脉动电流,通过由F1、F2、R1～R2组成的施密特触发器整形,成为50Hz的矩形脉冲后输入分频器IC2。

IC2为12位二进制计数/分频器CD4040。由于本电路的时基脉冲周期为1min,要把50Hz的脉冲信号通过分频器分频后取得周期为1min的脉冲信号,其分频系数M=50×60=3000。在电路中,分频系数的取得是由Q4、Q5、Q6、Q8、Q9、Q10、Q12共7个输出端和由VD3～VD8与R4组成的与门电路来实现的,在与门的输出端A点得到周期分为1min的时基脉冲。它的分频系数为$2^{4-1}+2^{5-1}+2^{6-1}+2^{8-1}+2^{9-1}+2^{10-1}+2^{12-1}=3000$。

由A点输出的时基脉冲,其周期为$\frac{1}{50Hz}\times 3000=60s$(即1min),一路经R5输入IC2的R端,当R=1时,使分频器清零;另一路经R6输入加减可逆计数器IC3(CD40110)的减计数输入端CP_D作减法计数。

2)计数译码和显示电路

计数译码和显示电路由十进制加减可逆计数、译码、锁存、驱动四合一电路CD40110和共阴极LED数码管组成。CD40110既可作加计数又可作减计数,当它的触发控制端$\overline{TE}=0$时,由CP_U端输入计数脉冲,计数器作加计数;由CP_D输入计数脉冲时,计数器作减计数。CO为进位脉冲输出端,可接高位计数器的CP_U端作加法计数时用,每当计数到10时,向高位的CP_U端输出一个进位脉冲。BO为借位脉冲输出端,需接高位计数器的CP_D

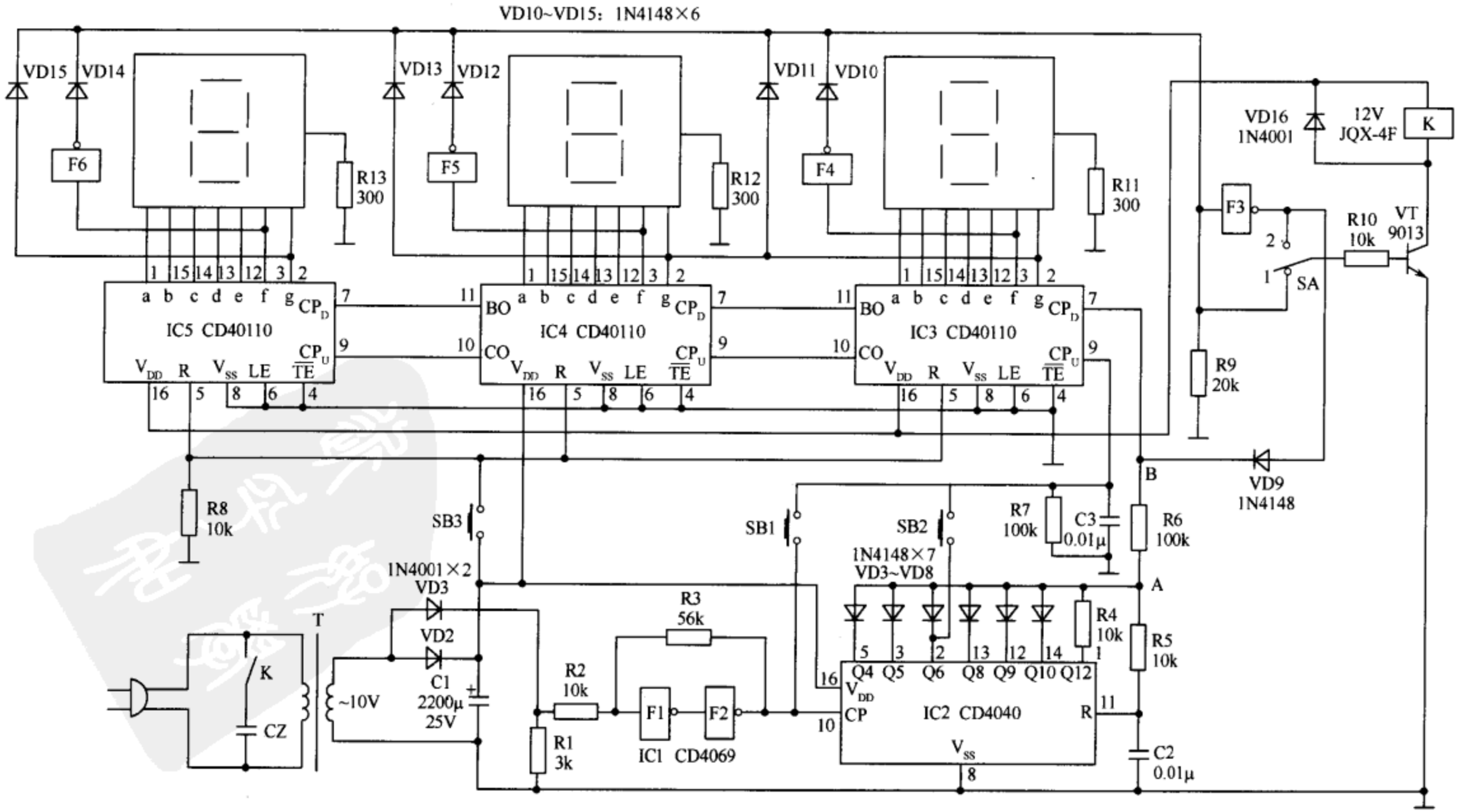


图 11-9　逆计时数显计数器

端，作减法计数时用，每当计数到 0 时，向高位计数器的 CP_D 端输出一个借位脉冲。本电路在定时预置时需作加法计数，在定时过程中需作减法计数。因此，它的 CO 端与高位计数器的 CP_U 端相连，BO 端与高位，计数器的 CP_D 端相连。当 CD40110 的 $\overline{TE}=1$ 时，计数器处于禁止状态，LE 为锁存控制端。

3)定时输出和执行电路

定时输出和执行电路由反相器 F3～F6 和 VD9～VD15 组成定时输出控制门。它的作用是，当定时器定时结束，数码显示器显示 000 时，封住计时脉冲，使计数器停止计数并维持现状。同时通过执行继电器使被控电路接通或断开电源。

为了达到上述目的，必须对 IC3～IC5 的输出进行译码，即当数显为 000 时，使 B 点为高电平，从而使 VD9 及 R6 组成的或门把减法计数端封住，减法计数被禁止。在 CD40110 显示 0～9 这 10 个数字时，0 和其余 9 个数字的唯一区别是当 f 为高电平时，g 为低电平。利用这一笔画输出特征，将笔段 f 输出的高电平经 F4～F6 反相后输出，将笔段 g 直接输出，由 VD10～VD15 组成一个与控制门，当显示器出现 000 时，与门输出低电平，经 F3 反相后变为高电平，通过 VD9 加到 IC3 的 CP_D 端，使计数器停止计数。

当与门输出低电平时，通过选择开关 SA 使其与 1 挡接通，使驱动晶体管 VT 截止、继电器 K 释放。当 SA 置于 2 挡时，VT 导通、继电器 K 吸合。

4)定时器的使用

接通电源后按动 SB3，电源经 R8、C1 形成的清零脉冲使 IC3～IC5 清零。

按照定时通或定时断的定时要求，将选择开关 SA 拨向 2 挡或 1 挡。要据定时时间的长短按动预置按钮，其中 SB1 为快调预置钮，其时钟脉冲取自 50Hz 信号源；SB2 为慢调按钮，其时钟脉冲取自 IC2 的 Q6 输出端，频率为 50Hz/32Hz，预置时间显示于显示器上，时间单位为 min。

预置结束后，定时器定时开始，显示器所显时间在时钟脉冲和计数器的作用下逐渐递减直至 0。控制与门输出低电平，根据所接的挡位接通或断开继电器，定时结束。

4. 自动循环定时器

CD4060 是一款自带振荡器和 14 位二进制计数/分频器的 CMOS 集成电路。其输出端 Q4～Q14 构成 16～16384 分频系数，利用该输出特性，可以很容易地设计各种用途的电子定时器。

图 11-10 所示为自动循环定时器电路，该电路原理简单、可靠性高，对振荡回路的电阻、电容稍做调整，或者改变 Q4～Q14 输出控制接线，即可获得所需的循环等待时间和工作动作时间。

电路原理如下。电阻 R1、R2 及 C1 组成振荡回路，周期为 $T=2.2R\times 2C1$；R7、D1、J1 及 Q1 组成驱动电路，控制继电器触点的通、断；C3、C5、R3、Z1、BR1 等构成电容降压电路，提供 12V 的直流电源。在电源接通以后，CD4060 的二进制计数器开始计数，前一级的下降沿触发后级，进行分频计数。D2、D3、D5 和 R9 组成与门电路以获得循环复位的高电平，使计数器复位。重新进入下一个定时周期。定时器的等待时间为 $T1=T\times\frac{2^{14}}{2}$，动作接通的时间为 $T2=T\times\frac{2^{10}}{2}$。一个循环周期的时间为$(T1+T2)$。

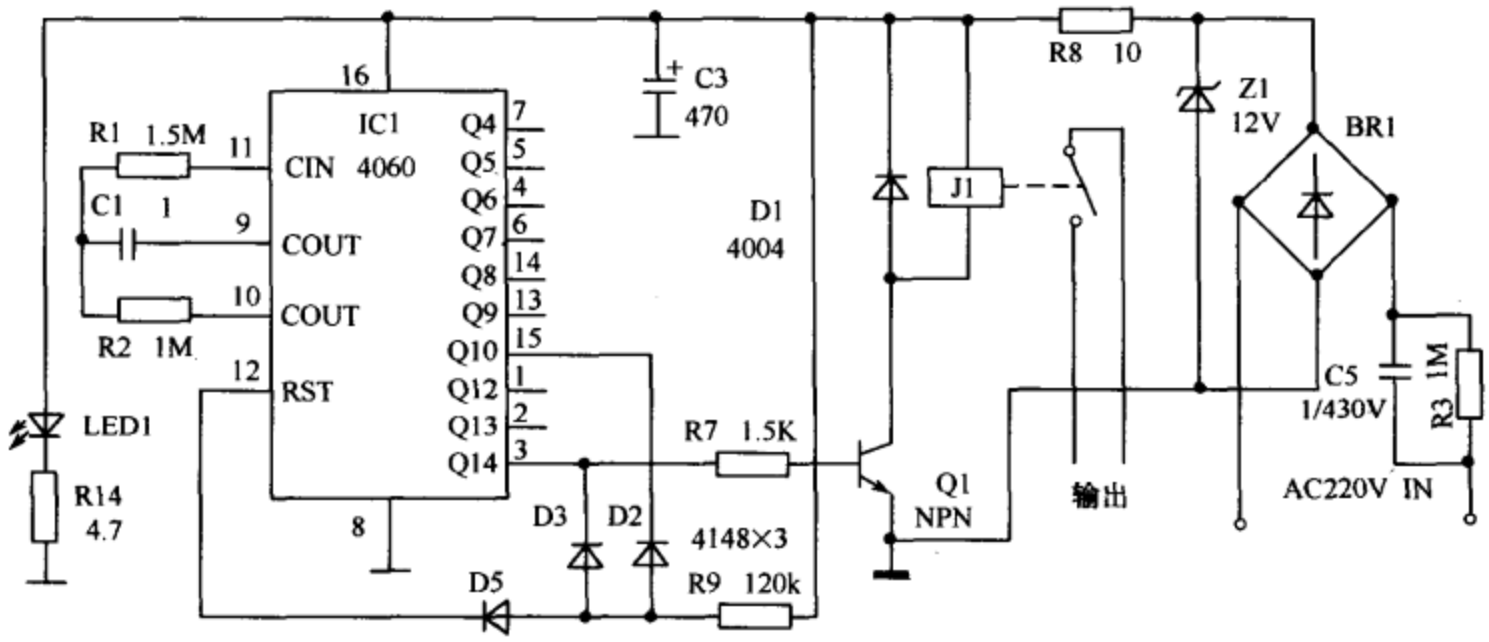


图 11-10　自动循环定时器

适当地选择 C1、R2 的参数可得到相应的振荡频率。定时器的等待时间和动作接通时间可相应改变。同时，可根据不同的需要，改变输出端(Q14)和其控制(Q10)，也可改变等待时间和动作接通时间，以及其占空比。

按照图 11-10 所示参数，可制作出自动循环定时器，来控制室内的排风扇，其等待时间为 3h，动作接通时间为 20min。

第二节　家用电器控制电路

一、灯光控制电路

1. 触摸式音乐台灯

触摸式音乐台灯除具有一般台灯的功能外，还具有关灯后熄灭延时的功能，在延时熄灭的同时，还会发出优美的音乐声，直到灯熄灭为止。

触摸式音乐台灯的电路如图 11-11 所示。220V 市电经降压、整流滤波及稳压后变为 9V 直流电压，供控制电路工作。IC1 为 555 时基电路，它与周围的元件组成单稳态电路。IC2 为十进制计数/分配器 CD4017，其管脚排列如图 11-12 所示，CD4017 为十进制计数器和译码电路，它有 10 个输出端 Q0～Q9，有 3 个输入端，即时钟输入端 CP、复位输入端 R 和时钟允许端$\overline{EN}$。当$\overline{EN}$为低电平时，CD4017 在时钟脉上升沿作用下建立新的工作状态，计数状态由 CD4017 的 10 个译码输出端 Q0～Q9 显示。每个输出状态都与输入计数器的时钟脉冲的个数相对应。例如，若输入了 6 个脉冲，则输出端 Q5 应为高电平，其余输出端为低电平(条件：从零开始计数)；当$\overline{EN}$端为高电平时，输入时钟被禁止，电路中的$\overline{EN}$端接地。R 端加高电平时；CD4017 清零，此时 Q0 为高电平，其余输出端 Q1～Q9 为低电平；CD4017 有一个进位输出端 CO，当译码器输出为 0～4 时，CO 输出高电平；而输出为 5～9 时，CO 输出低电平。因此，CO 能够输出十分频的方波。

重点提示：CD4017 与 CD4022 是一对姊妹产品，主要区别是：CD4022 是八进制的，所以译码输出仅有 Q0～Q7，每输入 8 个脉冲周期，就可得到一个进位输出。它们的管脚相同，不过 CD4022 的 6 脚、9 脚是空脚。

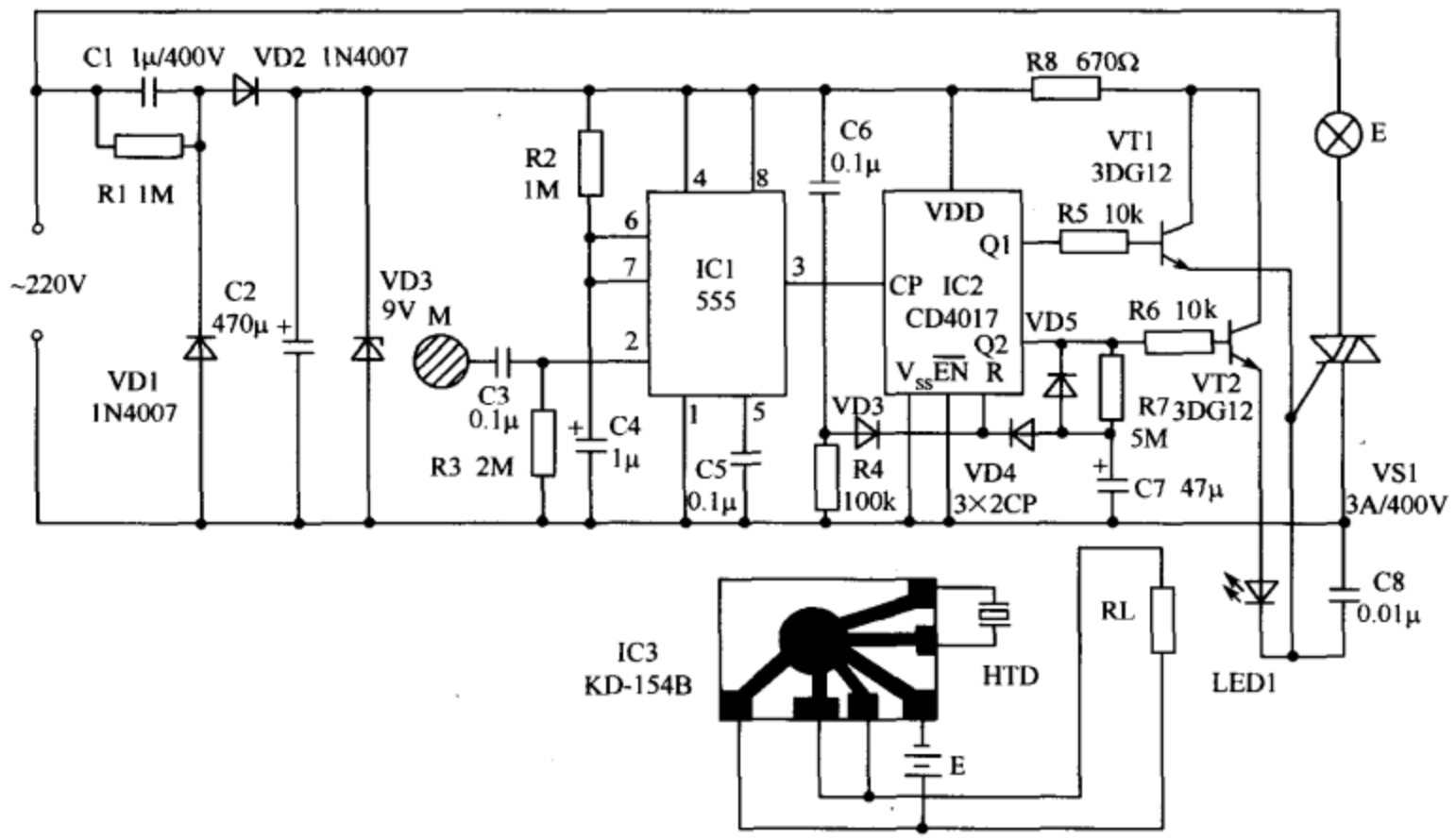


图 11-11　触摸式音乐台灯电路

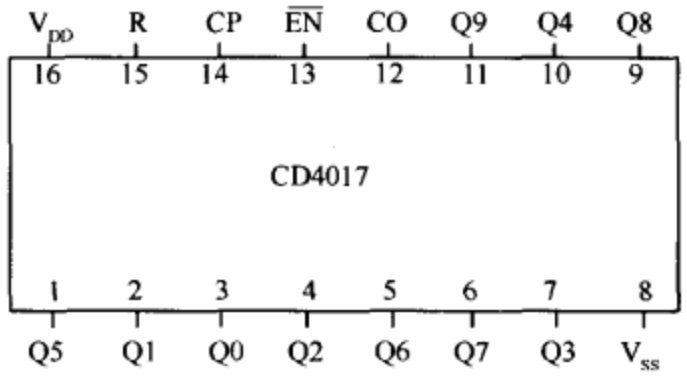


图 11-12　CD4017 管脚排列图

IC3 为光控音乐集成电路 KD-154B，它为一个独立电路，设置在 LED1 灯可照射到的部倍。当有光照时，光敏电阻 RL 阻值很低，音乐集成电路 IC3 工作，压电蜂鸣器 HTD 发出音乐声响；当灯关闭，无光照时，R L 阻值很大，IC3 不工作，无音乐声发出。

当电源接通时，9V 直流电压经 C6、R4 在 IC2(CD4017)的 R 端产生一正脉冲，使 IC2 复位。此时，IC2 的 Q0 端为高电平，Q1 及 Q2 输出低电平，半导体管 VT1、VT2 均处于截止状态，晶闸管 VS1 也被阻断，灯 E 熄灭。若需开灯时，只要用手触摸一下金属片 M，人体的感应杂波负脉冲经 C3 输入到 IC1 的(555)2 脚，触发单稳进入暂态，IC1 的 3 脚输出高电平，此时电源经 R2 向 C4 充电，当 C4 上的电压充电上升到 $2/3V_{CC}$时，单稳态电路的暂态结束，IC1 的 3 脚又回到低电平。暂态时间取决于 R2 及 C4，按电路中给定的数据，暂态时间为 1s，也就是说，每触摸一次金属板 M，在 IC3 的 3 脚就会有一个脉宽为 1s 的正脉冲输出。IC2 的 CP 端在接到这个脉冲时，IC2 的 Q1 端变为高电平，使 VT1 导通，并触发 VS1 导通，灯 E 被点亮。

若要关灯时，只要再触摸一下金属片 M，此时，IC1 又会发出一个正脉冲，使 IC2 的 Q1 端变为低电平，Q2 端变为高电平，使 VT2 导通，发光二极管 LED1 点亮，但此时，VS1

仍导通，灯 E 仍点亮。发光二极管 LED1 发出的光线照射到 RL 上时，IC2 即开始工作，并使 HTD 发出音乐声响，表示关灯延时开始。在 IC2 的 Q2 端输出高电平的同时，该电平经 R7 向 C7 充电，当 C7 上的电压上升为高电平时，经 VD4 加到 IC2 的 R 端，使 IC2 复位，IC2 的 Q2 端变为低电平，VT2 截止，VS1 被阻断，灯 E 熄灭。与此同时，LED1 也熄灭，IDC3 停止工作，HTD 发出的音乐声立即停止。

2. 摩托车闪光尾灯

摩托车闪光尾灯是一种新颖的尾灯装置，尾灯由红、绿灯交叉组成。发光时，红灯从中间向两边往复点亮，而绿灯则从两边向中间跳跃式循环点亮。正常行驶时，红、绿灯按编程顺序流动发光。当刹车时，所有绿灯熄灭，而所有红灯点亮。摩托车闪光尾灯电路如图 11-13 所示。

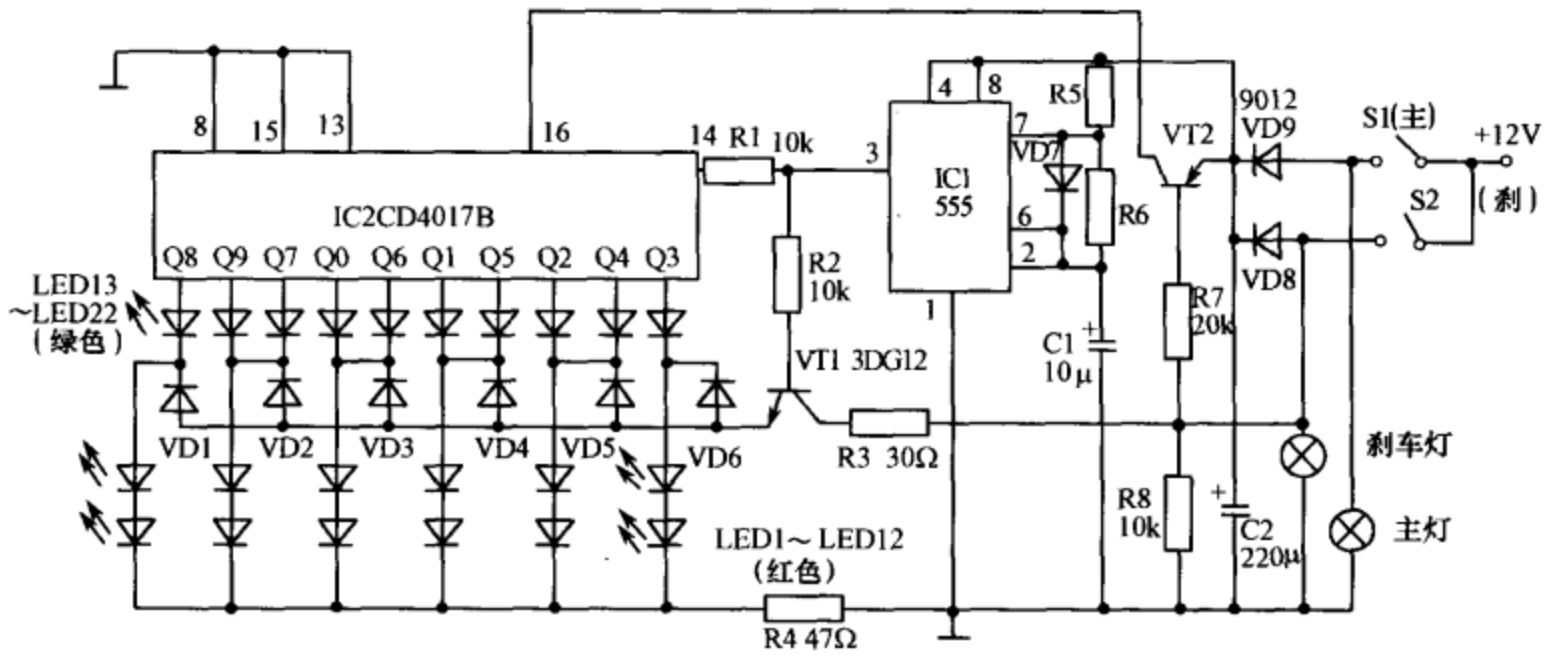


图 11-13　摩托车闪光尾灯电路

电路中，IC1 为 555 时基电路，它组成时钟发生电路，向 IC2 提供秒脉冲。IC2 为十进制计数/分配器 CD4017B，其 10 个输出端经编排后，使得发光二极管产生移动发光的效果。

夜晚行车时，主灯开关 S1 闭合，+12V 电源使 VD9 导通，VD8 由于反向偏置而截止，VT1 因无集成电压而截止，使 VD1～VD6 也处于截止状态。此时，VT2 正向导通，向 IC1 及 IC2 提供工作电压，在 IC1 时钟脉冲的作用下，IC2 的 Q0～Q9 输出端依次出现高电平，依次点燃相对应的发光二极管，按设计安排的顺序流动发光。若关断主灯开关 S1，则闪光电路立即停止工作。

当刹车时，刹车开关 S2 接通，此时 VD8 导通，VT2 因基极为高电平而截止，IC2 因失电而停止工作，绿色发光二极管 LED13～LED22 停止发光，只作为隔离二极管使用。IC1 产生的秒时钟脉冲控制 VT1 的导通与截止，通过 VD1～VD6，使红色发光二极管 LED1～LED12 同时闪烁发光，产生刹车警示信号。

白天行车时，由于主灯开关 S1 关闭，闪光电路不工作，但在刹车时仍产生红色闪烁发光信号。

3. 多级调光台灯

多级调光台灯电路如图 11-14 所示。

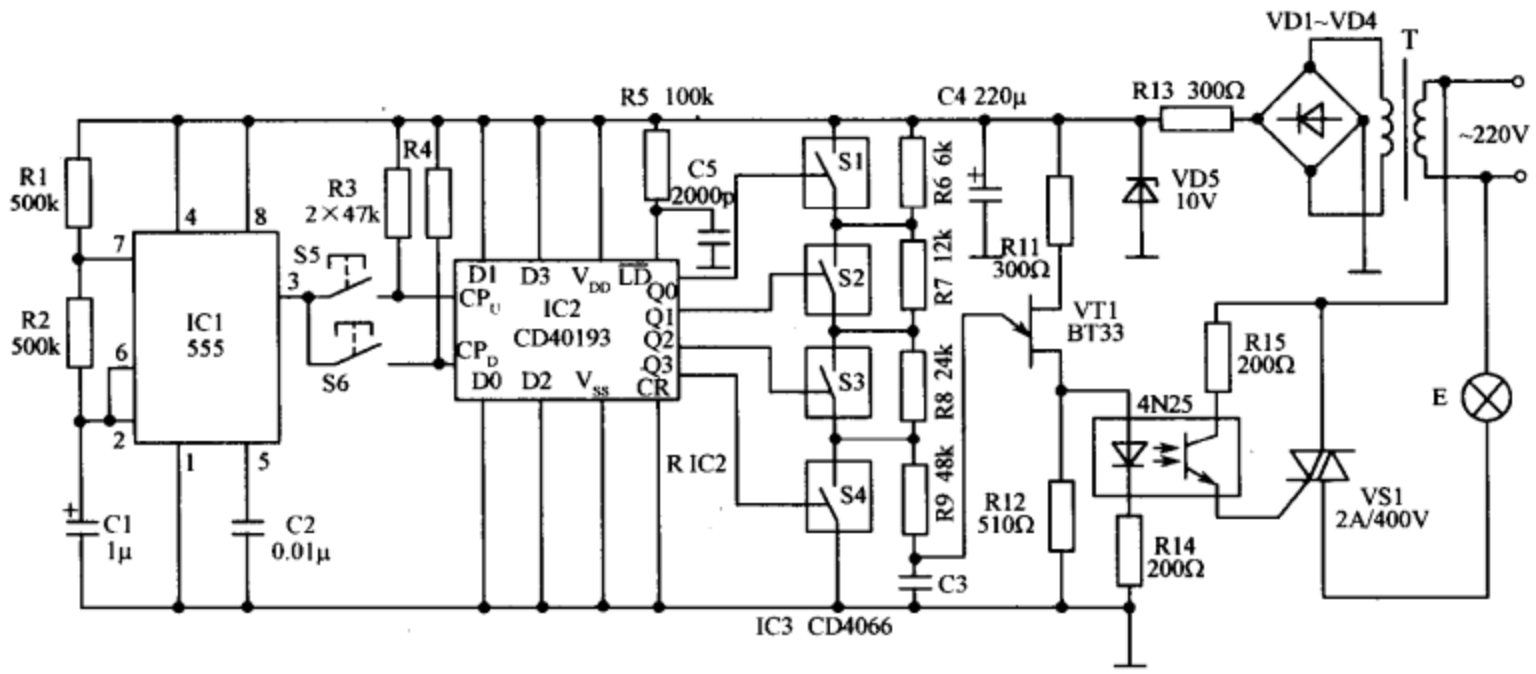


图 11-14　多级调光台灯

电路中，IC1 用来组成多谐振荡器，产生 1Hz 的时钟信号。IC2 是一块 4 位二进制可预置计数器 CD40193，其功能与第五章介绍的 74LS193 完全相同。

CD40193 输出端 Q3、Q2、Q1、Q0 输出 4 位二进制码，共有 0000～1111 这 16 种输出状态。CD40193 的 D0、D1、D2、D3 端为预置数据输入端，当给预置数控制端$\overline{LD}$输入负脉冲时，D0、D1、D2、D3 端的数据将传送到输出端 Q0、Q1、Q2、Q3。电路中，将 D0、D2 接低电平，D1、D3 接高电平，这样，每当开灯时，输出端 Q3、Q2、Q1、Q0 为 1010，电阻网络控制电路使晶闸管 VS1 的导通角为 60°，灯 E 只发出微弱的灯光。

电阻网络控制电路由 IC3、R6～R9 组成。IC3 是一块四双向模拟开关 CD4066，内部有 4 个电子模拟开关 S1～S4，其中的 4 个控制端分别与 IC2 的输出端相连，控制端为高电平时，模拟电子开关闭合，低电平时，电子模拟开关断开。因此，随着 IC2 输出从 0000 到 1111 的变化，由 IC3 控制的 R6～R9 电阻网络会有 16 种组合，会使电阻网络的阻值在 0Ω～90kΩ 之间变化，其级差为 6kΩ。

单结半导体管 VT1 组成晶闸管 VS1 的触发电路，当电阻网络有不同的阻值时，C3 的充电时间常数不同，使双向晶闸管 VS1 有不同的导通角，以此来控制灯 E 的发光亮度，实现了多级调光功能。

开关 S5、S6 为调光轻触按钮，按动 S5 时，灯 E 的亮度增大；按动 S6 时，灯 E 的亮度减弱。

4. 夜间自动点亮的照明灯

夜间自动点亮的照明灯电路如图 11-15 所示。市电经 VD2、VD4、R14 及 C4 整流，稳压、滤波得到供控制电路工作的直充电源。IC1 为一块带振荡器的 14 级二进制计数器 CD4060，IC1 的第 9 脚、10 脚、11 脚外接元件与内部电路构成振荡器，其振荡频率可用 RP1 调整为 1Hz 左右。

白天，光敏电阻 RL 呈低阻状态，使 VT5 导通，VT2、VT4 的基极电压因 VT5 的导通而下降，使 VT2、VT4 处于截止状态。IC1 由于 VT2 的截止而得到高电平复位，串接在 VT4 集电极电路中的光耦器件，因 LED2 不发光，使 VT6 截止，VS1 阻断，照明灯 E 不亮。

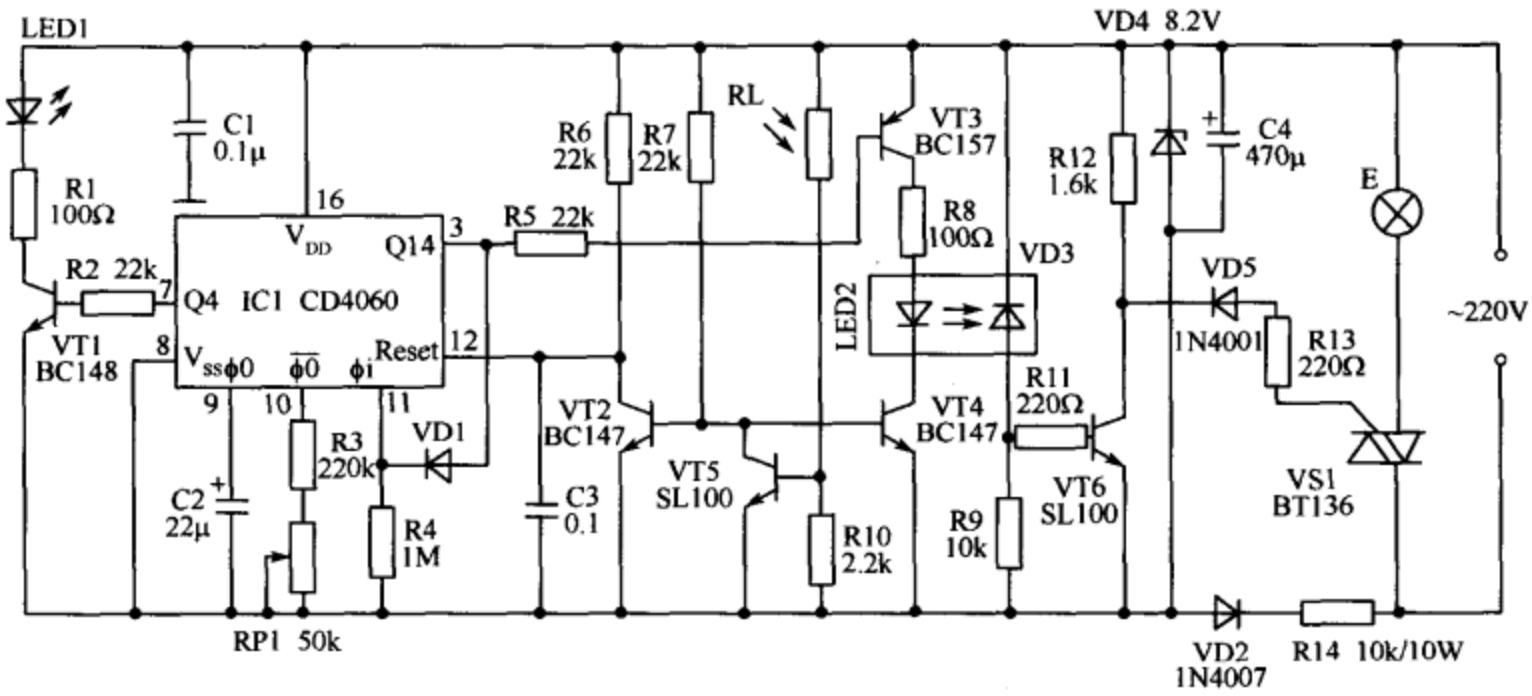


图 11-15　夜间自动点亮的照明灯电路

夜晚，光敏电阻 RL 呈高阻值，VT5 截止，VT2、VT4 导通。此时 IC1 的 Q14 输出端变为低电平，使 VT3 导通，光耦器件中的 LED2 发光，光耦器件中的光电二极管 VD3 受光照后阻值变小，从而使 VT6 导通，于是，双向晶闸管 VS1 触发导通，照明灯 E 被点亮。

当 IC1 计数到 $2^{14}=16384$ 个计数脉冲时，IC1 的 Q14 输出端由低电平变为高电平，使 VT3 截止，LED2 不发光，最终导致双向晶闸管 VS1 阻断，照明灯 E 熄灭，从灯 E 点亮到熄灭的时间约为 4.5h。与此同时，IC1 和 Q14 端输出的高电平经 VD1 使 IC1 停止振荡。

VT1 及 LED1 等组成频率指示电路，当 IC1 起振后，其中的二进制计数器在接收到 16 个计数脉冲时，IC1 的 Q4 端的状态就翻转一次，因而可通过 LED1 的闪烁来判断振荡的周期。

二、电风扇控制电路

1. 电风扇通断时间可调控制器

夏季电风扇一般不宜通宵长时间通电，因为这样不利于身体健康。采用定时器虽可解决这个问题，但定时关机后不久又会感到闷热。比较理想的方法是使电风扇能间隙通电工作，而且通电时间和断电时间又能分别可调，下面介绍的控制器就能帮助解决这一问题。有关电路如图 11-16 所示。

该电路由降压整流电路、555 多谐振荡器、固态继电器 SSR 等部分组成。

VD1～VD5、C1、C2 等组成简单的电容降压桥式整流稳压电路，通电后 C2 两端即输出约 12V 直流电供整个电路用电。555 时基电路组成多谐振荡器，输出方波信号，刚开机时，C3 两端电压为零，NE555 的 2 脚为低电平，时基电路置位，3 脚输出高电平。固态继电器 SSR 开通，插座 X 对电风扇送电，此时通电指示灯 LED2 点亮发光。这时时基电路内部放电管截止，7 脚被悬空。所以 12V 直流电经 R2、VD6 和 RP1 向电容 C3 充电，约经 $0.7RP1\times C3$（因为 RP1 的阻值远大于 $R2$ 及 VD6 的正向电阻，故可忽略 $R2$ 和 VD6 的正向电阻）时，NE555 的 6 脚电平上升到 $1/3V_{DD}$（V_{DD} 指 12V 直流电压），NE555 复位，3 脚

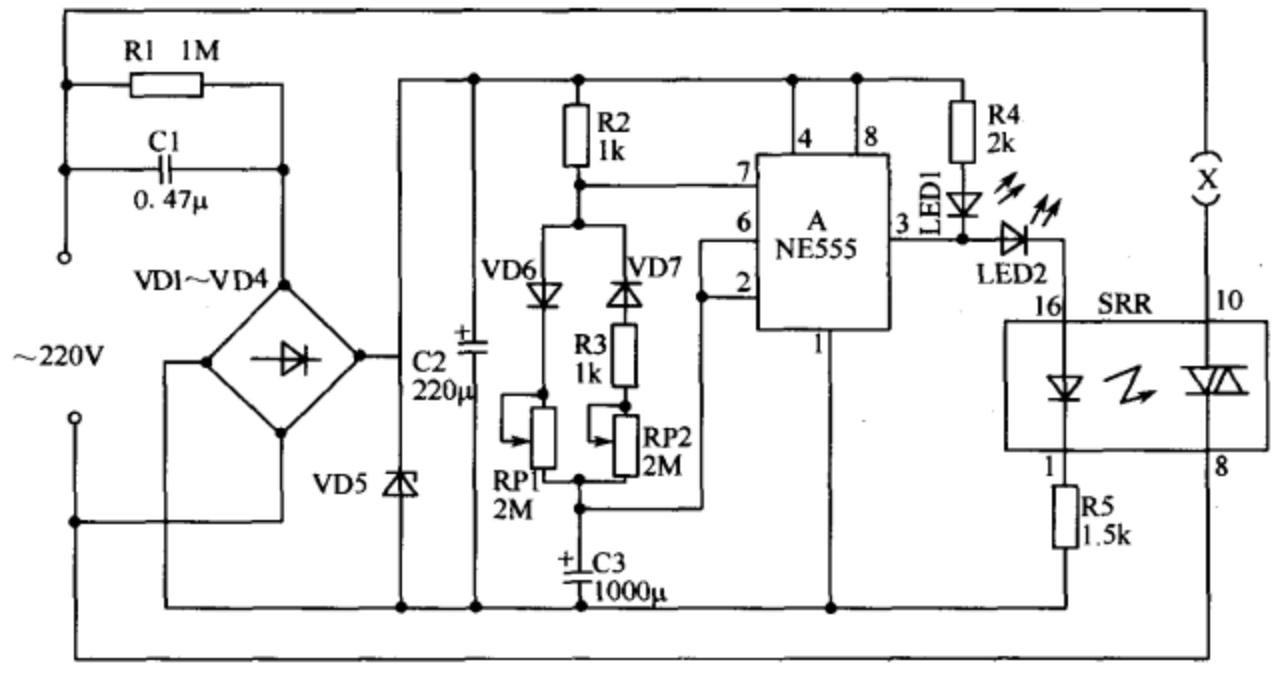


图 11-16　电风扇通断时间可调控制器

输出低电平，LED2 熄灭，SSR 关断，X 停止对风扇送电，这时断电指示灯 LED1 点亮发光。此时 NE555 内部放电管导通，时基电路的 7 脚、1 脚被内部放电管短接，所以 C3 储存的电荷就通过 RP2、R3 和 VD7 向时基电路的 7 脚放电，使 2 脚电平不断下降。约经 $0.7RP2\times C3$（RP2 的阻值远大于 $R3$ 与 VD7 的正向电阻，故忽略 $R3$ 和 VD7 的正向电阻）时，NE555 的 2 脚电平降至 $1/3V_{DD}$，时基电路又置位，3 脚输出高电平，固态继电器 SSR 又开通，电风扇又得电运转，此时 LED1 灭，LED2 点亮。时基电路置位后，电源又经 R2、VD6 和 RP1 向 C3 充电……如此周而复始，时基电路的 3 脚不断间隙输出高电平、低电平、高电平……电风扇时而运转、时而休息。调节电位器 RP1 和 RP2，可以分别调节电风扇的运转和休息时间，采用图 11-16 所示数据分别可在 1h 之内连续调节。

2. 无线遥控电风扇调速器

无线遥控电风扇调速器的电路如图 11-17 所示，电路由无线电发射器与接收器两大部分组成。

发射器由无线电发射模块 A1 及按键 SB1 组成。接收器主要由无线接收模块 A2、十进制计数器/脉冲分配器 A3 和晶闸管开关电路等构成。A3 具有 10 个时序输出端，由于目前国内电风扇的调速挡位大多为 3 挡，因此本电路将 A3 接成四进制计数形式，将输出端 Q4 经隔离二极管 VD2 接至复位端 R。每 4 个计数脉冲过后，计数器复位一次，即 Q0 输出高电平，因 Q0 端仅驱动一只发光二极管 LED1，而未接入可晶闸管开关电路，故该挡为电风扇关断档。

电路具体工作过程为：接通 220V 交流电源后，经 C5、R13 限流、VD3 半波整流、VD4 稳压，C4 两端可输出 5V 左右的稳定直流电压供整机用电。此时 C3 通过 R3 充电，对集成块 A3 进行上电清零复位，Q0 输出高电平，LED1 点亮发光，表示电源已接通且风扇处于停转状态。此时如按一下发射按钮 SB1，A1 模块内藏发射天线就向空中辐射频率为 250MHz～300MHz 的超高频调制电磁波，在有效距离范围（15m）内，被 A2 内藏天线接收，经模块内部电路解调、放大、检波、延迟及电平转换后，从 2 脚输出正脉冲信号，经隔离二极管 VD1 送入 A3 的脉冲输入端 CP，计数器就进行加 1 计数，A3 的 Q0 端变为低电

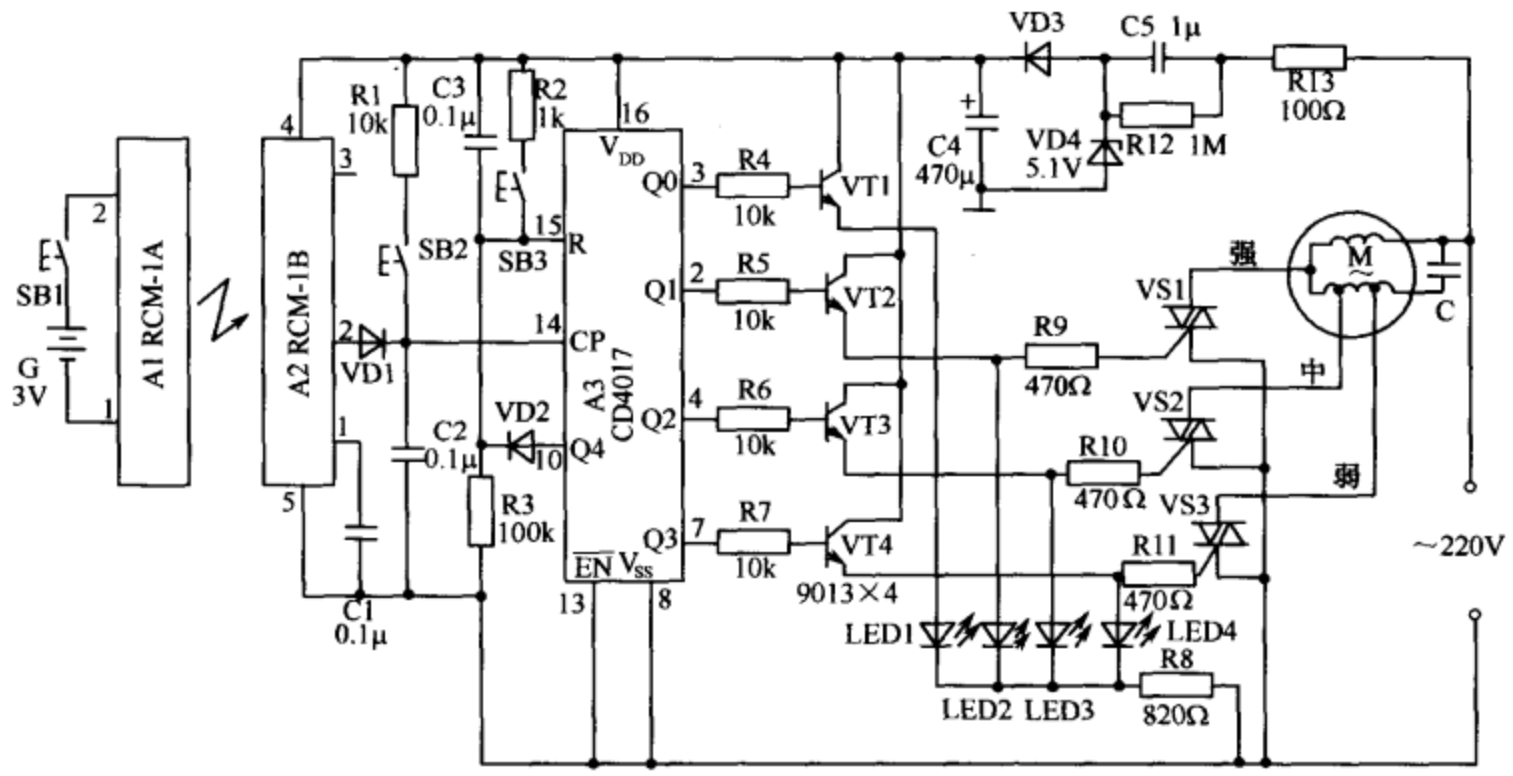


图 11-17　无线遥控电风扇调速器

平，而 Q1 端输出高电平，所以 LED1 熄灭，VT2 导通，触发晶闸管 VS1 开通，风扇电动机 M 高速运转，此时 LED2 点亮发光，指示为强风挡。若发射器再发射一个信号，A3 的 Q1 端又变成低电平，而 Q2 端输出高电平，此时 VT3 导通，触发 VS2 开通，同时 LED3 点亮发光，指示风扇工作在中速挡。发射器再发一个信号，Q2 端变为低电平，Q3 则变成高电平，此时 VT4 导通，触发 VS3 开通，LED4 点亮发光，指示为弱风挡。如发射器再发一个信号，则 Q3 变为低电平，Q4 突变为高电平，此高电平经 VD2 加至复位端 R，使 A3 清零复位，Q0 输出高电平，LED1 又点亮发光，电路完成一个循环。

本调速器除了可用发射器进行遥控调速外，也可用安装在接收器上的按键 SB2 进行控制，每按动一次 SB2，都能给 A3 的 CP 端输入一个正脉冲，从而也能实现风扇电动机的挡位切换。SB3 为关机键，无论风扇电动机处在什么工作模式，只要按一下 SB3 都能立刻实现关机操作。

三、电冰箱温度控制器

电冰箱温控器损坏后，如一时找不到配件，可以把温控器去除，将压缩器直接与电源接通，再配合下面介绍的机外型温度控制器，就能使电冰箱正常运转。机外型电冰箱温控器的电路如图 11-18 所示，它实质上是一个由 555 时基集成电路组成的占空比可调的方波脉冲发生器，由它通过继电器去控制电冰箱压缩器的间隙运转。

A1 是 AC/DC 变换模块，接通 220V 交流电源后，它能直接输出稳定的 12V 直流电压，供时基电路 A2 及继电器用电。时基电路 A2 组成占空比可调的方波脉冲发生器，其工作过程如下：当时基电路输出端 3 脚输出高电平时，继电器 K 处于释放状态，其常开接点 K-1 打开，插座 X 无电输出，电冰箱不工作。与此同时，3 脚的高电平通过 VD3、RP 的右半部、R1 向电容 C2 充电，使其阀值端 6 脚电平不断升高，当 6 脚电平升至 $2/3V_{DD}$ 时，时基电 A2 复位，3 脚输出低电平，继电器 K 得电吸合，其常开接点闭合，X 对外送电，同

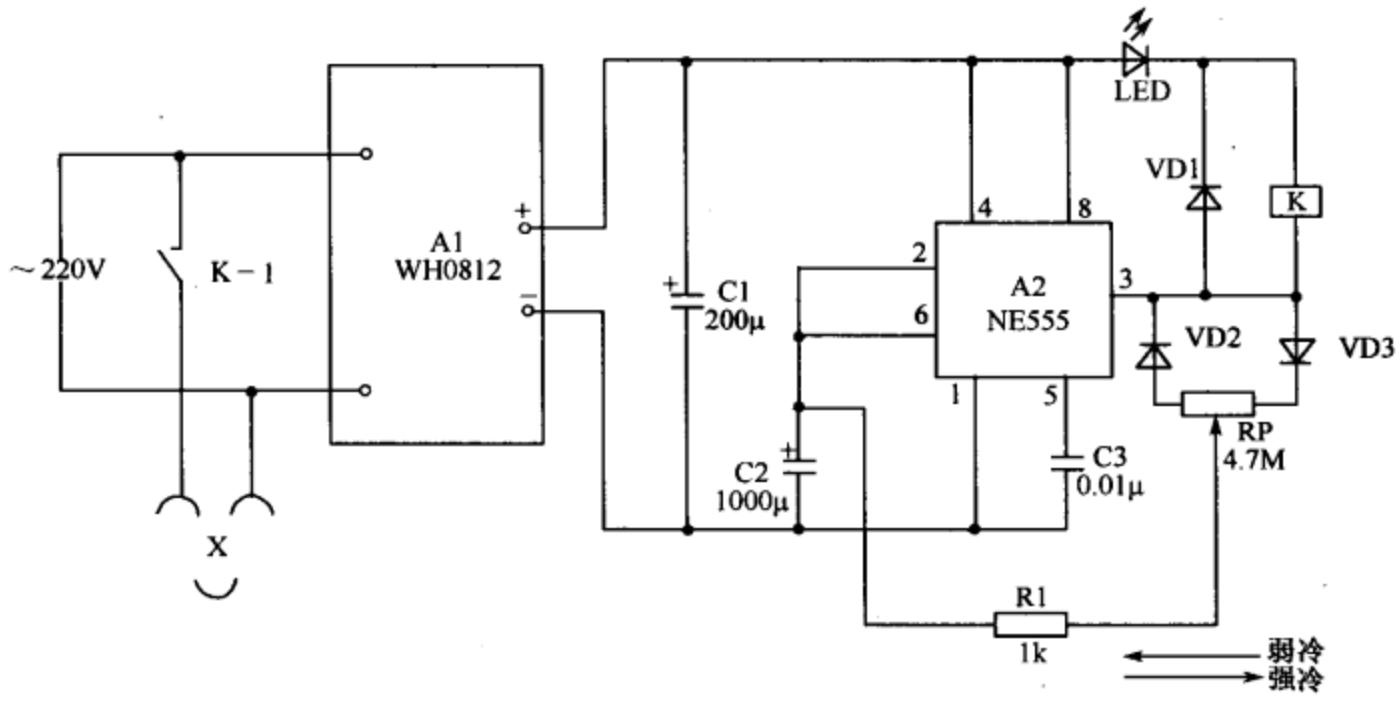


图 11-18　电冰箱温度控制器

时 LED 通电发光表示冰箱压缩器已开始运转制冷。与此同时 C2 储存的电荷将通过 R1、RP 的左半部、VD2 向集成块 3 脚放电，使其触发端 2 脚电平不断降低，当降至 $1/3V_{DD}$ 时，时基电路 A2 置位，3 脚输出高电平，LED 熄灭，K 释放，X 停止对外送电，冰箱压缩器停转，电路就重复上述过程。

由以上分析可知，如将电位器 RP 滑动端向右移动，将延长 C2 放电时间，而充电时间较短，所以时基电路 A2 的 3 脚输出低电平时间较长，冰箱压缩器运转时间变长，停机时间较短，为强冷状态。若将 RP 滑动端向左移动，则 C2 充电时间长、放电时间短，所以 A2 的 3 脚输出低电平时间较短，而输出高电平时间较长，冰箱压缩器停机时间就长、运转时间短，为弱冷状态。该脉冲发生器输出方波脉冲周期，即冰箱压缩器运转制冷时间或停机时间的可调范围可由 $T=0.7C2\times RP$ 估算，按图示数据，约为 3290s，足够满足一般家庭需要。

使用时接通本温控器电源，将冰箱的电源插头插入本温控器输出插座 X，调节电位器 RP 就可以控制电冰箱的温度。将 RP 滑动端向右移动时，压缩机工作时间长、停机时间短，适宜于夏天高温季节；将 RP 左移，压缩器工作时间短、停机时间长，适合气温较低时使用。如嫌调节时间太长，可以减小 RP 的阻值，反之可加大 RP 的阻值。

四、豆浆机控制电路

豆浆机是家用小电器的新品种，它具有将浸泡过的黄豆等食品进行预热、粉碎、过滤、煮浆、延煮和断电报警等功能。豆浆机的控制电路原理如图 11-19 所示。

1. 单元电路原理

1)控制核心

电路的控制核心是 IC2，选用 CMOS 电路 CD4060，内部带有振荡器，是 14 级二进制串行计数器/分频器，内部增量计数是在时钟脉冲的下降沿作用下进行的，它有 10 个计数引出端，本电路中用了 3 个引出端：13 脚 Q9、1 脚 Q12、2 脚 Q13，是根据延迟时间长短的需要而选定的。

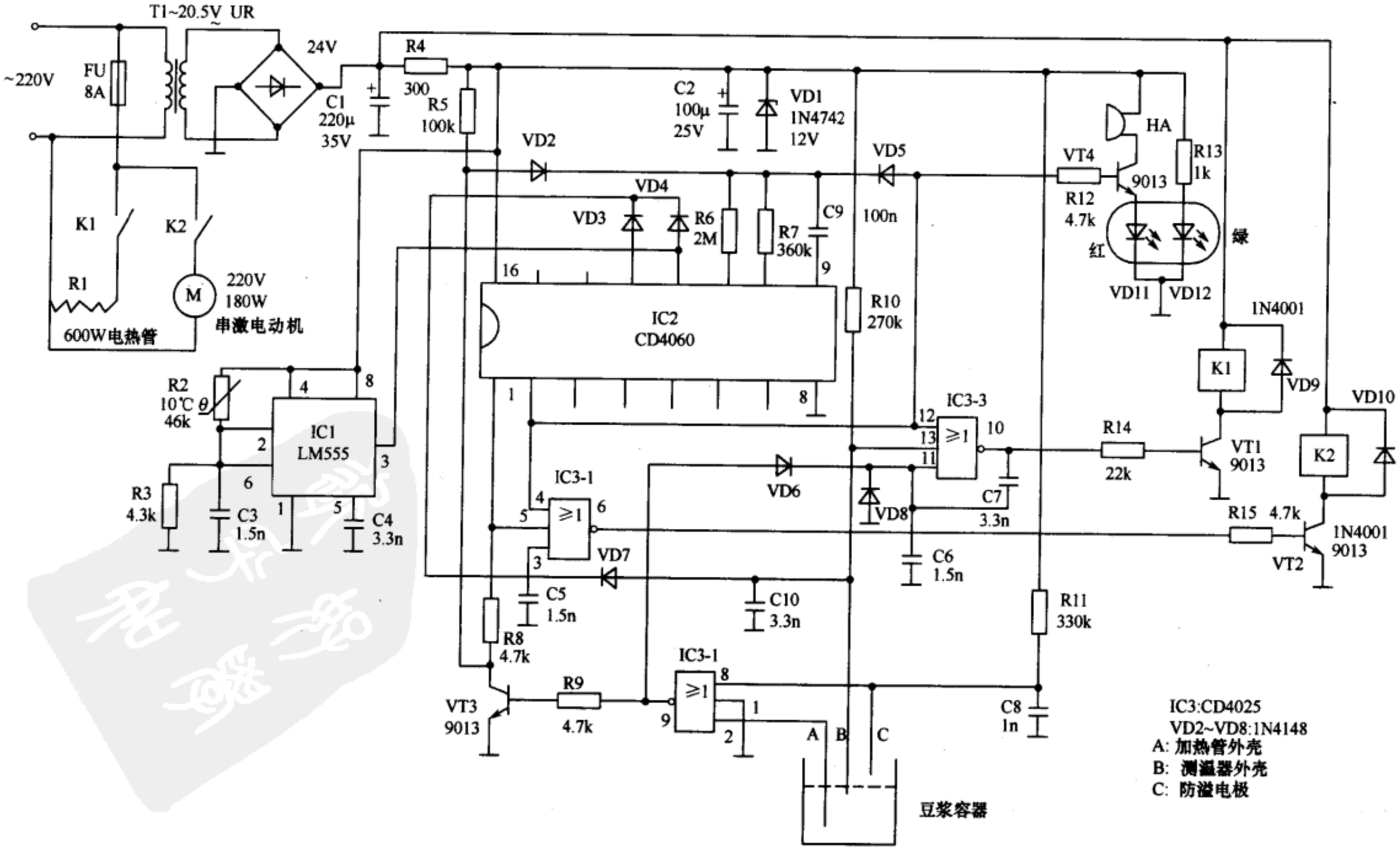


图 11-19　豆浆机控制电路

整个电路的时间基准是由内部振荡器的外接电阻 R7、电容 C9 的大小决定的，振荡周期为 $T0=K\times R7\times C9$，K 因电压的不同在 1.4～2.2 之间，本电路图中 $T0=0.066s$，13 脚 Q9 的输出周期为 $T0$ 的 2^9 倍，即 $T9=512\times0.66s\approx34s$。

CD4060 的 12 脚为清零端，只要在 12 脚加上高电平或一个正脉冲，就可使所有输出端为低电平(0)，并迫使振荡器停振。要使电路工作，只需使 12 脚为低电平即可。

2)逻辑控制电路

逻辑控制电路采用 CMOS 电路 IC3(CD4025)，内部有 3 个三输入端或非门。只有输入端全为低电平 L 时，输出端才会是高电平 H。对或非门电路说，多余的输入端应连到低电平。

3)用电器的控制

IC3-3 的 10 脚通过 VT1 控制继电器 K1 的吸合，K1 的常开触点去控制 600W 电热管 R1 对豆浆加热。

IC3-1 的 6 脚通过 VT2 控制继电器 K2 的吸合，K2 控制 180W 串激式电动机 M 对浸泡过的黄豆等食品进行粉碎加工。

4)温度控制电路

IC1 是 555 时基电路，热敏电阻 R2 浸于水中，当温度为 10℃时，$R2$ 约为 46kΩ，IC1 的 2 脚电压低于 $1/3V_{DD}$(V_{DD}为电源电压)时，3 脚为高电平；当水温接近沸腾时，R2 阻值减小，使 6 脚电平高于 $2/3\ V_{DD}$，3 脚立即下降为低电平，控制 IC2 进入工作状态。

5)控制电极

豆浆机有 3 个控制电极 A、B、C，它们与机身通过绝缘工程塑料连成一体，电极 A 为电热管的不锈钢外壳；电极 B 为温度探头热敏电阻 R2 的不锈钢外壳；A、B 内部电热丝和热敏电阻与外壳之间只有热量传递，电气上是绝缘的，电极 C 单独安装，位置接近容器的最高端边缘，称防溢电极，用来防止电热管加热过快使豆浆沸腾后溢出容器。

2. 电路工作原理

220V 交流市电经 T1 降压为 20.5V，由桥堆整流变为 24V 直流电，供继电器电路使用，再经 R4、VD1 稳压至 12V，为各集成电路供电，并通过 R13 使双色发光二极管中绿灯 VD12 发光，作为电源指示。

热敏电阻 R2 因温度较低而阻值变大，IC1 的 3 脚、IC2 的 12 脚、IC3-1 的 3 脚均为高电平，IC2 清零，IC2 的 13 脚、1 脚、2 脚为低电平，IC3-3 的 12 脚为低电平，IC3-3 的 13 脚因 R10 上拉为高电平，故 IC3-3 的 10 脚为低电平，电热器 R1 不加热(R1 如不浸入水中将被烧毁)。

电动机 M 的逻辑控制电路 IC3-1 的 4 脚、5 脚因与 IC2 的 2 脚、1 脚相连，均为低电平，但 3 脚为高电平，故输出端 6 脚为低电平，电动机 M 不工作。辅助控制电路 IC3-2 的 1 脚、2 脚虽然接地，但 8 脚被 R11 上拉为高电平，输出 9 脚为低电平，故 IC3-3 的 11 脚为低电平。

当机身浸入水中时，电极 A、B 经水而导通，IC3-3 的 13 脚降为低电平，这样 IC3-3 的所有输入端均为低电平，则 10 脚为高电平，VT1 导通，启动电热管加热冷水或温水，当水温上升接近沸腾时，触发器 IC1 翻转，IC1 的 3 脚低电平，使 IC2 的 12 脚为低电平，IC2 起振，计数开始，IC3-1 的 3 脚前半周期为低电平，这样 IC3-1 所有输入端均为低电平，6 脚

为高电平，VT2 导通，电动机 M 转动，进行粉碎加工。经过 17s 后，IC2 的 13 脚 Q9 进入下半周期高电平时，通过 VD3 使 IC3-1 的 3 脚亦为高电平，6 脚为低电平，电动机停转 17s，等 IC2 的 13 脚 Q9 又进入低电平的半周期时，电动机又启动 17s。周而复始，与电动机轴相连的螺旋桨式刀片间歇粉碎豆类成浆。当电动机 M 转动时，加热停止，电动机停止转动时，加热又重新开始。从电动机第一次开始工作约 120s，粉碎工作进行四次后，IC2 的 1 脚升为高电平，IC3-1 的 6 脚为低电平，电动机 M 一直停转，加热继续进行，本来 VT3 集电极虽由 R5 上拉又因 R8 存在而为低电平，但当 IC2 的 1 脚为高电平时，也升为高电平，通过 VD2 使 IC2 的振荡器暂时停振、计数，当电热管加热豆浆至沸腾，豆浆泡沫上升至防溢电极 C 端时，IC3-2 的 8 脚降为低电平，9 脚为高电平，通过 VD6 使 IC3-3 的 11 脚为高电平，加热停止，沸腾也停止，泡沫下降，于是加热又将开始，由于 C6 和 C7 的存在，可使加热过程滞后数秒。

IC3-2 的 9 脚的高电平又使 VT3 导通，集电极降为低电平，IC2 的振荡器恢复振荡、计数，这个反复加热过程称之延煮，所经历时间因环境温度而有所变化，但总加热时间基本不变，约 3min。当积累加热时间满足后，IC2 的 2 脚上升为高电平时，通过 IC3-1 的 4 脚和 IC3-3 的 12 脚使 IC3-1 和 IC3-3 输出端均为低电平，同时通过 R12 使 VT4 导通，蜂鸣器 HA 发声，红灯 VD11 发光，发出告警信号，说明豆浆已经做好，可以切断电源。

IC2 的 2 脚的高电平也通过 VD5 使振荡器停振，不会因告警时间太长而使电动机 M 和电热管 R1 恢复工作。

第三节　报警和密码锁电路

一、报警电路

1. 断线式防盗报警探测电路

断线式防盗报警探测电路如图 11-20 所示。图中，IC1（CD4001）为 4 个二输入端或非门，本电路只用到了其中的两个或非门。

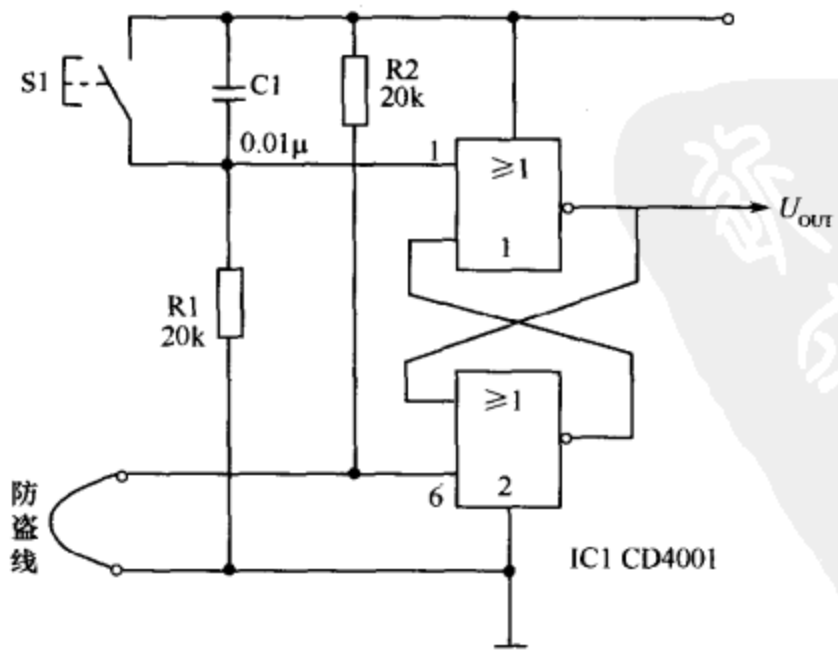


图 11-20　断线式防盗报警探测电路

或非门 1、2 构成 RS 触发器，IC1 的第 6 脚为置 1 端(S 端)，1 脚为置 0 端(R 端)。防盗线是一根细导线，它可设置在防盗的物品或门窗上。在正常状态下，防盗线将 IC1 的 6 脚接地，1 脚经 R1 接地，电路输出端输出控制信号为 $U_{OUT}=0V$。电容 C1 的作用是保证每次接通电源时，$U_{OUT}=0V$。当有人盗窃物品或闯入时，防盗线将被碰断，IC1 的 6 脚将变为高电平，使触发器置 1，U_{OUT}为高电平，输出报警控制信号。

由 RS 触发器的特性可知，即使盗贼将碰断的防盗线接上时也不会使输出状态发生变化，只有按动复位开关 S1 才会使输出状态变为低电平，解除报警控制。

2. 铁门防撬报警器

报警器电路如图 11-21 所示。IC1 为双单稳态触发器 CD4528，其中，IC1A 单稳触发器用脉冲上升沿触发，触发脉冲从 A1 端输入，B1 端要接高电平；IC1B 用脉冲下降沿触发，触发脉冲从 B2 端输入，A2 端要接低电平。IC2 为 555 时基电路，组成自激多谐振荡器，用以驱动灯 H 闪光报警，其闪光频率由 R5、R6 及 C4 的时间常数确定。IC3 为 4 声报警集成电路 KD9561，用来进行音响报警。

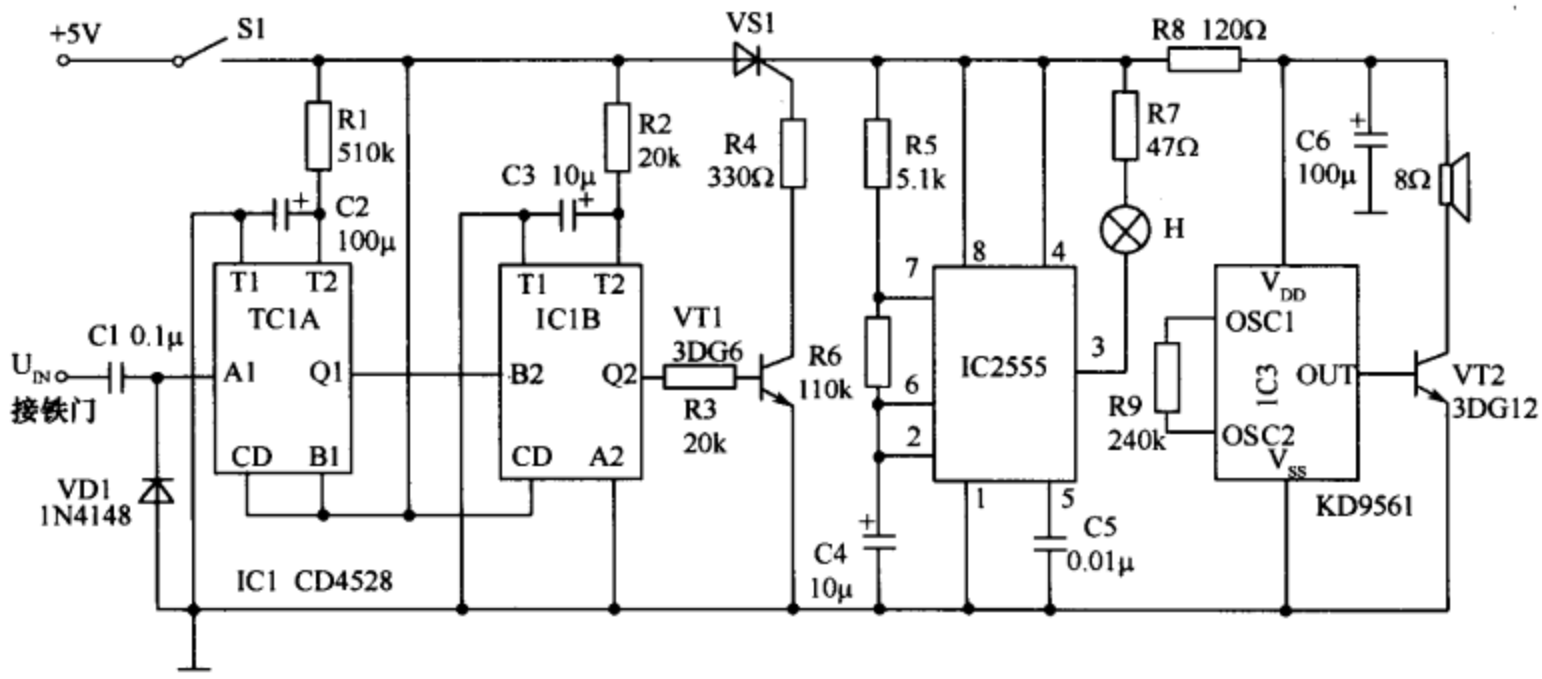


图 11-21　铁门防撬报警器电路

电路的输入端 U_{IN}接在防盗铁门上，当盗贼准备撬门时，首先，手要触及铁门，此时，人体感应的杂波信号经 C1 耦合进电路，由 VD1 整流后，使得 IC1A 的 A1 输入端因得一正电压而被触发翻转，Q1 端输出高电平，进入暂态延时状态。30s 后，IC1A 单稳结束，Q1 端跃变为低电平，这一负跃变脉冲触发 IC1B 单稳电路翻转，Q2 端输出高电平，经 VT1 放大后驱动单向晶闸管 VS1 导通，使 IC2、IC3 组成的闪光音响报警电路得电工作，电路发出灯光闪烁和音响报警声，起到威慑盗贼的作用。

由于单向晶闸管 VS1 一旦触发导通后便始终保持导通状态，因此，需关断开关 S1 才会中断报警。由于 IC1A 的单稳时间为 30s，当主人回家时会很快打开铁门，不会产生误报警。

二、密码锁电路

密码锁电路如图 11-22 所示。电路主要由十进制计数器 CD4017 及 VT1 等组成密码识别电路。密码及伪码输入电路由 S1～S9 等 9 个按钮开关组成，其中 S1、S3、S5、S6

等 4 个开关为伪码开关，S2、S4、S7、S8、S9 为密码开关。按电路的构成，这 5 个密码开关组成的密码是 249894798 共 9 位数，也就是说，必须接照密码排列的顺序输入电路方能开锁，这可以提高开锁的难度，加强了密码锁的保护作用。

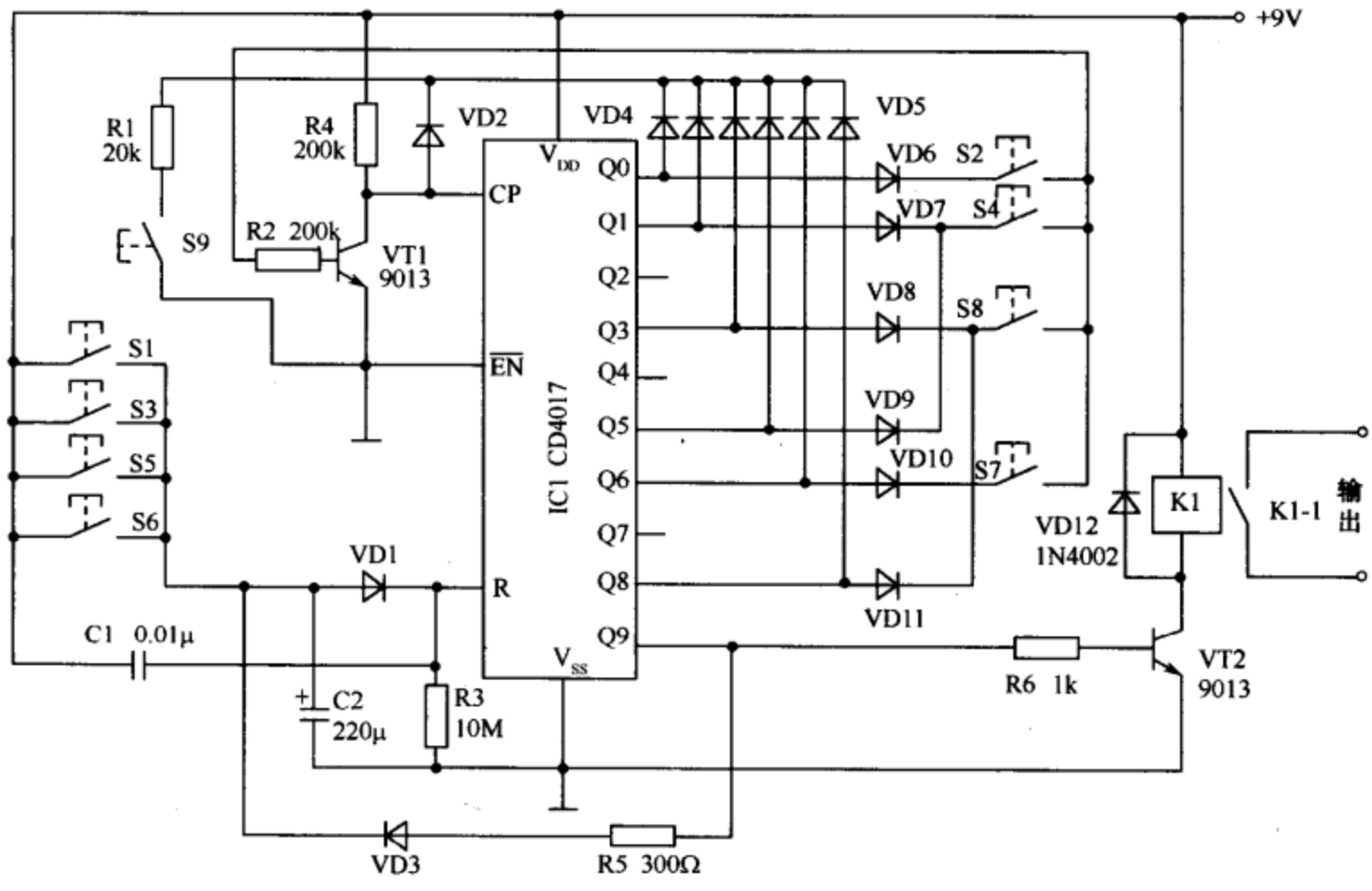


图 11-22　密码锁电路

在接通电源的瞬间，C1、R3 微分电路产生的正脉冲作用于 IC1 的 R 端，IC1 自动复位清零，此时，IC1 的 Q0 输出端为高电平，其余输出端 Q1～Q9 为低电平，电路处于初始守候状态。开锁时，首先按动开关 S2 一次，IC1 的 Q0 端的高电平经 VD6、S2 及 R2 加到 VT1 的基极，使 VT1 导通一次，其集电极产生的脉冲使 IC1 计数一次，Q1 端变为高电平；按动开关 S4 一次，同理，使 Q2 端为高电平；按动开关 S9 一次，由于电源经 R4、VD2 及 R1 分压，使 IC1 计数一次，Q3 端为高电平；再按动开关 S8 一次……当给电路输入正确的密码结束时，IC1 的 Q9 端为高电平，该高电平使 VT2 导通，继电器 K1 得电工作，其触点 K1-1 闭合，启动电锁开启。与此同时，IC1 的 Q9 端输出的高电平经 R5 对 C2 充电，约 7s 后，IC1 的 R 端为高电平，使 IC1 复位清零，继电器 K1 释放，电路又恢复到等候状态。

在输入密码信号时，若不按顺序输入，则 IC1 无法正常工作，使输入失效。若错按伪码开关 S1、S3、S5 及 S6 时，则电源电压直接作用于 IC1 的 R 端，使 IC1 复位。另外，由于 C2 的充放电作用，使电路封闭约 5min 的时间。

第四节　仪器仪表电路

一、摩托车速度表

摩托车的速度检测电路可采用红外光电传感器，它由一对红外发射管及接收管组成，

红外发射管及接收管分别固定的在摩托车前轮两侧，当车轮转动时，车轮上的辐条因挡光而使红外接收管可以在车轮旋转 1 周时产生多个脉冲，脉冲数的多少取决然于辐条的数量。

假定车速为 1km/h，那么车轮每秒走过的距离为 100000cm/3600s≈27.8cm/s，在电子测速表中采用测量每秒通过光电传感器的辐条数来测量速度较为方便，因此须将 27.8cm/s 化作“辐条/s”。若摩托车的轮直径 $D=53.5$cm，轮周长 $C=\pi D=3.14\times53.5=168$(cm)。设车轮的辐条为 36 条，相当于两条辐条间的弧长为 168/36＝4.67(cm)，对于 1km/h 的速度来说，相当于每秒通过的辐条数为 27.8/4.67≈5.95(条)，每通过 1 条辐条需要的时间为 1/5.95≈0.168(s)。如果在这个时间内通过 1 条辐条即代表速度为 1km/h，速度表就显 001。若通过 50 条辐条，则车速为 50km/h，速度表就显示 050。

图 11-23 所示是摩托车电子速度表的电路图。电路由速度脉冲检测、计数译码显示和门控制电路 3 部分组成。

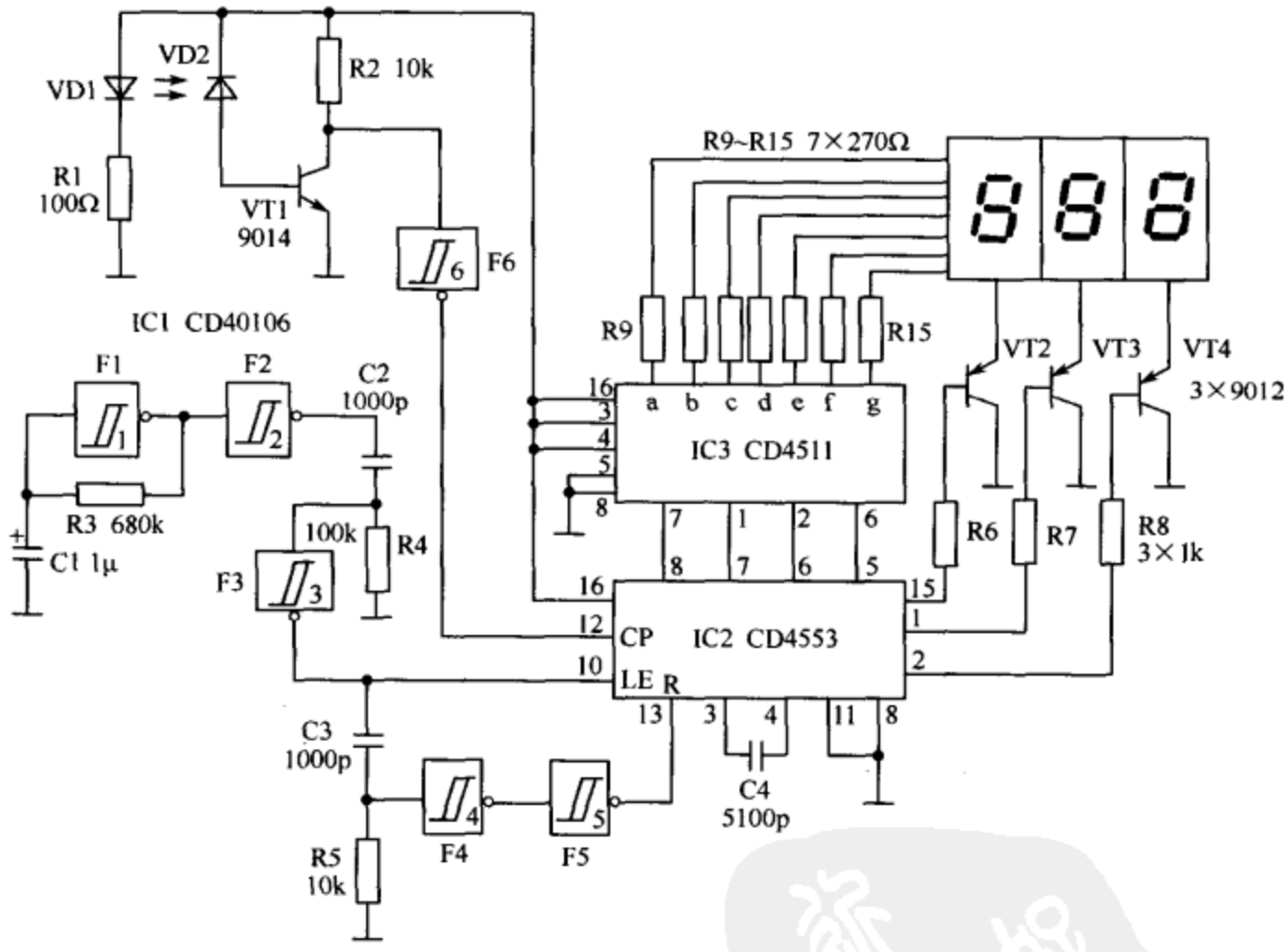


图 11-23　摩托车电子速度表电路

速度检测电路采用主动式红外光电传感器，由一个红外发射管和红外光电接收管组成。分别固定于摩托车前轮的两侧，当车轮转动时，每条辐条依次将红外光遮挡 1 次，光电传感器输出 1 个计数脉冲。由于车轮辐条为 36 条，每转 1 周传感器输出 36 个脉冲，经施密特触发器 F6 整形后输入计数器 IC3 的 CP 端。

计数译码显示电路由 3 位 BCD 计数器 CD4553 和 BCD 锁存/7 段译码器 CD4511 及 3 位共阴数码显示管组成。

CD4553 是一只 3 位二进制计数器，它只有一组 BCD 码输出端 Q0～Q3，但通过分时控制可形成 3 位十进制数字显示，不仅节省了译码器，也使电路结构简化。它的工作频率

高达 7MHz，而且具有锁存功能，适合于作为多位计数器使用。

图 11-24 所示为集成电路 CD4553、CD40106 的引脚功能图。

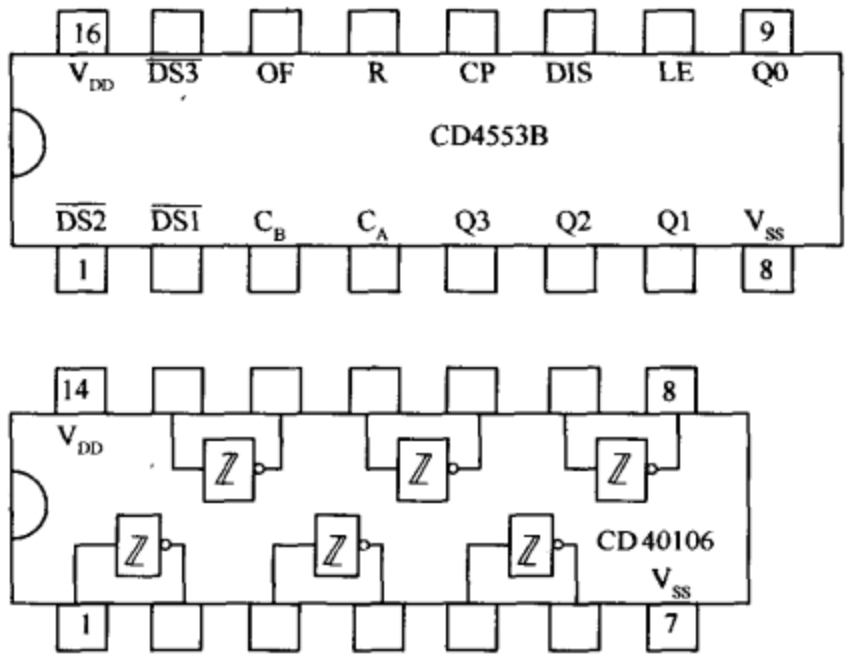


图 11-24　CD4553、CD40106 的引脚功能图

CD4553 内部有 3 个 BCD 计数器，它们以同步方式级联，与内部锁存器和转换器配合，由 4 个输出端输出 BCD 码。数字选择端$\overline{DS1}$、$\overline{DS2}$、$\overline{DS3}$提供分时同步输出控制信号，形成动态扫描工作方式。LE 为锁存控制端，高电平时执行锁存，低电平时执行送数，锁存器与转换器配合完成 3 组 BCD 计数器数值的分时输出。数字选择输出端$\overline{DS1}$～$\overline{DS3}$为低电平有效，当$\overline{DS1}$为低电平时 VT4 导通，Q0～Q3 输出个位计数 BCD 码，数码管个位显示。当$\overline{DS2}$为低电平时，VT3 导通 Q0～Q3 输出十位计数 BCD 码，数码管十位显示。当$\overline{DS3}$为低电平时，VT2 导通，Q0～Q3 输出百位计数 BCD 码，数码管百位显示。在同一时刻，它们之间只有一个为低电平并周期循环，形成连续显示。由于频率较高，几乎看不到断续或闪烁现象。

CD4553 的 3 脚、4 脚间所接电容为扫描时钟发生器的外接振荡电容，DIS 为时钟抑制端，高电平时将输入的计数脉冲禁止，从而保留了原来的计数值。R 为清零端，高电平有效。OF 为计数溢出端，当计数满 999 后变为 000 时，OF 端输出一个正脉冲作为进位输出，为多级连接提供方便。

CD4511 为 BCD 码锁存/7 段译码驱动电路，其工作原理可参考本书第三章有关内容。

CD40106 为 6 施密特触发器，主要用来进行波形的整形，还可用做电压幅度鉴别。外接 RC 元件还可组成单稳态触发器和多谐振荡器。在本电路中由 F1 与 R3、C1 组成多谐振荡器，产生门控脉冲，其振荡频率 $f=\frac{4}{R3C1}$。F2 为输出缓冲级。C 2、R 4构成的微分电路将脉冲微分并经 F 3整形后作为锁存信号加到 IC 2的锁存控制端 LE，使 IC 2所计数值锁存。F 4、F 5与 C 3、R 5构成微分电路产生复位脉冲，使 IC 3复位。

电路调整。电路组装后只需调整门控脉冲振荡器即可，方法是：用一个标准的 1kHz 信号源输入 IC2 的 12 脚，然后调整 R 3，使显示器显示数为 168 即可（0.168s×1kHz＝168）。

二、逻辑电平测试电路

图 11-25 所示是一个用 D 触发器 CD4013 组成的逻辑电平测试电路。S 端是 D 触发器的置位端，作为被测线路的输入端，当 S＝1 时，触发器置位，Q0＝1。当输入电平是逻辑 0 时，Q0 端为低电平，发光二极管 LED 不亮；当输入电平是逻辑 1 时，Q0 端为高电平，发光二极管 LED 被点亮。因此，当进行在线检测数字逻辑电路的工作时，只要用 D 触发器的 S 端去接触待测点，便可通过发光二极管 LED 的亮与灭检测出逻辑电平。

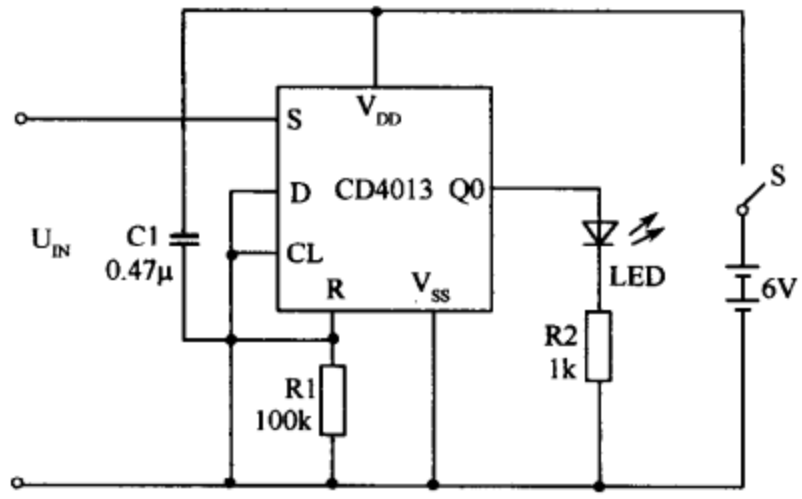


图 11-25　逻辑电平测试电路

三、电容质量判别器

电容质量判别器电路如图 11-26 所示，电路主要由一块六反相器 CD4069 构成，它的电路虽然简单，但可对 1pF～1μF 之间的各种电容的质量问题，如漏电、断路及短路等进行判断。

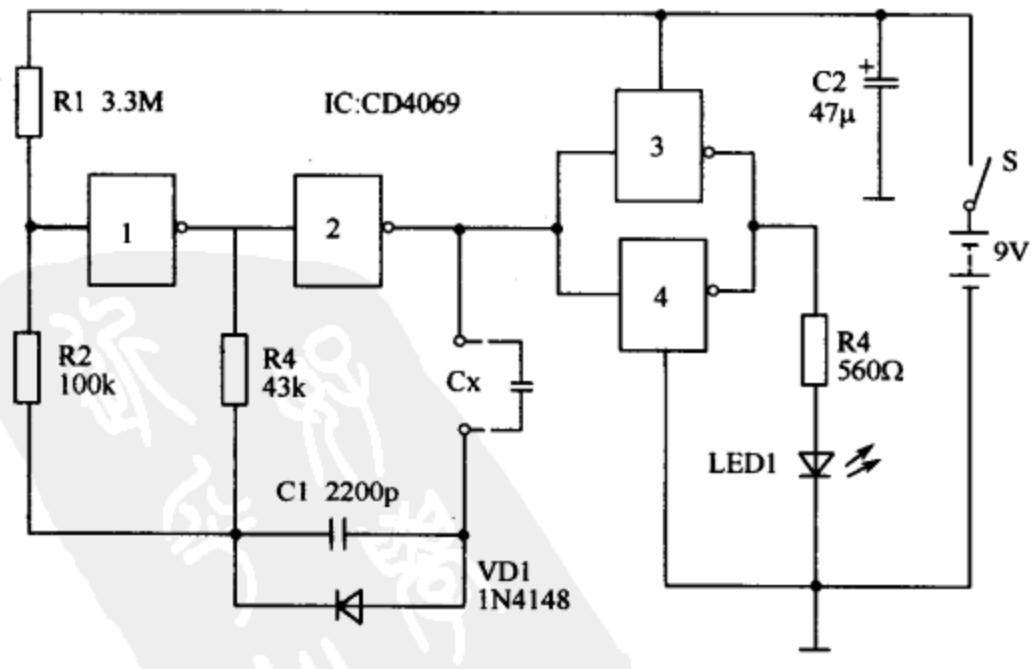


图 11-26　电容质量判别器

非门 1、2 与外围元件组成多谐振荡器，振荡频率取决于 C1、Cx 及 R3，一般振荡频率为几千赫以上。当被测电容 Cx 是好的时，电路产生振荡，振荡信号由非门 2 输出，经非门 3、4 隔离后，使发光二极管被点亮；当 Cx 内部断路时，电路不振荡。由于偏置电阻 R1

的作用，使非门 1 两端电压有较大的差别，从而使非门 2 输出高电平，该电平经非门 3、4 输出低电平，发光二极管 LED1 不亮；当 Cx 内部有严重的漏电或短路时，非门 2 输出端的较高电平经 VD1 使非门 1 的输入端为高电平，进而使非门 2 输出高电平，非门 3、4 输出低电平，发光二极管 LED1 仍不会被点亮。这样，便根据发光二极管 LED1 被点亮的状态，对被测电容的质量好坏作出判断。

VD1 是为防止当 Cx 有短路时，非门 1 可能输出的高电平经 R3 加到非门 2 的输出端，使发光二极管 LED1 被点亮，产生误判。

四、显示器维修信号源

在显示器维修过程中，行扫描电路的工作状态受到 15 针显示接口(DB15)中行同步输入信号控制，，当计算机主机电源开关未接通，即显卡 DB15 接口行同步信号未送出时，显示器的行扫描电路处于待机的工作状态，未能给显像管提供发光显示的各类工作电压，显示器黑屏。

另外，多频 VGA 显示器的电源电路也受行同步信号或行逆程回扫脉冲的控制，当主机同步信号未送达时，开关电源同样处于待机的工作状态。这就要求维修或选购显示器时必须与主机在联机状态下，才能观察其显示状况。

根据显卡 15 针信号端口资料可知，制作显示器维修信号源的关键是要能够提供一组 R/G/B 三基色信号、行同步信号及场同步信号等 5 种信号。在实际制作中，可选用的一组设计参数值为：分辨率 640×480；行频 31.47kHz，负极性；场频 60Hz，负极性。

因此我们可以选择常用的双时基集成电路 NE556 组成两个多谐振荡器产生相应的行频、场频。电路原理图如图 11-27 所示。

图 11-27 中 IC1-A、IC1-B 分别是 NE556 内部的一个时基电路。IC1-A 与 R7、R8、VD7、VD8、C3 组成占空比可调的脉冲振荡器，用于产生负极性、31.47kHz 的行同步信号。其工作过程分析如下：当电源接通时，6V～9V 的电源电压通过电阻 R7、二极管 VD8、电容 C3、地构成一条对 C3 充电的回路。此时 IC1-A 触发端 6 脚电压≤$1/3V_{CC}$，根据 556 的逻辑状态，可知 IC1-A 输出端 5 脚输出为高电平。当电容两端电压≥$2/3V_{CC}$，即 IC1-A 阈值端 2 脚电压≥$2/3V_{CC}$时，IC1-A 的 5 脚输出低电平。在触发器动作之前，电容 C3 的充电时间对应于行同步信号的高电平所占时间，充电时间为 $0.7\times R7\times C3$，约为 25.82μs；在触发器动作之后，IC1-A 放电端 1 脚变为低电平，电容 C3 经 R8、VD7 与 IC 内部放电管对地放电，放电时间为 $0.7\times R8\times C3$，这一时间常数对应于行同步信号的低电平脉冲，约 5.96μs。

当电容两端电压下降至≤$1/3V_{CC}$，即 6 脚电压低于 $1/3V_{CC}$时，5 脚输出又变为高电平。IC1-A 构成的多谐振荡器就如此周而复始地工作，即可产生振荡周期为 31.78μs 的方波信号，其对应的振荡频率为 31.47kHz 的行频频率。输出波形高电平的占空比为 81.25%，此 31.47kHz 窄脉冲方波信号直接送至 DB15 接口的 13 脚作为行同步输入信号。

同理，IC1-B 与 R9、R10、VD9、VD10、C5 组成占空比约为 94%的脉冲信号振荡器，主要用输出负极性、60Hz 的窄脉冲场同步信号，并送至 DB15 接口的 14 脚场同步信号端。

为了简化电路设计，在设计中借鉴了电视机行、场消隐信号与视频放大电路的设计思

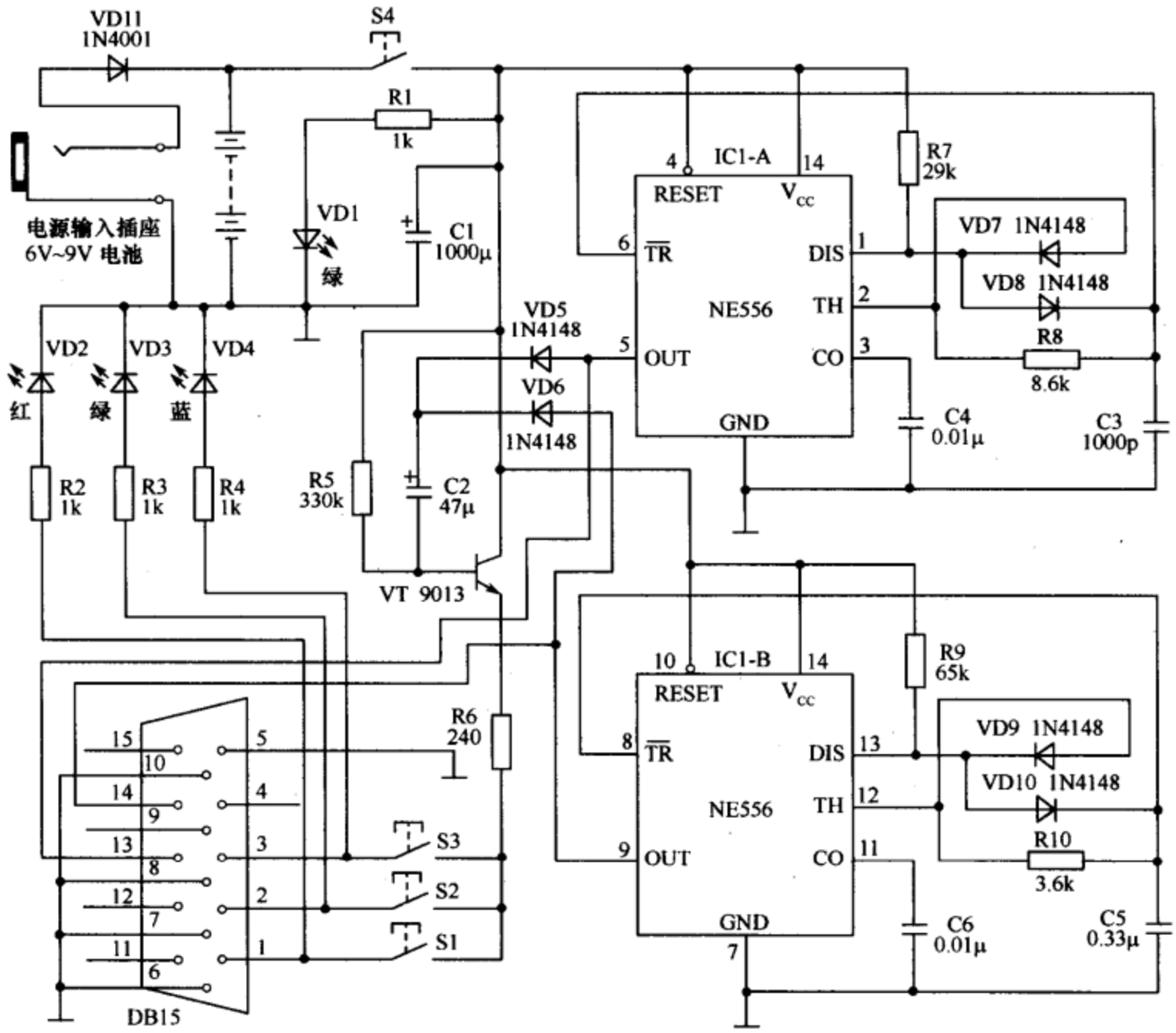


图 11-27　显示器维修信号源电路

路，直接将 IC1-A、IC1-B 的 5 脚、9 脚输出的行、场同步信号经 VD5、VD6 隔离、C2 耦合后作为三极管 VT(9013)的输入信号，再经三极管混频后，分别经开关 S1、S2、S3 送至 DB15 接口的 1 端、2 端、3 端，作为彩色显示器的三基色输入信号。其中，VT 管与 R5、R6 及其负载组成一级射极跟随器，对混频后的信号电流进一步放大，从而提高了维修信号源的带负载能力，红、绿、蓝发光二极管 VD2、VD3、VD4 分别与其限流电阻 R2、R3、R4 组合完成输出工作状态指示功能。

NE556 芯片的电源电压工作范围为 5V～15V，故维修信号源电源可采用了 9V 叠层电池或 6V 锂充电电池直接供电。再增加一个电源输入插座，以方便外接电源的输入，二极管 VD11 用于防止外接电源反极性输入而损坏电路，开关 S4 为本测试仪的电源开关，C1 为电源的滤波电容，绿色发光二极管 VD1 用于电源工作状态指示。

如要提高输出信号频率、占空比等参数的准确度，可准备一台性能良好的彩色显示器，将显示器信号线插头插入本检测仪的 15 芯插座。分别接通彩显、检测仪的电源开关，通过检测仪上开关 S1、S2、S3 的不同组合，并调整 R7～R10、C3、C5 的参数，使显示屏上分别显示出白、黄、青、绿、紫、红、蓝、黑 8 种不同标准的色彩，分辨率为 640×480。

五、电视方格信号发生器

方格信号发生器电路如图 11-28 所示。

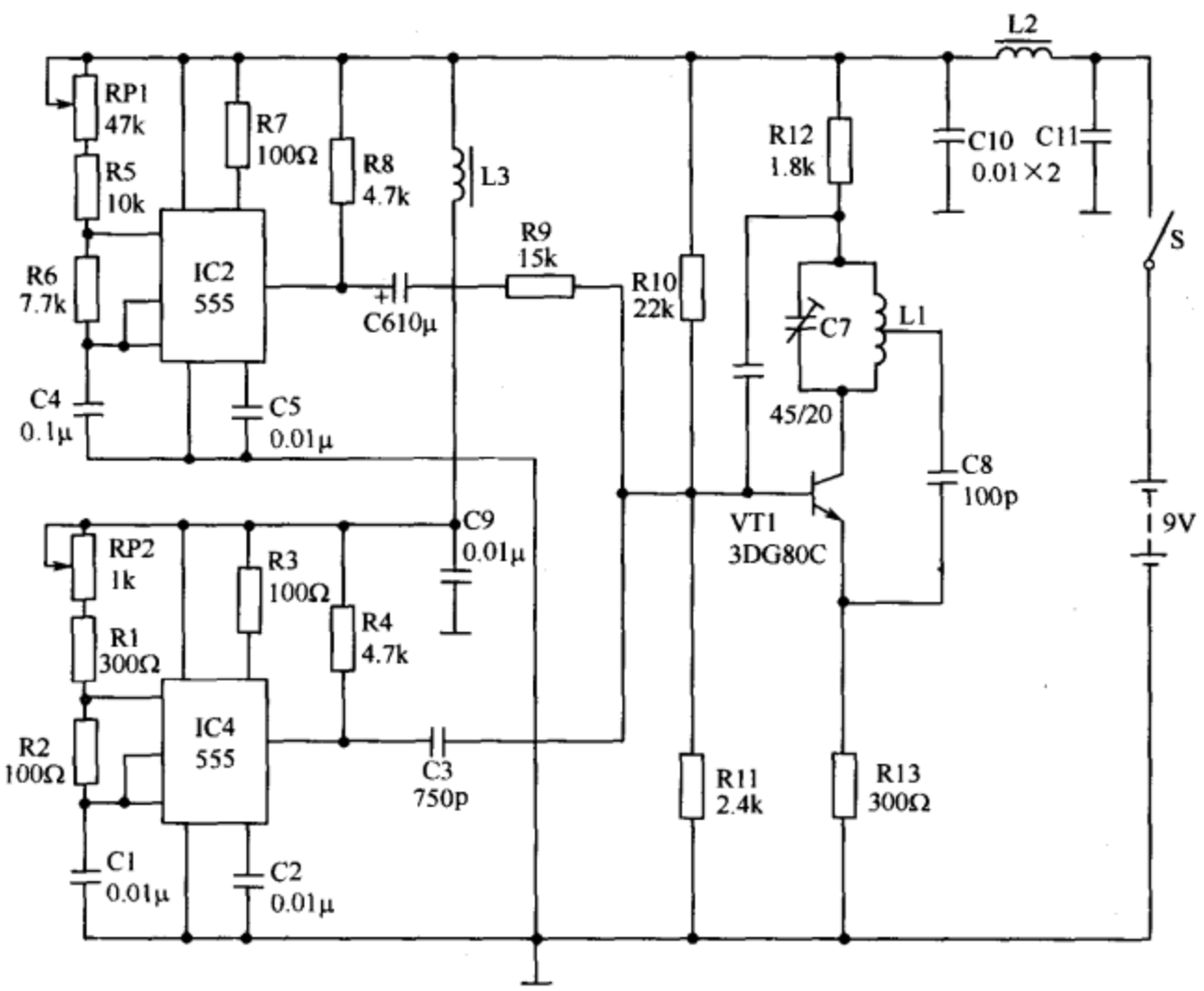


图 11-28　电视方格信号发生器

电路由 3 部分组成，其中由 IC1 组成的多谐振荡器，产生 8 倍行频的方波信号，其频率为 125kHz；由 IC2 组成的多谐振荡器，产生 6 倍场频的方波信号，其频率为 300Hz；三极管 VT1 等组成射频振荡器，产生 57.75MHz 的射频信号，作为载波使用。

IC1、IC2 产生的两组方波信号分别经 C6、C3 加到三极管 VT1 的基极上，对射频振荡器产生的 57.75MHz 载波进行调制，调制后的调幅波形成方格信号，由 L1、C7 组成的振荡回路发射出去，供电视机调试使用。

电路中的 C9、C10、C11、L2 及 L3 组成滤波电路，以避免振荡信号受电源的干扰。

第五节　其他应用电路

一、简易电子琴

图 11-29 所示为简易电子琴的电路，它主要由六反相器 CD4069 组成。非门 1、2 及外围元件组成一个音频振荡器，改变串接在按键开关的各电位器阻值，便可改变振荡频率，也就改变了音调。各音阶相对应的频率及阻值见表 11－2。非门 3～6 并联在一起使用，以提高输出负载的能力。振荡信号最后经 VT1 放大，驱动扬声器 B 发出宏亮的乐曲声。

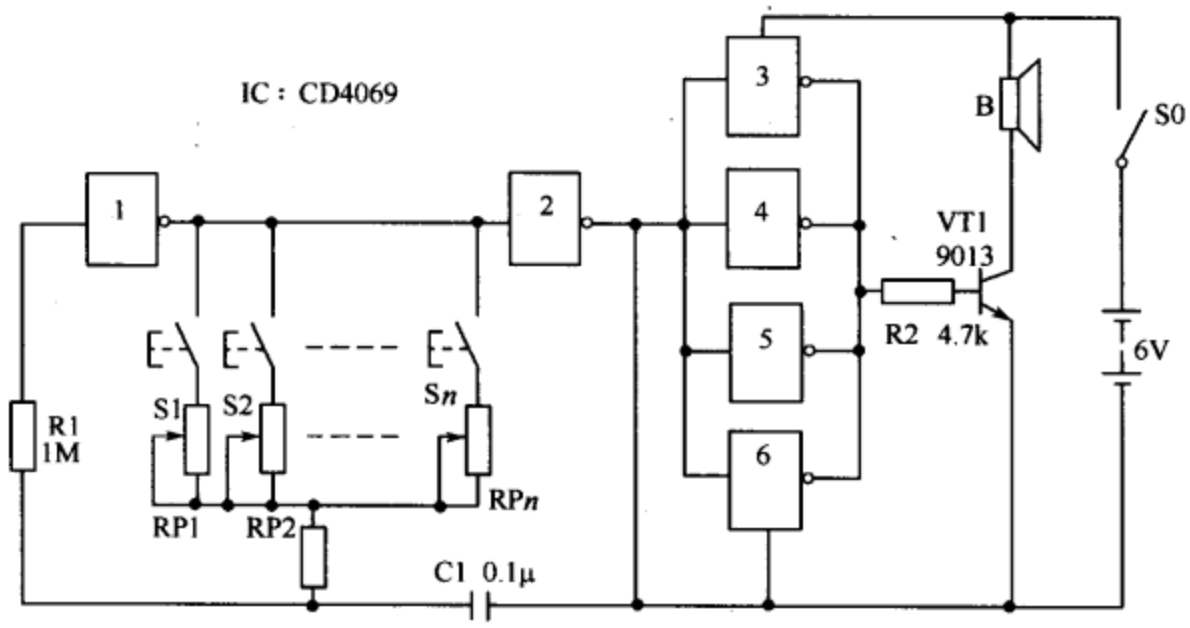


图 11-29　简易电子琴电路

表 11-2　各音阶相对应的频率及阻值

音阶	频率/Hz	阻值/kΩ	音阶	频率/Hz	阻值/kΩ
1	261.6	191.1	5	392.0	127.6
2	293.7	170.3	6	440.0	113.6
3	329.7	152.7	7	493.9	101.2
4	349.2	143.2	i	523.3	95.6

二、超声波驱虫器

家中的蚊子、蟑螂及老鼠等害虫对于 23kHz～64kHz 之间的超声波均会产生厌恶感。由于每一个害虫有一个特定的厌恶频率，因此，驱虫器必须在一定频段内有连续变化的频率输出，才会使多种害虫因产生厌恶感而溜走，达到驱虫的目的。

超声波驱虫器的电路如图 11-30 所示。它主要由时钟振荡顺、计数电路及超声波振荡器等组成。IC1 和 IC3 均为时基电路 555，它们均被接成单稳态多振荡电路，IC1 的振荡频率为 1Hz，而 IC3 的振荡频率范围为 23kHz～64kHz，其具体的振荡频率由计数器 IC2 的输出决定。IC2 为十进制计数/分配器 CD4017，它在时钟信号的作用下计数，其输出端 Q0～Q9 将依次出现高电平。当每一个输出端输出高电平时，它便为超声振荡器 IC3 转接不同的充电电阻，使 IC3 的振荡显 10 个连续变化的频率。VD11 跨接在 IC3 的 2 脚、7 脚之间，其作用是使振荡信号的占空比达到 50%，以达到最大功率输出。IC3 的输出直接推动压电扬声器向外发射超声波。

三、汉语报时电路

图 11-31 所示是一个简易的汉语报时电路。IC1 为石英钟走时集成电路 KD3252B，它通过外接的 32768Hz 晶振及微调电容 C1，可输出周期为 1s 的脉冲信号。该秒脉冲信号经 VT1 放大加于 IC2 的 CP 端。IC2 为 12 级二进制串行计数器 CD4040，当其 CP 端输入 3600 个秒脉冲后，其输出端 Q5、Q10、Q11 及 Q12 均为高电平，此时，由 R5、VD1～VD5 组成的二极管与门电路的输出也变为高电平。此高电平一路经 R6、C4 触发 IC3 实现报时，另一路经 C2 返回 IC2 的 R 端，使 IC2 清零复位，以便开始下一个小时的计数。IC3 为程序汉语报时电路 KD482H，从早 6 点至晚 10 点，IC3 每得到一个触发脉冲，便输

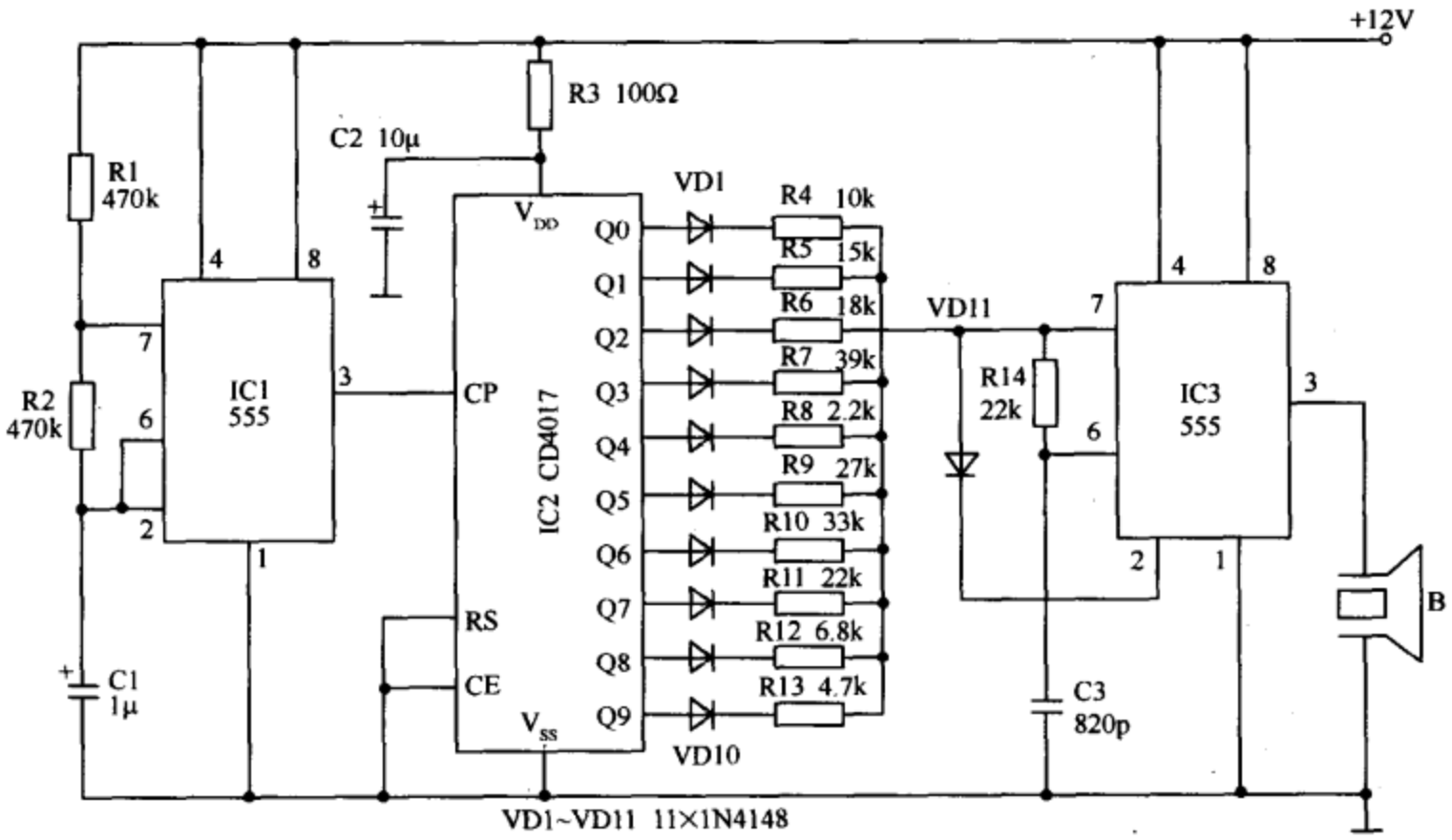


图 11-30　超声波驱虫器电路

出一个报时信号，该信号经 VT2 放大后，推动扬声器 B 发出汉语报时声。

S1 为报时校准按钮开关，每按动一下 S1，IC3 报时一次。C3 可消除由于触点 S1 抖动产生的干扰脉冲。

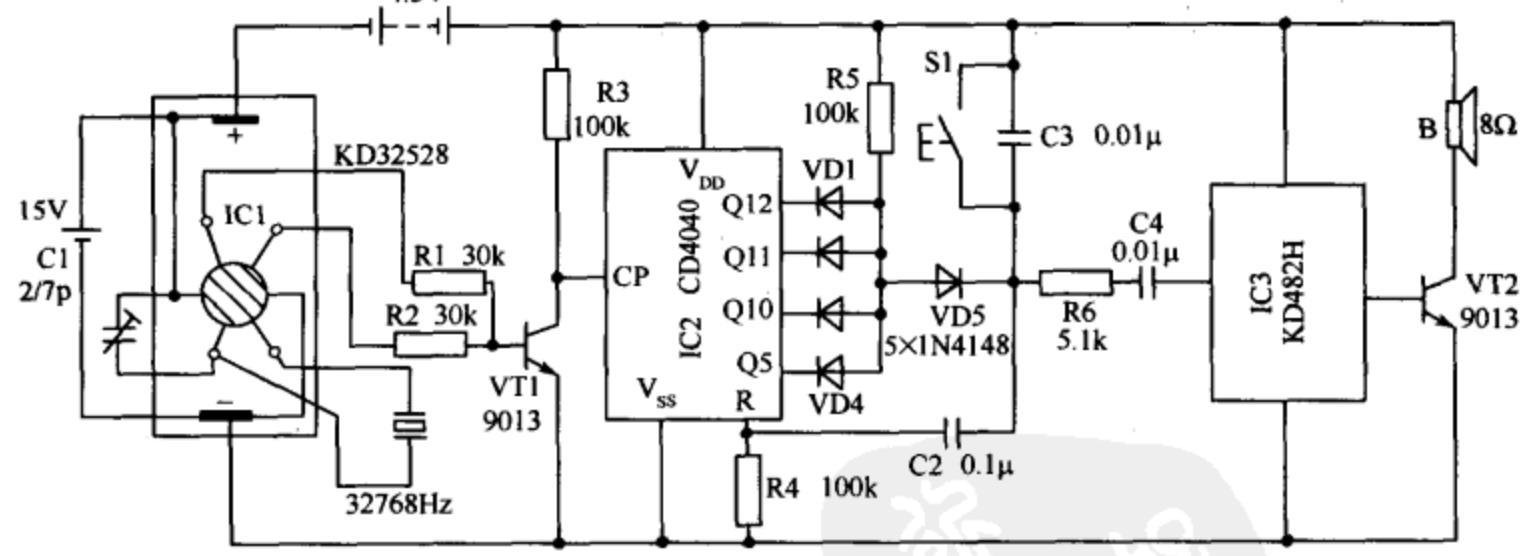


图 11-31　汉语报时电路

四、叮咚门铃电路

叮咚门铃电路如图 11-32 所示。

220V 市电经变压器 T 降压、VD1～VD4 整流、C1 滤波，获得＋8V 直流电压。IC1 为十进制计数分频器 CD4017；Q0、Q1、Q2 为计数输出端；R 为高电平复位端。接通电源时，因 C2 端电压不能突变而使 CD4017 完成上电复位。复位时 CD4017 只有 Q0 端子输出高电平，其余输出端都为低电平。CP 为 CD4017 的计数脉冲输入端，由脉冲的上升沿触发计数。IC2-1～IC2-6 为一片六非门集成电路 CD4069，其中 IC2-3、IC2-4 和 RP1、C4

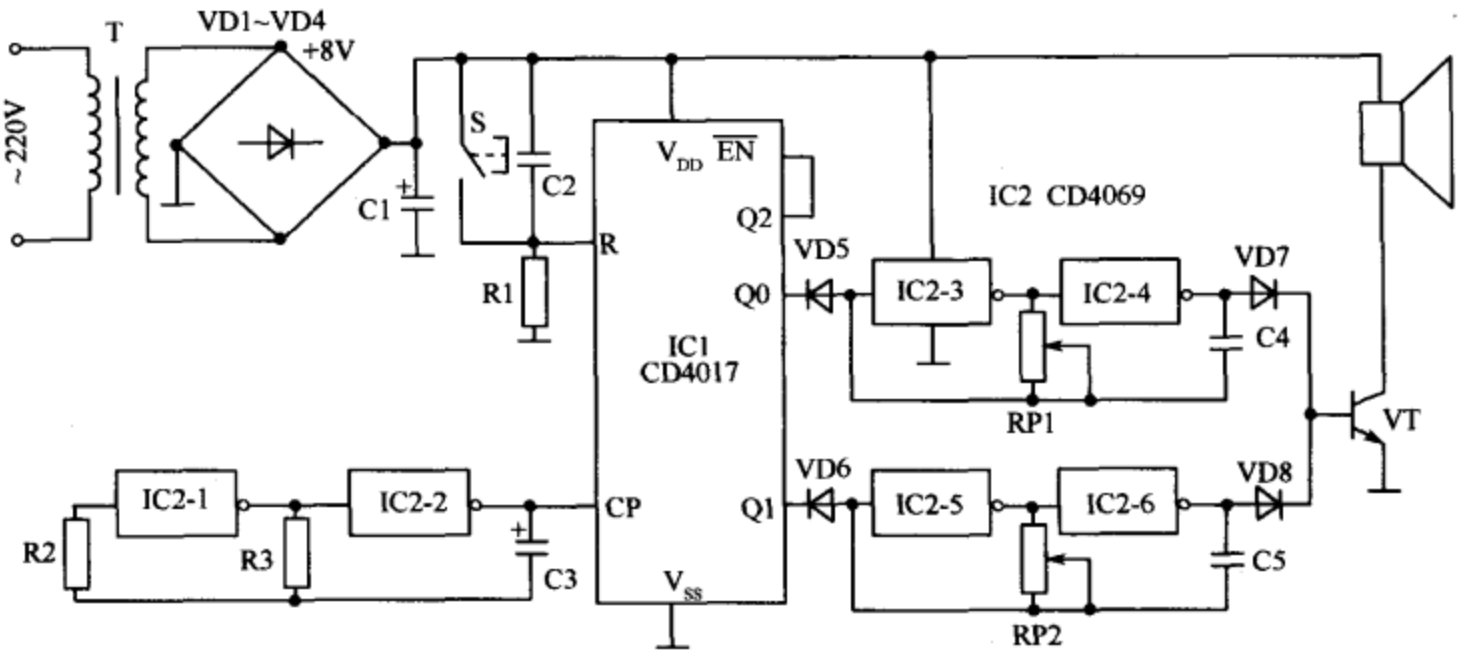


图 11-32　叮咚门铃电路

组成“叮”音振荡器，IC2-5、IC2-6 和 RP2、C5 组成“咚”音振荡器。IC2-1、IC2-2 和 R2、R3、C3 组成计数脉冲发生器电路，负责向 CD4017 发送计数触发脉冲。

CD4017 的$\overline{EN}$端为计数输入的使能端，当$\overline{EN}$接低电平时，CD4017 的 CP 端接受脉冲上升沿的触发进行计数；当$\overline{EN}$接高电平时，CP 端将被锁定，不接受脉冲的触发，此时 CD4017 输出端的状态将保持其前一时刻的状态不变。

电路的工作原理是：上电后或按下门铃按钮 S 后，CD4017 复位，Q0 输出高电平，Q1 和 Q2 输出低电平。Q0 输出的高电平使 VD5 截止，“叮”音振荡器起振，扬声器发出“叮”音；同时，Q1 输出的低电平使 VD6 导通，“咚”音振荡器停振；而 Q2 输出的低电平因接$\overline{EN}$端，使 CP 端能够接受计数脉冲的触发。由 IC2-1、IC2-2 组成的振荡器开始向 CP 端发送计数脉冲，CD4017 开始计数。第一个计数脉冲使 Q1 输出高电平，Q0 和 Q2 输出低电平，所以，二极管 VD5 导通，“叮”音振荡器停振，同时 VD6 截止，使“咚”音振荡器起振，扬声器发出“咚”音。第二个计数脉冲使 Q2 输出电平，Q0 和 Q1 输出低电平，所以，VD5 和 VD6 都导通，两个振荡器停振，扬声器不发声。同时 Q2 输出的高电平因接到$\overline{EN}$端，又使 CD4017 的 CP 端锁定，不再接受计数脉冲的触发。输出端 Q0、Q1、Q2 将保持在 Q2 高电平，Q0 和 Q1 低电平的输出状态不变，VD5 和 VD6 导通，音频振荡器全部停振，扬声器不发声。

S 为门铃按钮，当有客到来按一下 S，则 R 端变为高电平，CD4017 在一瞬间复位，Q0 端子输出高电平，扬声器发“叮”音；Q1、Q2 为低电平，Q2 的低电平因接$\overline{EN}$端，使 CP 端又恢复接受计数脉冲的触发。在计数脉冲的触发下，“咚”音振荡器起振、“叮”音振荡器停振，使扬声始发出“咚”音，然后 Q2 输出高电平又使 CP 端再次被封锁，两个振荡器全部停振，等待 S 的再次被来客按下。

图 11-32 中，RP1 用于调准“叮”音频率，RP2 用来调准“咚”音频率，R3、C3 决定二音的长度，也可作适当调整。

五、8 路数显抢答器

抢答器原理如图 11-33 所示，其核心部件为 7 段 BCD 锁存译码驱动器 CD4511，该集成电路的使用及功能见第三章有关内容。

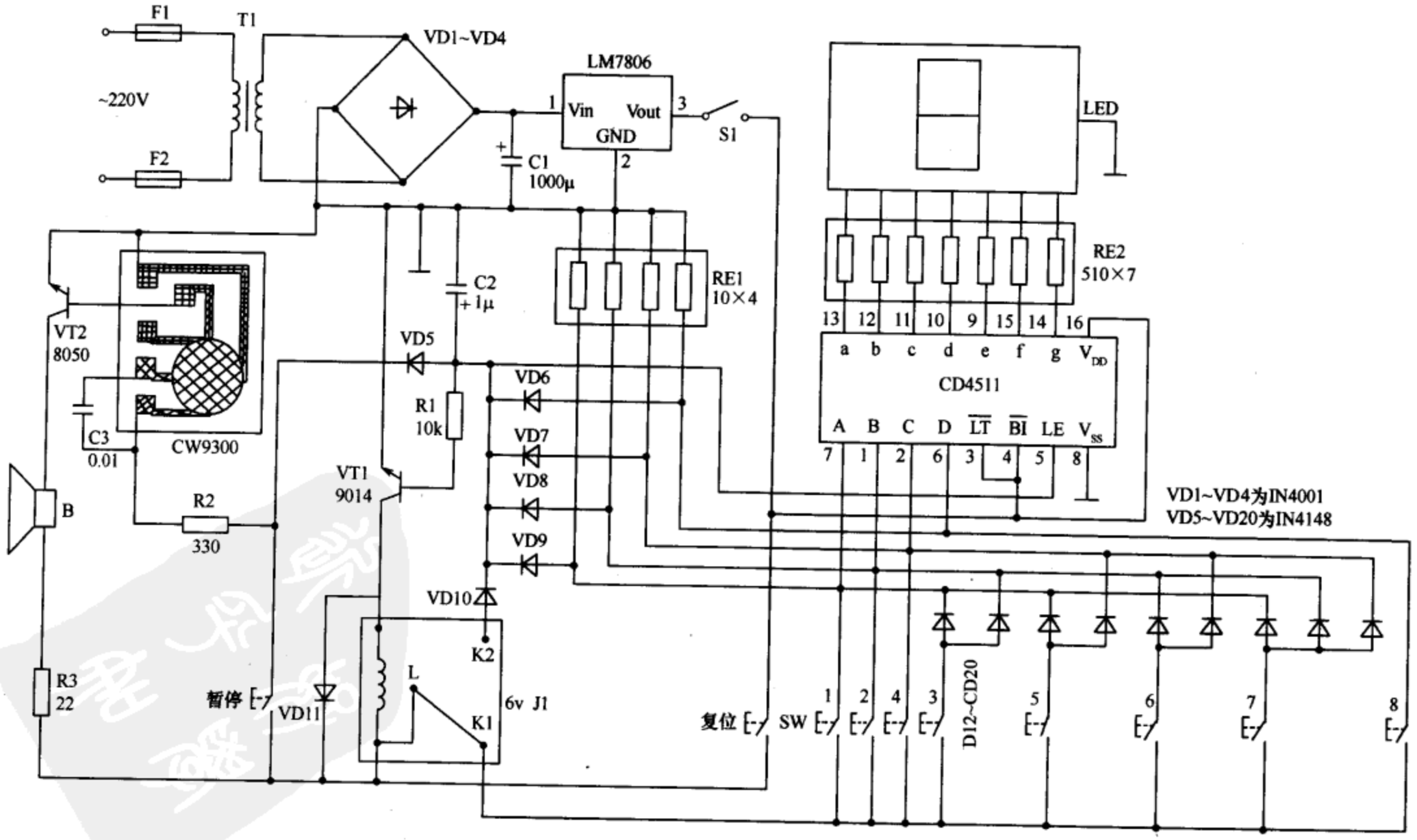


图11-33　8路数显抢答器

CD4511 的 7 脚、1 脚、2 脚、6 脚为 BCD 码的编码输入端；3 脚$\overline{LT}$为测试脚；4 脚$\overline{BI}$为消隐脚；5 脚 LE 为锁作控制端，LE 脚接低电平选通、高电平锁存；9～15 脚用来驱动数码管显示字符。当给 CD4511 的输入端输入不同的 BCD 编码时，经过内部电路译码，并通过输出端驱动共阴数码管显示对应的字符。

电源接通时，给电路一个复位信号，使得 LED 显示为 0、当抢答者按下任一抢答键后，便形成相应的 BCD 编码，高电平同时到 CD4511 的 5 脚使集成电路锁存，同时通过 VD6～VD9 和 R1 向 VT1 的基极加电，使得 VT1 导通，从而继电器吸合由常闭状态 K1 向状态 K2 跳转。在跳转过程中的极短时间内，VT1 的基极将失去电压而不导通，导致继电器由 K1 跳至 K2 途中落回，而无法实现抢答。为使抢答器实现抢答功能也就是使触点由常闭点 K1 能顺利跳转至 K2，在 VT1 基极加一电容 C2，利用 C2 的充、放电使得三极管 VT1 有足够的时间保证触点由常闭点 K1 跳至 K2，从而实现抢答功能，并彻底杜绝了误操作。在触点由常闭点 K1 跳至 K2 过程中将产生自感电动势，为防止 VT1 自身击穿，在电路中加了一反向二极管 VD11，从而使抢答器工作稳定。

当任一人抢答成功时，高电平除送至 VT1 基极外，同时经 VD5 送至音乐片 KD9300 的电源端和触发端，使得音乐片通过 VT2 推动扬声器发出叮当响声，表示有人抢答成功。这时主持人可以通过复位键使电路复位，进行下一轮的抢答。当有声音通过扬声器，为防止大电流将其击穿，这里用电阻 R3 为其分压。暂停键用于紧急停止或防止提前抢答，当主持人手按暂停键时，由于 LE 端为高电平，当前状态被锁存无法进行抢答，只有将暂停键断开电路才可以正常工作。

第十二章　数字电子技术仿真实验

用电路仿真软件做数字电子技术实验，不但可节约实验板和实验仪器的开支，避免实验板和仪器的损坏，而且方便直观，快速高效。电路仿真软件较多，常用的有 Edison、Multisim 等，Edison 简单易用、生动活泼，主要适合初学者；而 Multisim 则功能强大、使用复杂，适合有一定基础的电子爱好者。本书暂对 Edison 进行介绍，想要了解 Multisim 的读者，请参考本丛书中的《从零开始学电路仿真 Multisim 和电路设计 Protel 技术》一书。

第一节　Edison 仿真软件的基本使用方法

学习数字电子技术，不只是学习理论知识，更重要的是通过实际操作和实验来加深对内容的理解。传统的数字电子技术实验，常常是先制作一块模拟实验板，在这块板上用实验仪器对电路进行实验和调试。制作实验电路板是一个难苦复杂的过程，要面对大量的元件和连线，每一个元件参数的确定可能要做多次实验，更要记录数据和描绘波形。在此过程中，如果缺乏实验仪器和实验设备的话，很多实验是无法进行的，如没有示波器，无法测量波形；没有扫频仪，无法测量电路的频率响应曲线；没有恒温箱，不能测量电路的温度特性等。现在，电子计算机技术为电子设计提供了新的、强有力的辅助手段——电子设计自动化（简称 EDA）技术。电子设计自动化可以提供从集成电路到电路系统的设计和仿真工具。EDA 的重要组成部分之一——电路仿真技术——是以电路理论、数值计算方法和计算机技术为基础实现的，它采用数学模型和仿真算法，利用计算机高性能的计算、存储和图形处理能力，无需任何实际元器件，用预先设计出的专门程序，取代绝大多数的普通电学仪器仪表和实际电路。电路仿真软件不仅可以帮助读者加深对概念、原理的理解，而且通过电路仿真，可以熟悉常用电子仪器的测量方法，进一步培养学生的综合分析能力、排除故障能力和开发、创新能力。

电路仿真软件较多，常用的有 Edison、Multisim 等，本书主要以适合初学者使用的 Edison 为例进行介绍。

当然，软件仿真并不能完全代替具体的操作实验。特别是在初学阶段，实验的过程本身就是一个培养学生实际动手操作的能力的过程，而这一过程，用计算机软件模拟实验是不能替代的。因此，在使用电路仿真软件之前，建议读者应对有关电子元器件、实验仪器、电路连线方法和焊接技巧有较为深刻的认识和了解，并清楚电路实验的正确操作规范和实验程序、步骤等。

一、Edison 简介

Edison 是匈牙利 Designsoft Inc. 公司设计推出的电子电路仿真分析、设计软件，非常

适合初学者和电子爱好者使用。Edison 以实体的零件造型让初学者有置身于真实电路实验室的感觉，加上有趣的声、光效果，让初学者在兴趣中学习数字电子技术知识；同时，可以弥补实验仪器、元件少的不足，以及避免仪器、元器件的损坏。

Edison 已从 Edison2.0 发展到 Edison4.0。本书以最新版 Edison4.0 为例进行介绍。

Edison4.0 安装完成后，通过开始菜单，可启动 Edison4.0，启动后的画面如图 12-1 所示。

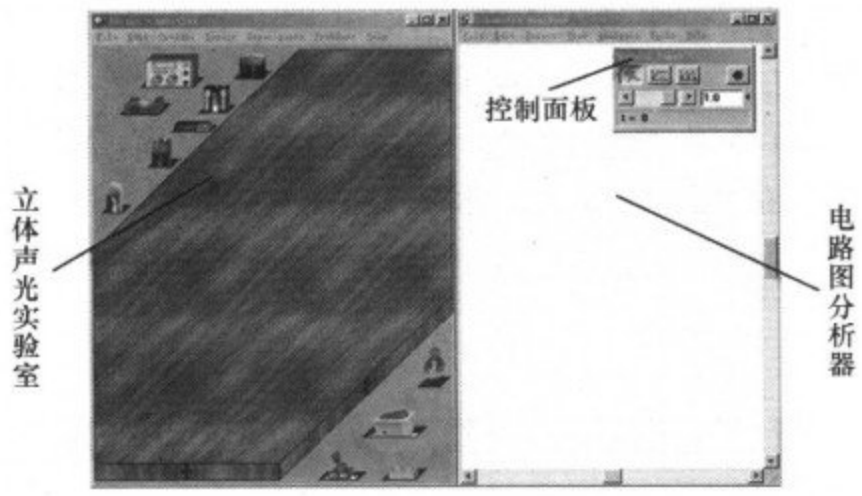


图 12-1　Edison4.0 启动后的画面

从图 12-1 中可以看出，Edison4.0 由三个视窗组成，左边视窗是主界面，为元器件实物图及实物连接界面；右边视窗是电路图分析器，是在主界面里连接好实物图后，随即产生相应电路图的界面；右边上方的小视窗是控制面板。

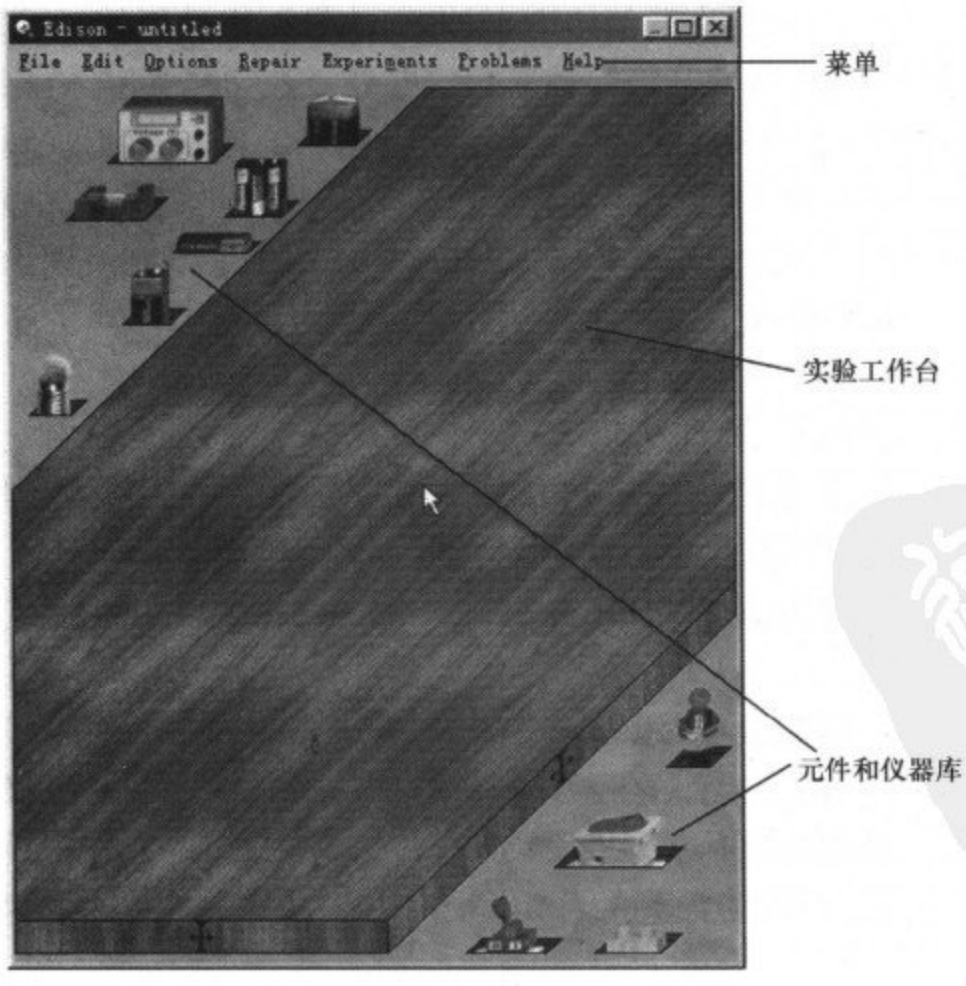


图 12-2　立体声光实验室

Edison4.0 是一种新型的仿真软件，电路中的元件的图形是立体的，可以直接通过鼠标点选拖拽来移动，以组成相应的电路。电路工作时，灯泡、LED 会发光，喇叭会发声，电

动机会旋转。随着外加电压的增加，灯泡会点燃得更亮，电动机会转得更快，甚至听到电动机的转动声。改变元件的参数，就可变更电路方案，电阻标识的彩色条形码(或数值)也会自动地改变。如果外加的电压太高，还可演示灯泡烧毁。当然，烧毁的灯泡及其他损坏的元件，只需用修复功能复原即可。在电脑上，还可引用仪表来测量电路的参数，以及发现和验证电路的定律。

在本书的光盘中，附有该软件的演示版，其栩栩如生的 3D 电路元件，过载引起灯泡损坏，以及所伴随的声响，确实令人有耳目一新之感，非常适合初学者学习和使用。但演示版不能进行保存和打印操作，另外也不支持复杂电路的实验演示。

二、Edison4.0 的立体声光实验室

Edison4.0 左边的视窗被称为立体声光实验室，这是因为该视窗里的实体电子元器件、仪表以及工作台都是立体的，给人一种强烈的真实感。

在立体声光实验室里，可进行动态的实验，如发声、转动、闪光等。不但可进行基本电路实验，还可进行模拟电子和数字电子技术实验。Edison4.0 中配备的元器件虽有点少，但对于初学者来说已经足够了。立体声光实验室如图 12-2 所示，它由菜单、元件和仪器库及实验工作台三大部分组成。

1. 菜单命令

Edison4.0 菜单命令比较简单，包括文件、编辑、选项、修复、实验、问题和帮助七个子菜单，如图 12-3 所示。

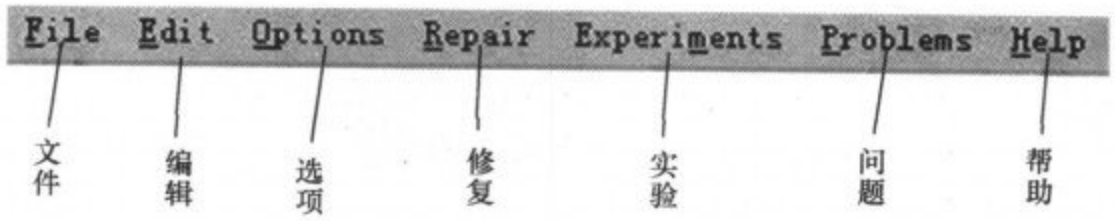


图 12-3　Edison4.0 的菜单

文件菜单主要包括新建、打开、保存、另存为、打开实验组、打开问题组、导出、复制到剪贴板、打印、打印设置和退出等命令，如图 12-4 所示。

编辑菜单中包括选择部件架、背景图片、宏、修改参数、删除、全部修复和重新绘制等命令，如图 12-5 所示。

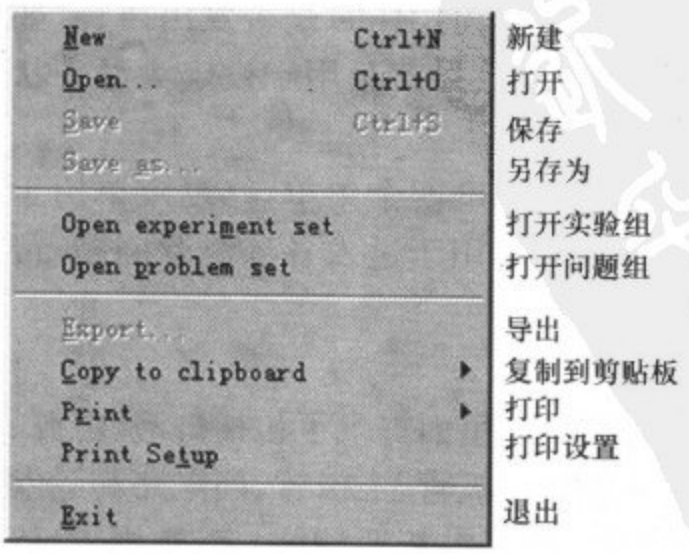


图 12-4　文件菜单

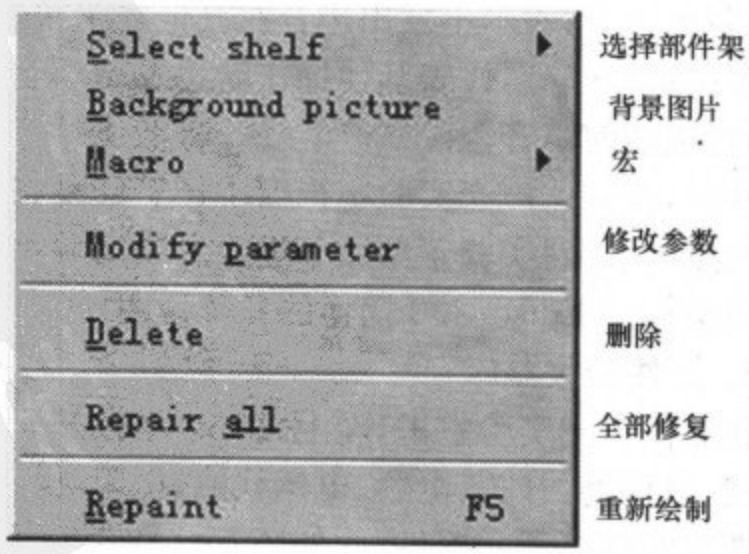


图 12-5　编辑菜单

在编辑菜单中，Select shelf(选择部件架)和 Macro(宏)还有子菜单，关于宏的具体使用，本书不作详细介绍。

选项菜单中包括声音效果、显示故障、线形、移动时持住线、部件架上的提示、电路上的提示等命令，如图 12-6 所示。

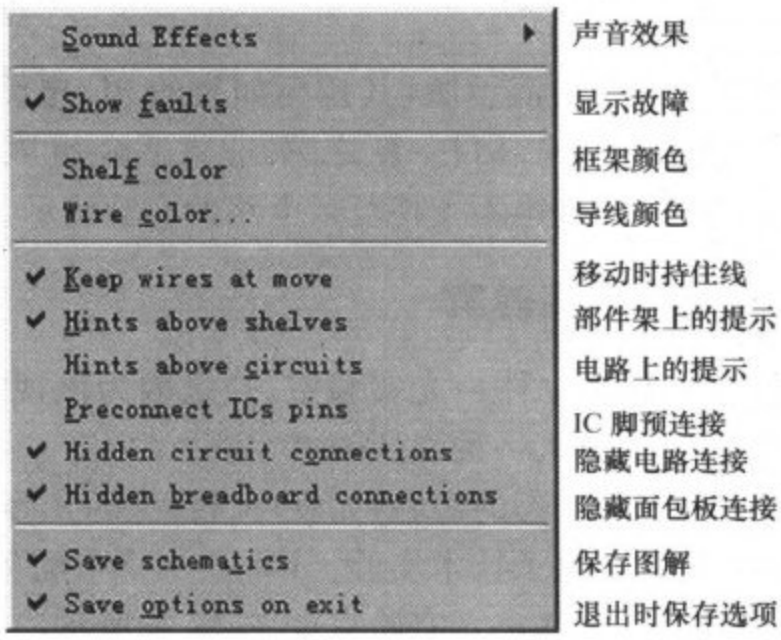


图 12-6　选项菜单

在选项菜单的“声音效果”中还有子菜单，如图 12-7 所示。

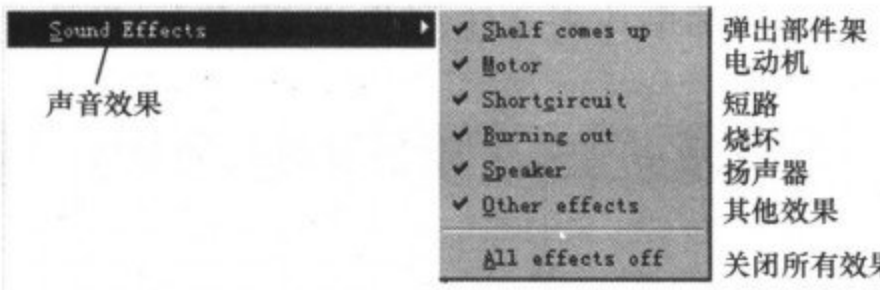


图 12-7　声音效果的子菜单

如果选中弹出部件架、电动机、短路、烧坏或扬声器，即前面有“√”，则设定电路发出声音；若未选中，表示不发出声音。其他效果菜单用于设定其他操作时是否发出声音，如果该项左边打“√”，代表其他操作时将发出声音。关闭所有效果菜单用于设定为静音状态，不发出任何声音。

此外，在立体声光实验室视窗中还有修复、实验、问题、帮助四个菜单，修复菜单用于修复电路的故障；实验菜单用于进入各项实验项目；问题菜单用于进入各项测验问题；帮助菜单里提供 Edison4.0 操作的各项说明。

2. 元件和仪器库

在立体声光实验室里，左上角和右下角是元件和仪器库，里面提供了包括灯泡、电源、保险丝、电位器、开关、电容、电感线圈、电阻、电动机、喇叭、二极管、三极管、门电路和触发器等常用实体电子元器件，此外还有信号发生器、示波器、信号分析器、万用表、欧姆表、伏特表和安培表等测量仪器。用鼠标在元件和仪器库中每点击一次，里面的元件或仪器将

更新一次。下面分别介绍元件和仪器库的各类元件和仪器。

1)电源类元件库

电源类元件库主要有可调电源、1.5V、4.5V、9V 电池以及保险丝和灯泡，如图 12-8 所示。

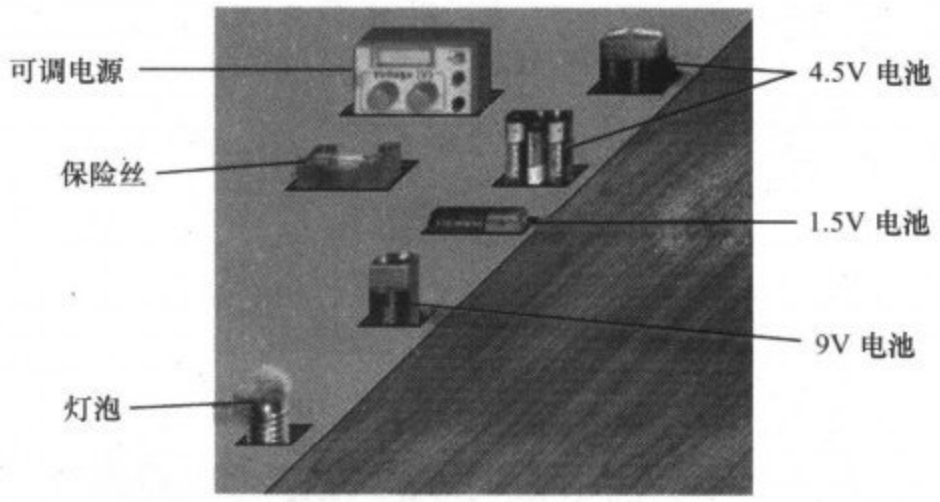


图 12-8　电源类元件库

Edison4.0 的每个部件都有一个或更多的参数供我们修改，修改的方法是：先把部件移到实验工作台，然后移动鼠标到部件上，当鼠标箭头右边出现“?”图标时，双击右键，即可弹出属性对话框。

对于可调电源，通过其属性对话框，可对其内阻、实际电压、电压步幅、最大电压、最小电压等属性进行调整，如图 12-9 所示。

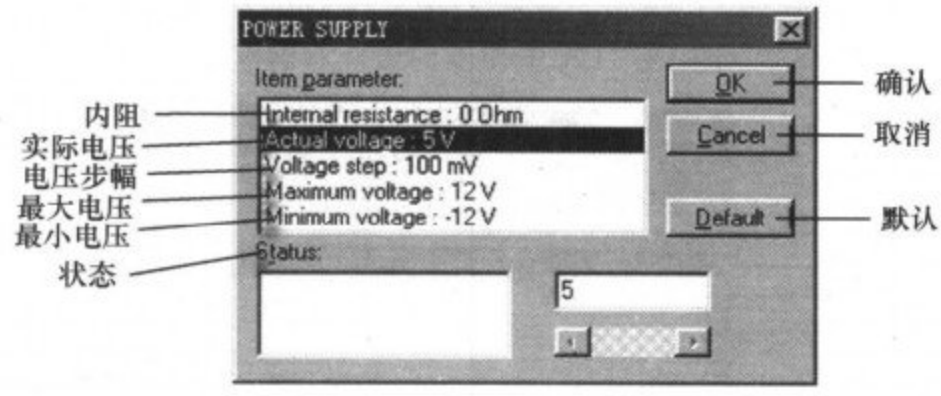


图 12-9　可调电源的属性对话框

对于电池，通过其属性对话框，可对其内阻进行调整；对于灯泡，通过其属性对话框，可对其额定功率和额定电压进行调整；对于保险丝，通过属性对话框，可对其最大电流、电压降和额定电流进行调整。

2)常用元器件库

常用元器件库主要有电动机、电位器、电阻、电容、电感等，如图 12-10 所示。

对于电动机，通过属性对话框，可对其额定功率和额定电压进行调整。

对于电位器，通过属性对话框，可对其实际电阻值、电阻值步幅和最大电阻值进行调整，如图 12-11 所示。

对于电阻，其阻值有两种表示方法，一种是直接标出电阻值，另一种通过色环进行标注，通过属性对话框，可对其公差、电阻值和功率进行调整，如图 12-12 所示。

对于电容和电感，通过属性对话框，可对电容量和电感量进行调整。

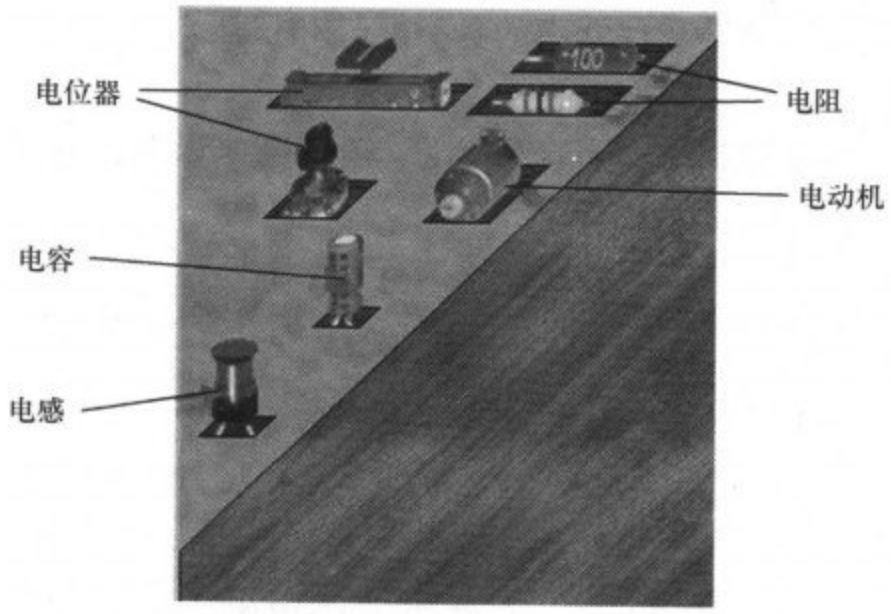


图 12-10　常用元器件库

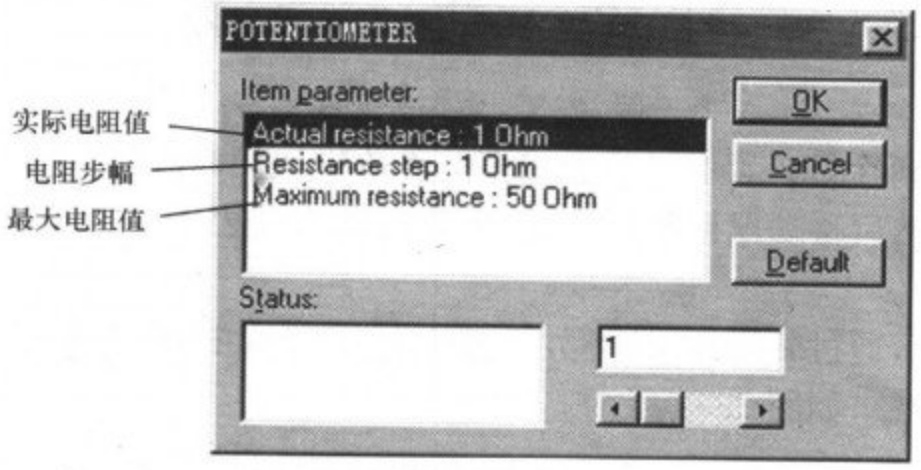


图 12-11　电位器的属性对话框

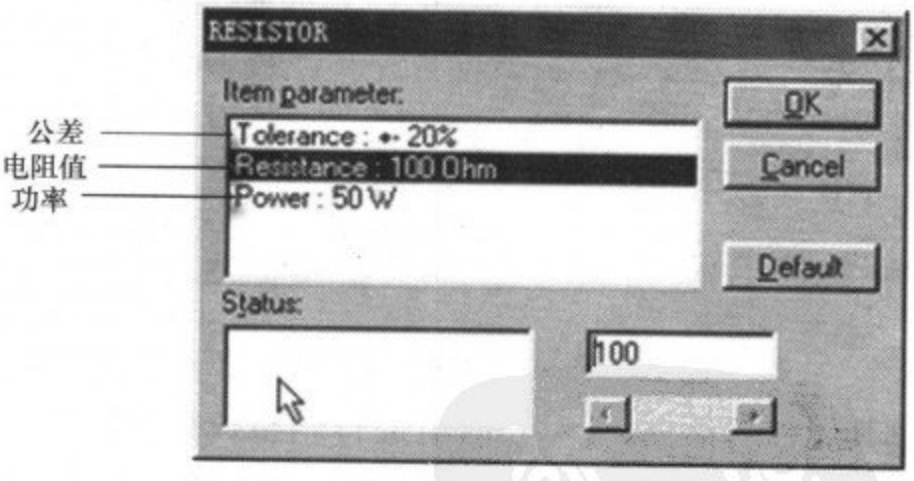


图 12-12　电阻的属性对话框

3)扬声器和仪器库

扬声器和仪器库有扬声器、信号发生器、示波器和信号分析器(扫频仪),如图 12-13 所示。

对于扬声器,可通过属性对话框,对其阻抗进行调整。

信号发生器用来产生一定频率、幅度和相位的正弦波信号。信号发生器的面板如图 12-14 所示。

双击信号发生器,可进入信号发生器的属性对话框,如图 12-15 所示。可调整的内容从上到下依次是:当前频率、频率步幅、最大频率、最小频率、当前相位移、相位移步幅、最大相位移、最小相位移、信号形式、当前电压、电压步幅、最大电压和最小电压。

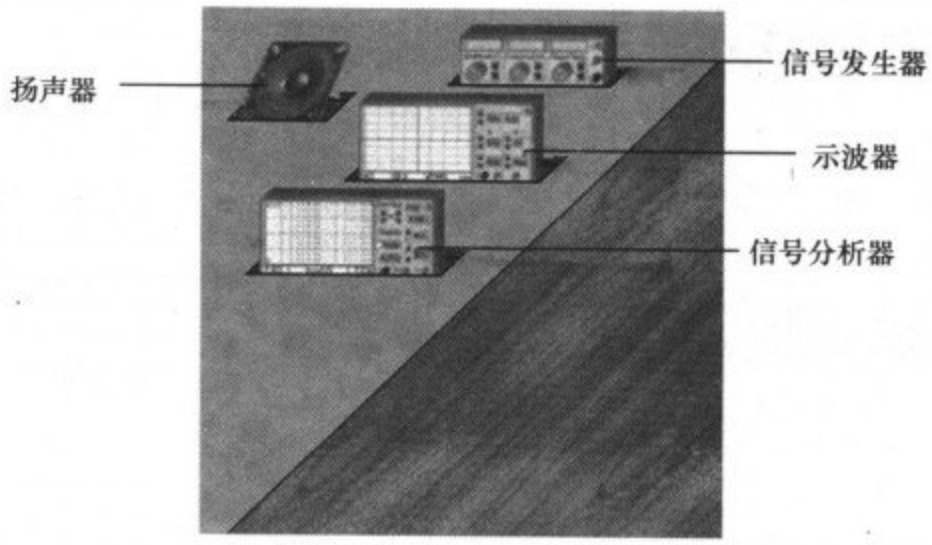


图 12-13　扬声器和仪器库

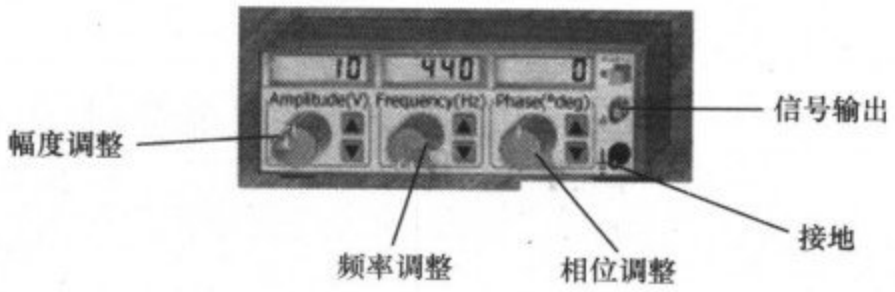


图 12-14　信号发生器面板

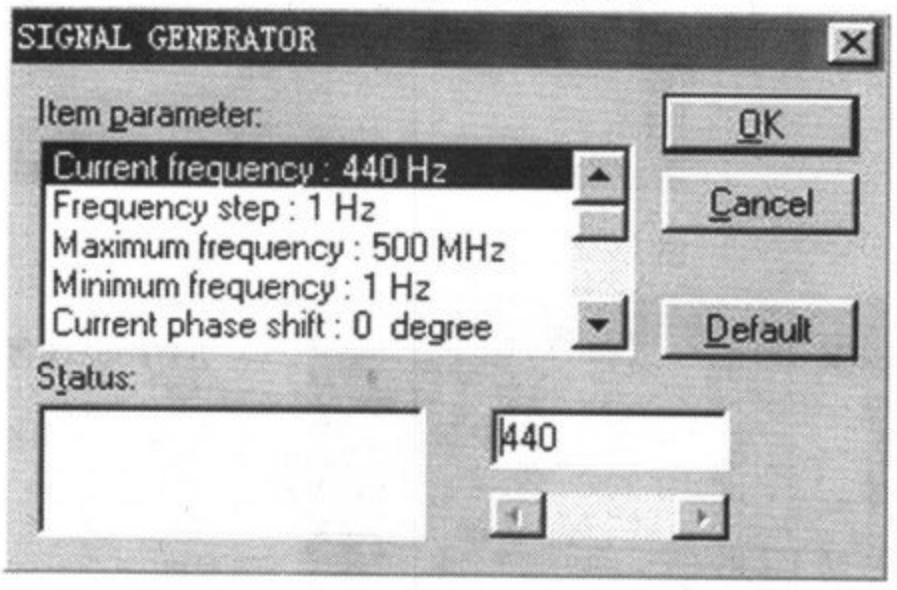


图 12-15　信号发生器属性对话框

示波器为双踪示波器，能同时显示两个通道 A 和 B。示波器面板如图 12-16 所示。

双击示波器，可进入示波器的属性对话框，如图 12-17 所示。

属性对话框中可对 A 通道最大电压幅度、A 通道起点移动、B 通道最大电压幅度、B 通道起点移动和总时间进行调整。

示波器上的 AUTO 为自动按钮，当这个按钮被按下时，系统会自动设置好输出结果的显示幅度、起点以及两个通道的时间。

信号分析器也称扫频仪，是用于获得电路的 AC 传输特性曲线。它能按指定的信号幅度从起始频率到终止频率产生一系列正弦曲线测试信号。频率变化的数量是由指定的采样数量决定的。将信号分析器的 Out 端连接到被测试电路的输入端，将被测试电路的输出端连接到信号分析器的 In 端，按 RUN(运行)按钮，开始信号分析器的扫描。信号分析器面板如图 12-18 所示。

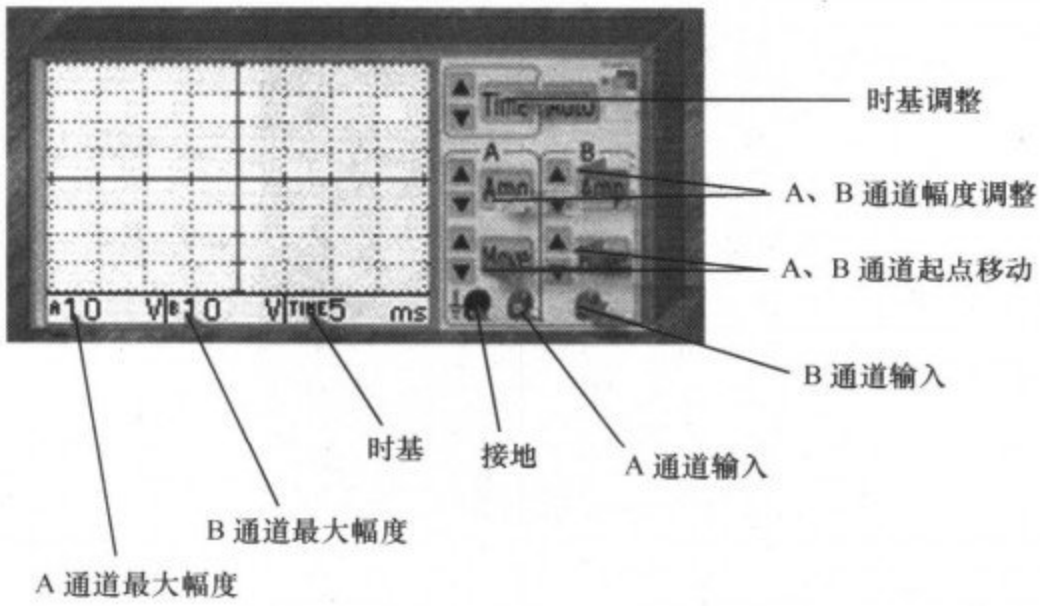


图 12-16　示波器面板

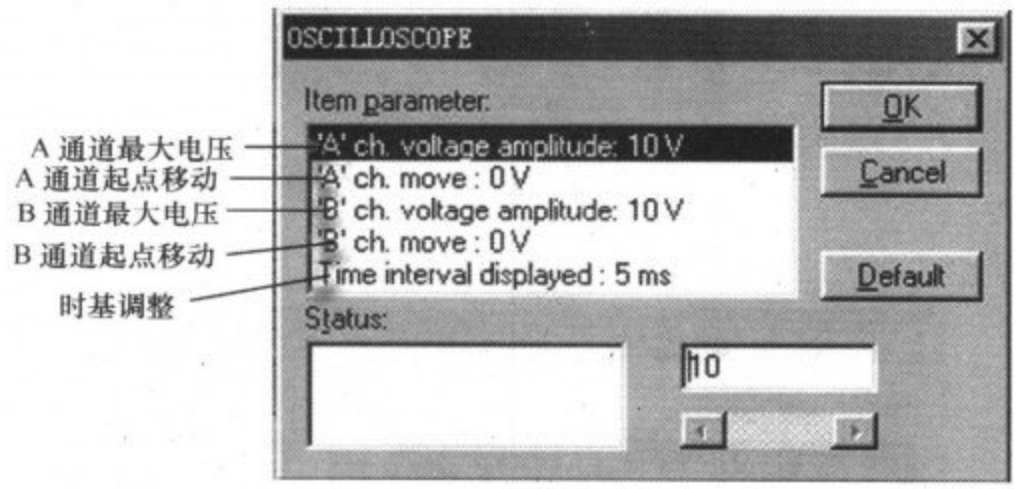


图 12-17　示波器的属性对话框

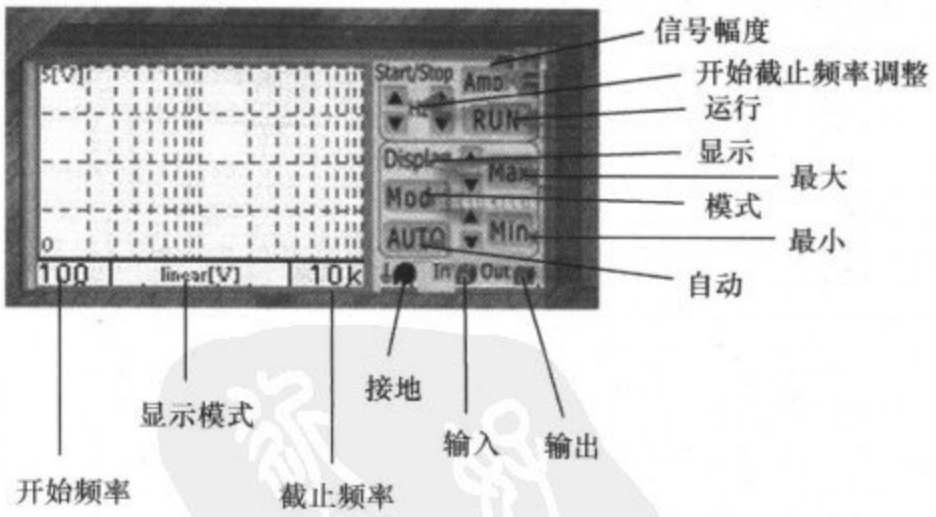


图 12-18　信号分析器面板

面板中，Start/Stop(开始/截止)用于设置扫描信号的开始频率和截止频率；RUN(运行)用来开始扫描；Mode(模式)用于选择显示模式(线性电压、线性放大倍数、对数 dB)；AMP(信号幅度)用于表示每格所代表的电压值。AUTO(自动)按钮可以根据输入信号自动设置显示幅度。Display(显示)用于调整显示的最大、最小信号幅度，可以单击 Max(最大)和 Min(最小)，填上最大和最小的信号幅度值，也可以点击增减箭头调整。

4)半导体元器件库

半导体元器件库有发光二极管、二极管、三极管和场效应管等，如图 12-19 所示。

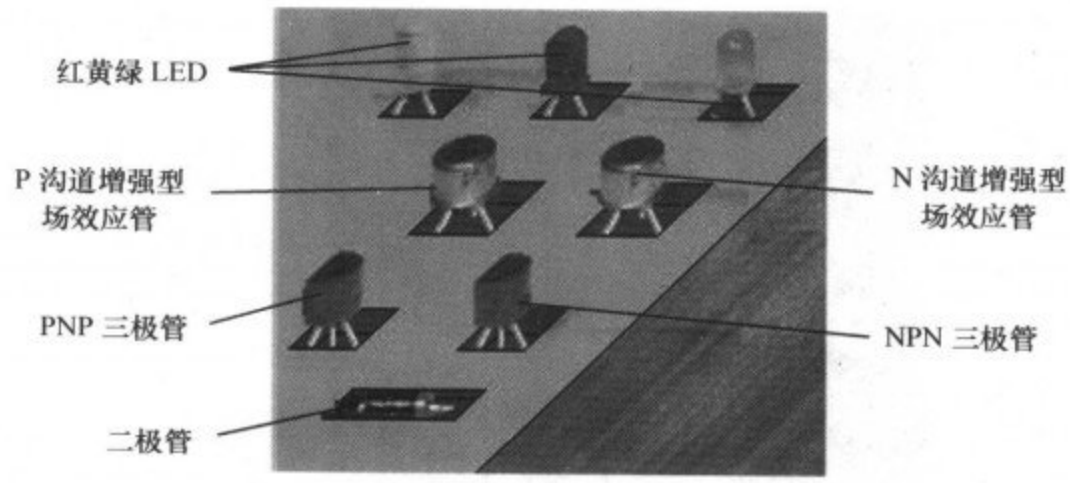


图 12-19　半导体元器件库

5)逻辑门元器件库

逻辑门元器件库有与门、与非门、或门、或非门、非门、异或门和接地等，如图 12-20 所示。

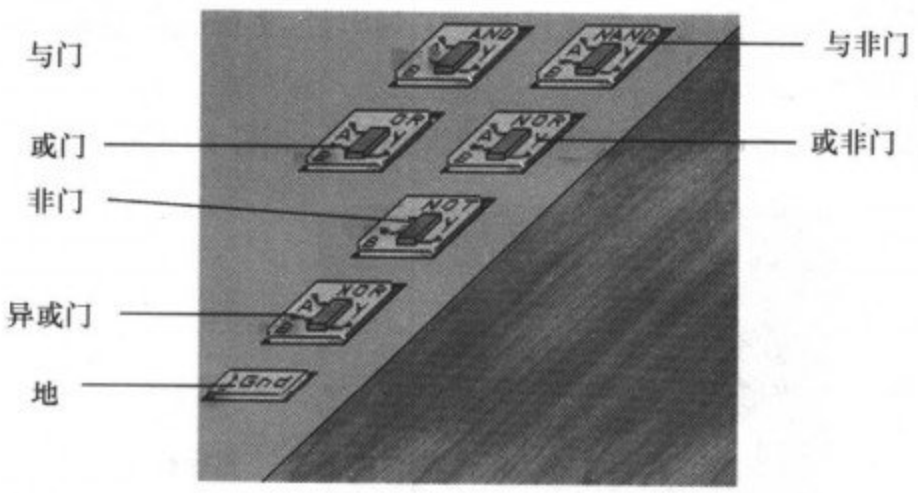


图 12-20　逻辑门元器件库

6)IC 器件库

IC 器件库有 555 时基电路、741 放大器、JK 触发器、D 触发器和锁存器，如图 12-21 所示。

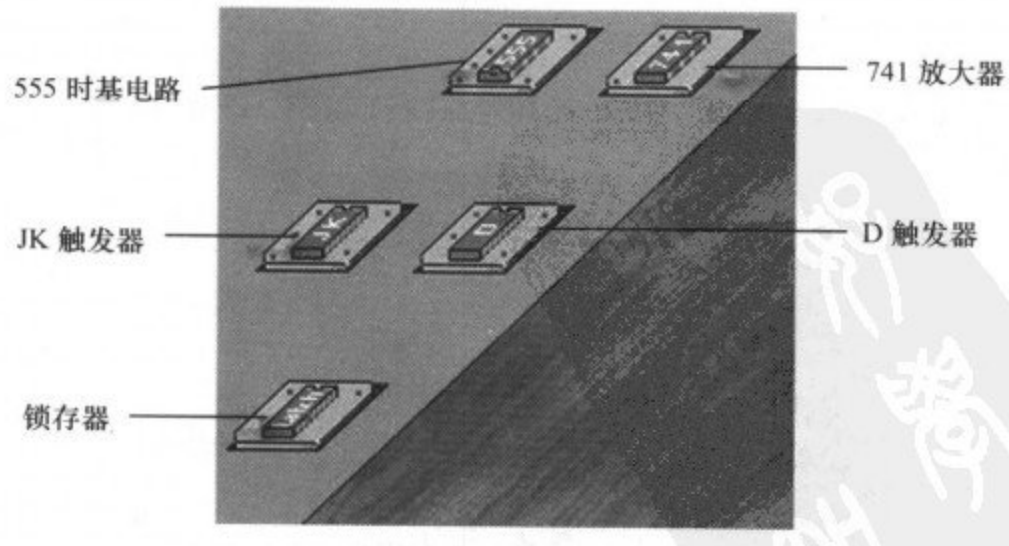


图 12-21　IC 器件库

7)开关器件库

开关器件库有按压式开关、按钮开关、扳钮开关和连接器，如图 12-22 所示。

连接器也称接线柱，应用连接器可用来连接电线，每个连接头允许连接的数量不限，

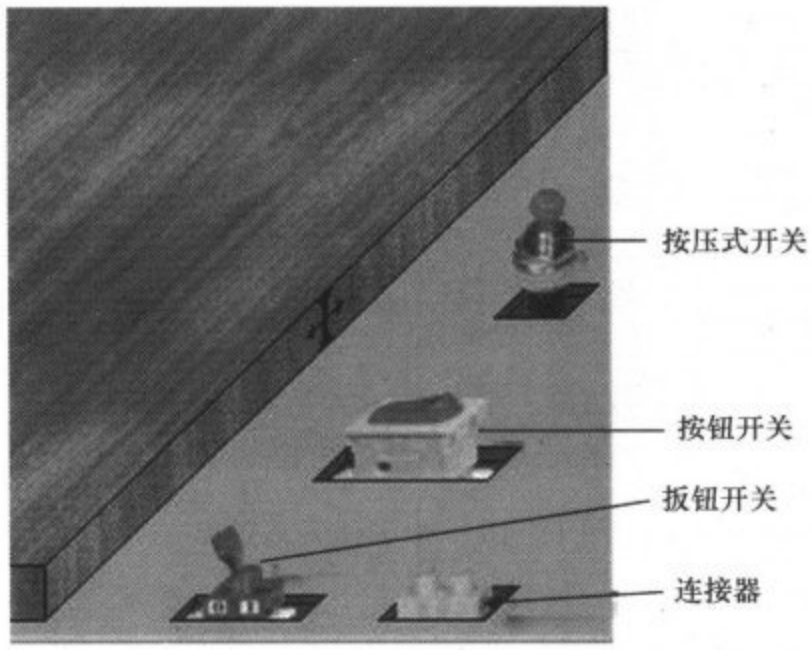


图 12-22　开关器件库

也就是说，能连接任意多的线到一个连接器，它对电路没有电的影响且没有错误状态。

8)选择型开关和继电器库

选择型开关和继电器库有选择型开关和继电器，如图 12-23 所示。

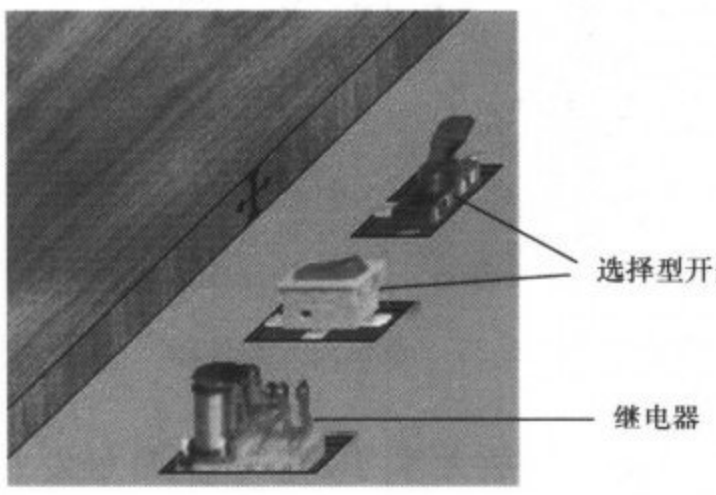


图 12-23　选择型开关和继电器库

9)仪表库

仪表库有数字万用表、电压表、电流表和电阻表，如图 12-24 所示。

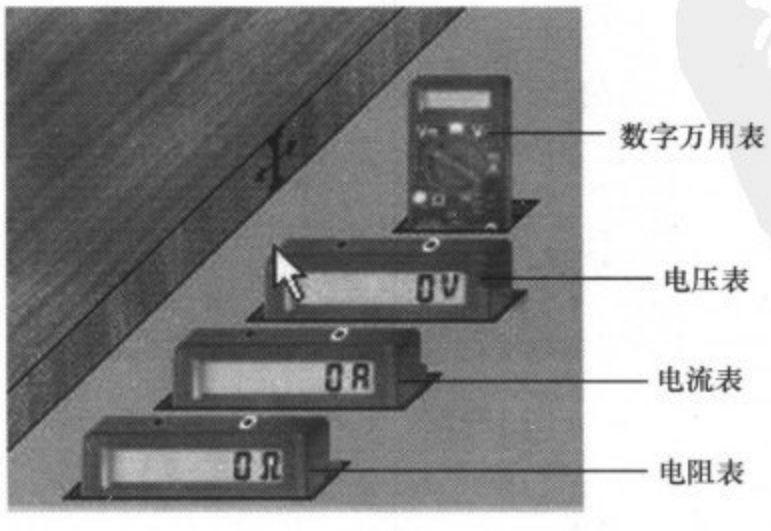


图 12-24　仪表库

数字万用表有 5 种功能，可分别作为直流伏特表、交流伏特表、欧姆表、直流电流表、交流电流表使用。要选择不同功能，只需单击万用表上数字指示器上的相应按钮即可。

10)写字板

在进行电路组建或实验时，可以通过写字板来添加文字信息，好像我们平时用的黑板一样。其中有 4 种大小不等的写字板(微型板、小板、大板、超大板)可供选择。需要注意的是，写字板的调用和前面所述的部件不一样，它必须单击主菜单 Edit(编辑)下的 Select Shelf(选择部件架)来启动。启动后，在元件和仪器库上便出现了大小不等的 4 块写字板，如图 12-25 所示，然后才能像其他部件一样调用。

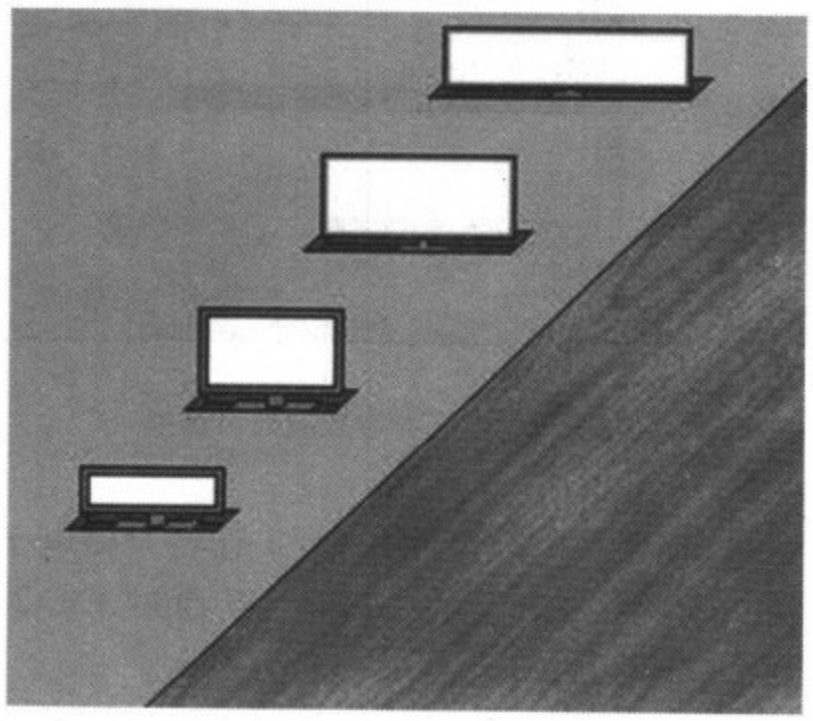


图 12-25　四块写字板

可以在写字板上写下实验内容、步骤、原理、要求、提示等。写字板调用到实验工作台后，双击该写字板，便会出现一个文字编辑对话框，这样可以输入想要书写的内容，如图 12-26 所示。



图 12-26　文字编辑对话框

重点提示：绝大多数部件均有一个错误状态参数，注明为可操作状态或故障状态。如果设置了错误状态，还能模拟一些可能的部件故障。下面以电容器元器件的错误状态设置方法为例进行说明。方法是：先将电容器放在实验工作台上，然后选择主菜单上 Edit(编辑)下的 Modify parameter(修改参数)功能项，鼠标箭头右下方出现图标时，单击欲修改的电容器部件，系统弹出如图 12-27 所示的对话框，在该对话框中的“项目参数”栏内多出了“错误状态”一项，点击该项目，在下面的状态栏内即可选择“无故障”、“开路”和“短路”。

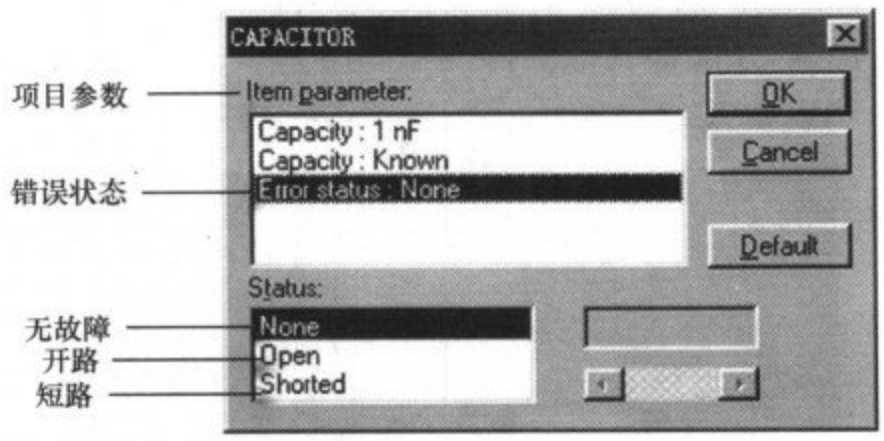


图 12-27　电容器参数属性对话框

3. 实验工作台

在立体声光实验室里，最明显的就是工作台，工作台是做电子实验所必备的东西。Edison4.0 的工作台是可以变化的，也就是说，可以通过 Edit(编辑)→Background Picture(背景图片)选择背景图片。

三、电路图分析器

Edison4.0 右边的视窗为电路图分析器，用于产生实物的电路图。在电路图分析窗口菜单中，有文件、编辑、插入、查看、分析、工具和帮助七个菜单项。如图 12-28 所示，Edison4.0 可通过这个窗口将实验工作台上的实物以电路的形式表示出来。

文件菜单的功能比较简单，其作用是对电路文件进行管理，包括保存、另存为、打印、打印设置等；编辑菜单可以提供一般的编辑功能，如复制、粘贴等；插入菜单可以插入文字和图形，以便对电路图做进一步的补充说明；视图菜单中包括普通视图、页面视图、缩放、网格线、基点标记和重画等，以便对电路图进行编辑；分析菜单可以设置环境温度等分析参数；工具菜单提供了两种工具：一种是图表窗口，在数值分析或测量完成以后，图表窗口把计算的结果用图形显示，第二种是方程编辑器，用于显示分析结果，分析结果能够被复制到图表窗口中；帮助菜单可以根据用户的需要查找相关资料。

四、Edison4.0 的控制面板

Edison4.0 的控制面板如图 12-29 所示，虽然控制面板只有四个功能按钮，但在模拟实验中给我们提供了很多的方便，下面介绍这几个按钮的作用。

按钮 ，作用是设置直流或交流(DC/AC)模式。这是系统的默认方式，这种方式就是假定所有电流和电压不变或按正弦波曲线改变。它能呈现直流(DC)电流/电压的直流值以及交流(AC)电流/电压的有效值或峰峰值。

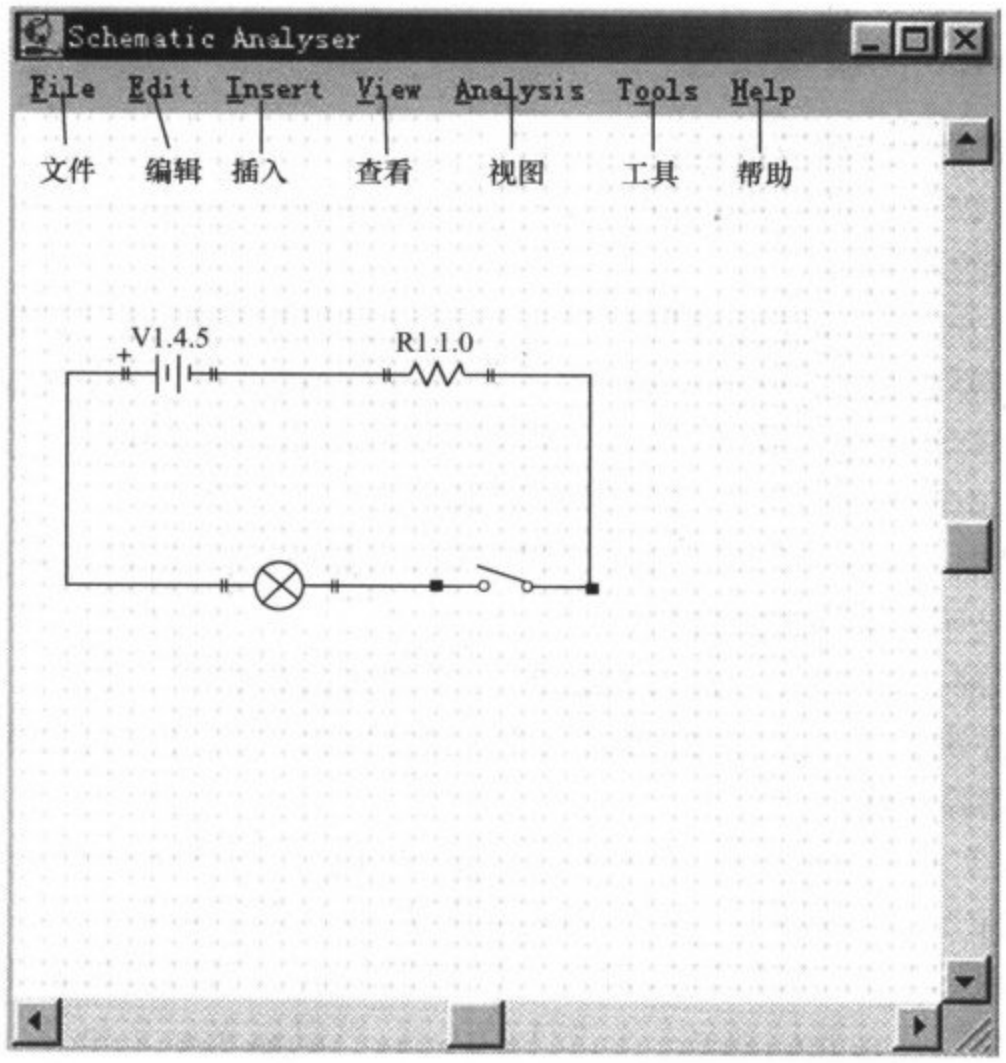


图 12-28　电路图分析窗口

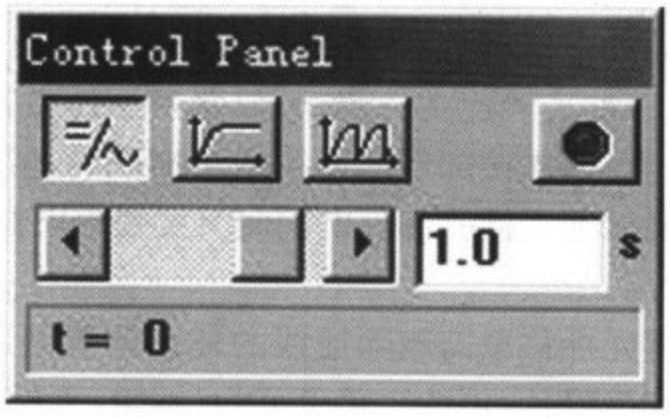


图 12-29　控制面板

按钮，作用是设置单个瞬时模式。按下开始/停止按钮，系统将进行单个脉冲仿真(从零时间到控制面板所设定的时间)。实际运行时间显示在控制面板的底行，注意控制面板的时间设定也影响仿真的实际执行时间，默认仿真时间是 1s。这种方式的重要应用是获得仿真过程的图表或公式，当仿真结束(开始/停止按钮弹出)，移动光标到伏特表、安培表或示波器上，单击鼠标右键，会显示图表、公式等快捷菜单。

按钮，作用是设置连续瞬时模式。按下开始/停止按钮，系统开始进行连续仿真。再次按下开始/停止按钮时不会立即停止仿真，只有当控制面板所设定时间的下一个整数倍到达时才停止。如果需要立即停止仿真，按 DC/AC 按钮即可。

按钮，作用是开始/停止仿真。

下面的滚动条的作用是设定模拟仿真的时间。

五、Edison4.0 的基本操作

1. 将部件放置到实验工作台

系统的大多数命令可以用鼠标执行，单击鼠标左键表示确认，单击鼠标右键表示对对象的删除或操作的取消。

选取部件的方法是：将鼠标放置于部件之上，并按鼠标左键(或回车键)，移动鼠标，则选定的部件会随着鼠标光标移到实验工作台上，同时在右边的电路图绘制区内，也有一个和部件相应的元件符号随之移动，在合适的地方再次单击鼠标左键放置它，在选取和放置部件时还会听到电脑音箱中发出“啪”、“嗒”的声音。

在移动部件时，不必一直按住鼠标左键不放，当部件被移动时，还能通过按 Ctr 键进行旋转，但并不是所有部件都能旋转。

如果选错了部件，可以按鼠标右键取消，如果想将已放置到了实验工作台上的部件移去，只需用鼠标左键按住该部件，拖回到元件和仪器库上，再点击右键即可。

2. 添加和删除连线

当部件已在实验工作台上放置妥当后，还需要将它们用导线连接起来。连接导线的方法是：移动鼠标光标至其中一个部件的连接终端，直到光标变为一个中间有个小钉子的小圆圈，按一下鼠标左键，移动鼠标，则有一条连线被拖出，可以画任意曲线，系统将自动创建平滑路径，继续移动光标到另一个部件的终端，当鼠标光标又变为小圆圈后，点击鼠标左键，电脑音箱会发出“嗒”的一声，则该条连线连接成功。同时右边的电路图绘制区内也会出现相应的连接导线，并且是用整洁的直角线代替徒手画的线，如果在该条连线还未连接完成时需要更改，只需点击鼠标右键，连线便会一段一段地撤消。

如果需要将三条或更多的连线连在一起，可放置一个连接器，并用它连接其余的线。在连接连线时还需注意一点，因连接部件的连线的走向同时还决定了右侧电路图绘制区内电路的导线走向，所以要保证连接好部件的同时又要使电路图规范，就必须在对部件连线时注意连线的走向和距离。

删除连线的方法是：将光标移至需删除连线的任意位置处，此时鼠标光标变为手形，单击鼠标左键，该条连线变为绿色，再选择菜单 Edit(编辑)下的 Delete(删除)或按键盘上的 Delete 键即可；如果想撤消已选定的连线，按鼠标右键或 Esc 键，亦可在其他空白区域单击一下鼠标左键或右键。

3. 移动和删除实验工作台上的部件

要移动部件到另一个位置，将光标放置在该部件之上，并按住鼠标左键不放，这样就能拖拽部件并将其落在新位置。注意当部件被拖拽时，所有连接它的连线都将被删除，这样显然不太好。这里有个小技巧，只需将主菜单 Option(选项)下的 Keep wires at move(移动时持住线)选定，也就是在这个功能项前面打√，就可以保留连线。

另一种移动部件的方法是：将光标移至需移动的部件上，此时光标右侧会出现“?”号(有些部件没有)，再单击鼠标右键，在出现的快捷菜单中选择 Move(移动)，用光标点一下 Move 便能移动部件，部件放到新位置，点击鼠标左键确认即可。

删除部件的方法是：用鼠标点击部件，此时部件周围出现一圈绿线，再选择菜单 Edit(编辑)下的 Delete 用(删除)或按键盘上的 Delete 键。也可在需要删除的部件上点击鼠

标右键，在出现的快捷菜单上选择 Delete(删除)。

4. 修复

当电路中的部件损坏后，可以使用修复命令来修复故障部件。方法是：首先选择主菜单上的 Repair(修复)功能，此时光标将变成一螺丝刀的形状，将其指向故障部件，点击鼠标左键，便可立即修复。

需要注意的是，修复部件前，须弄清导致该部件损坏的原因，是电压过高，是可调电阻器调节不合适，还是其他原因。必须断开电源，有针对性地予以调节，否则，刚修复好的部件又会马上损坏(如电灯再次爆炸等)。在普通编辑和实验方式下，系统将消除错误并复原它的正常状态。有趣的是，在问题解答方式下，若找到了故障部位，系统将为你喝彩；当你试着修理好的部件时，它会毫不留情地嘲讽你。

重点提示：为了检验使用者对基本电路的掌握情况，Edison4.0 设置了问题栏，使用方法是：在主菜单上单击 Problems(问题)，在随后出现的对话框中单击 Problems 文件夹，如图 12-30 所示。

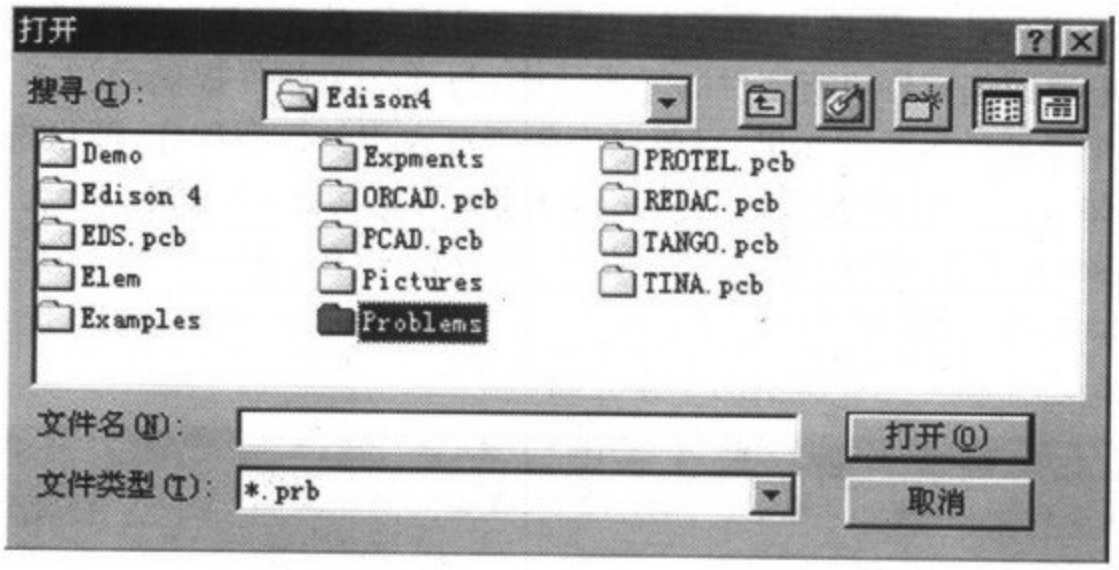


图 12-30　打开 Problems 文件夹

点击 Problems 文件夹的 demo.prb 文件，单击“打开”按钮，再次单击主菜单上的 Problems 选项，即可出现图 12-31 所示的问题对话框，同时伴有进军的号角声。

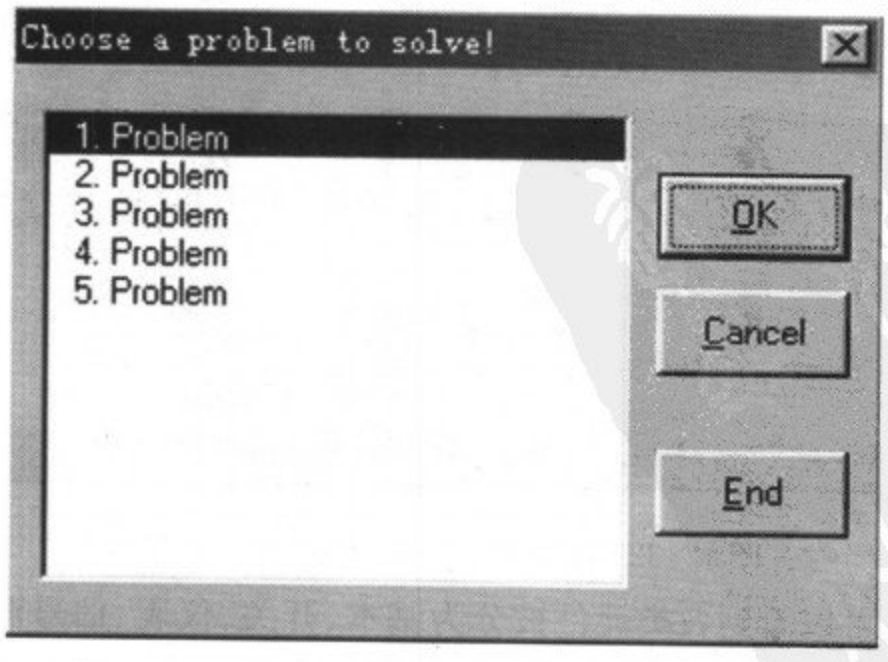


图 12-31　问题对话框

在对话框中共列出了5个问题，可依次单击并确定，Edison4.0会调出这5个问题让你回答，其中有选择题、排除故障题、计算填空题。在出示问题的同时，实验工作台上会出现实物连接图，电路图绘制区内也会出现电路图。在解答这些问题过程中，如果答对了，得了高分，它会给你掌声鼓励，要是答错了，它也会毫不客气地指出。

六、电路图编辑器

为了设计和仿真复杂电路，匈牙利 Designsoft Inc. 公司还设计推出的电路仿真软件TINA。TINA可简便、快捷地绘制电路，可用20种电路分析模式和7种虚拟电学实验设备来分析电路。TINA仿真电路的结果可展现在图、表中或以虚拟仪器的方式显示，或在交互式模式下显示仿真结果。通过仿真分析，可获得电路的符号表达式、波特图、牛克斯图、极点和零点、瞬时响应和数字波形等各种图表。在TINA的图表窗口中，可用绘图工具来添加文字、改变字体、数轴、线宽、颜色等图线属性。还可将电路图粘贴到图表中，或将图表粘贴到电路图中。当然也可以将电路图和图表粘贴到 Word、Powerpoint 等文档中。

其实，在 Edison4.0 软件中捆绑的电路图编辑器就是 TINA 软件的简化版，在Edison4.0的电路图编辑器里所提供的元器件库，与 TINA 软件提供的相差无几，它们分别放置在10个元器件示意图库里，只要切换到所要取用的元器件库，即可选取所需元器件。下面对 Edison4.0 电路图编辑器的元器件库和主要功能简要进行介绍。

启动 Edison4.0 电路图编辑器的方法是：从开始菜单中找到 Edison4 文件夹，找到 Schematic Analyser 文件，如图12-32所示。双击 Schematic Analyser 文件，即可启动电路图编辑器，出现如图12-33所示的工作界面。

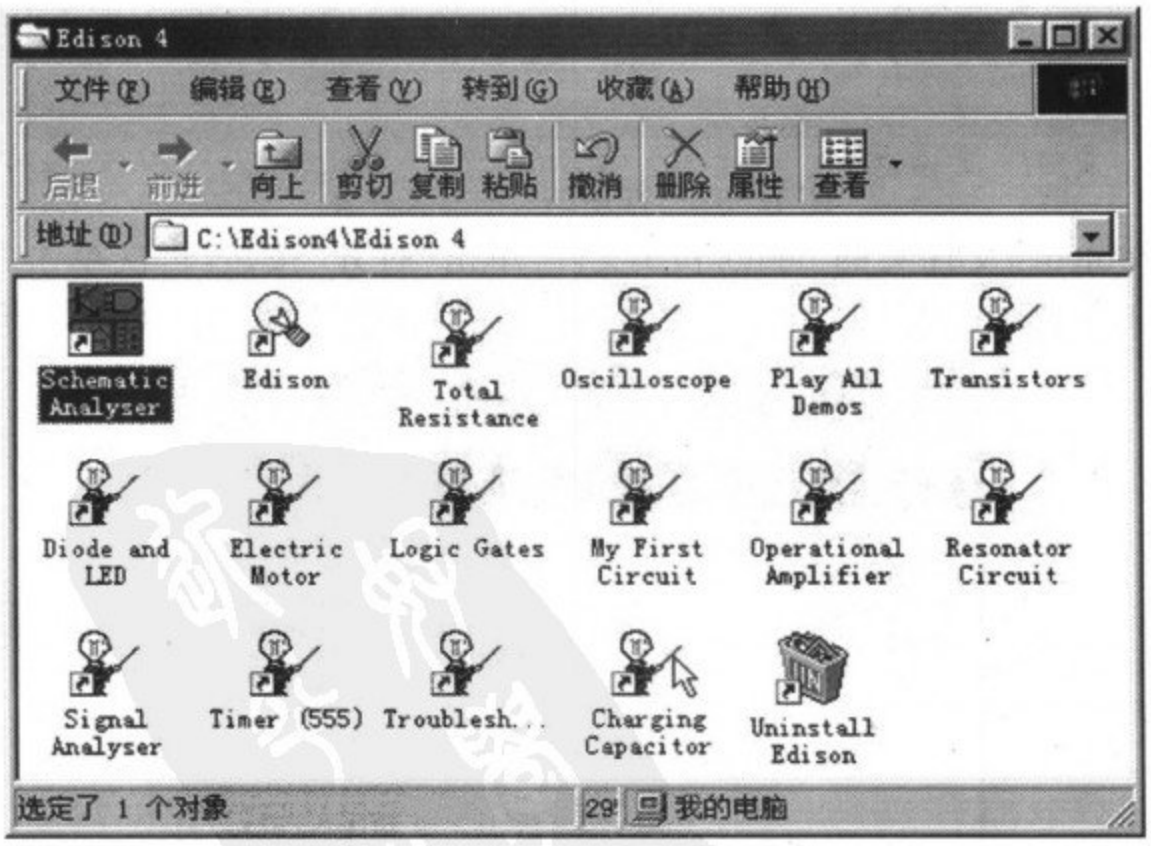


图12-32　找到 Schematic Analyser 文件

在图12-33中，可以看到各类元件被分为基本、开关、仪表、信号源、半导体、逻辑门、触发器、混合器件(AD/DA-555)、逻辑IC、特类等几大类。利用电路图编辑器，不仅可以进行电路原理图的绘制与编辑，还可以对其进行实时仿真分析。

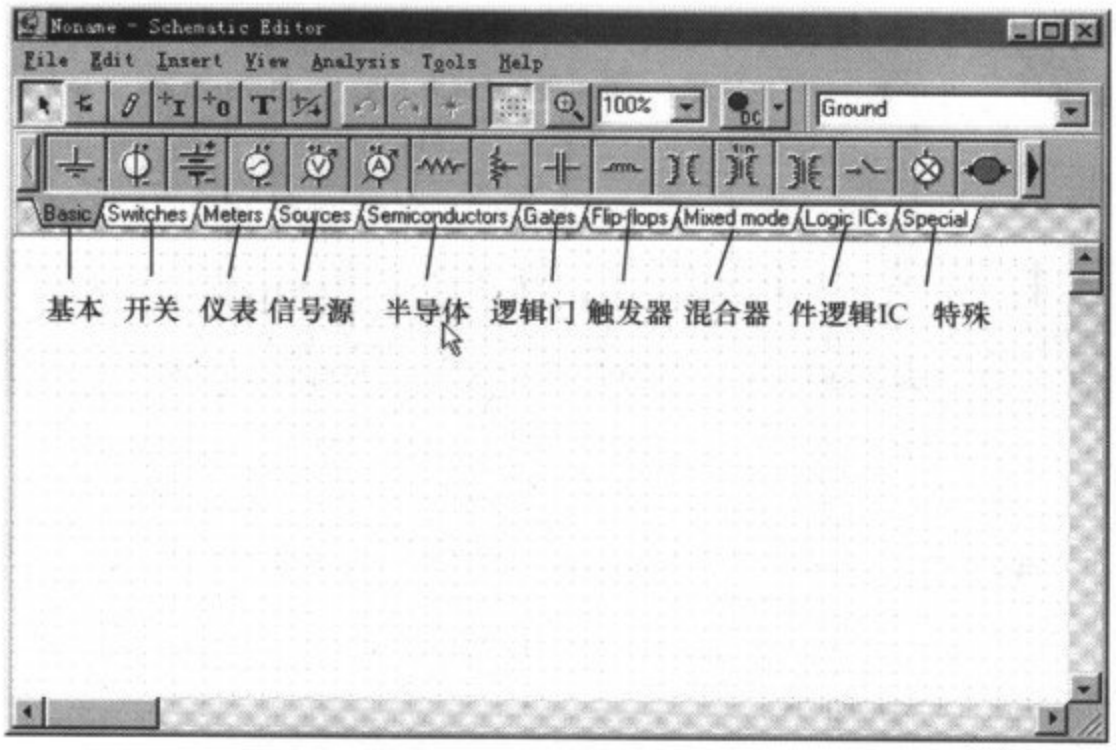


图 12-33　电路图编辑窗口

1. 元器件库

在电路图编辑器元件库中，包含有最常见的元器件，电源、信号源和仪表也被看成是元件。电路图编辑器将元件分成基本、开关、仪表等 10 类，每种元件均以图标显示，调用十分方便。

(1)基本器件如图 12-34 所示。

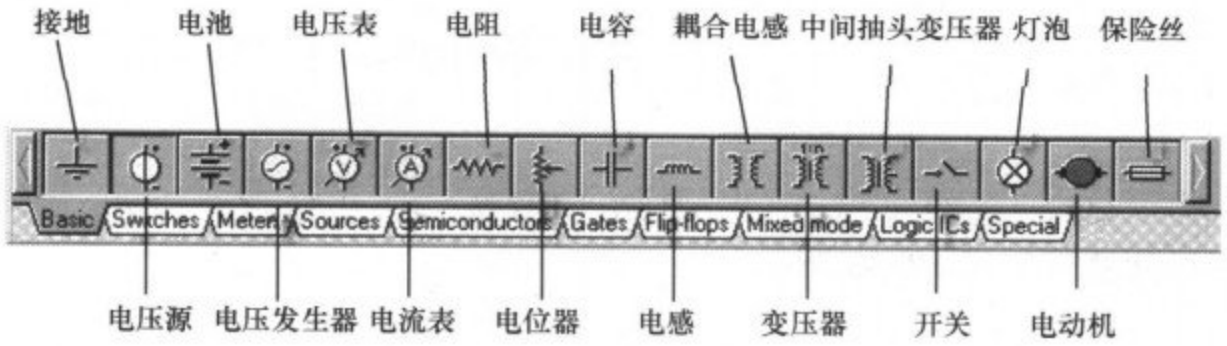


图 12-34　基本器件

(2)开关器件如图 12-35 所示。

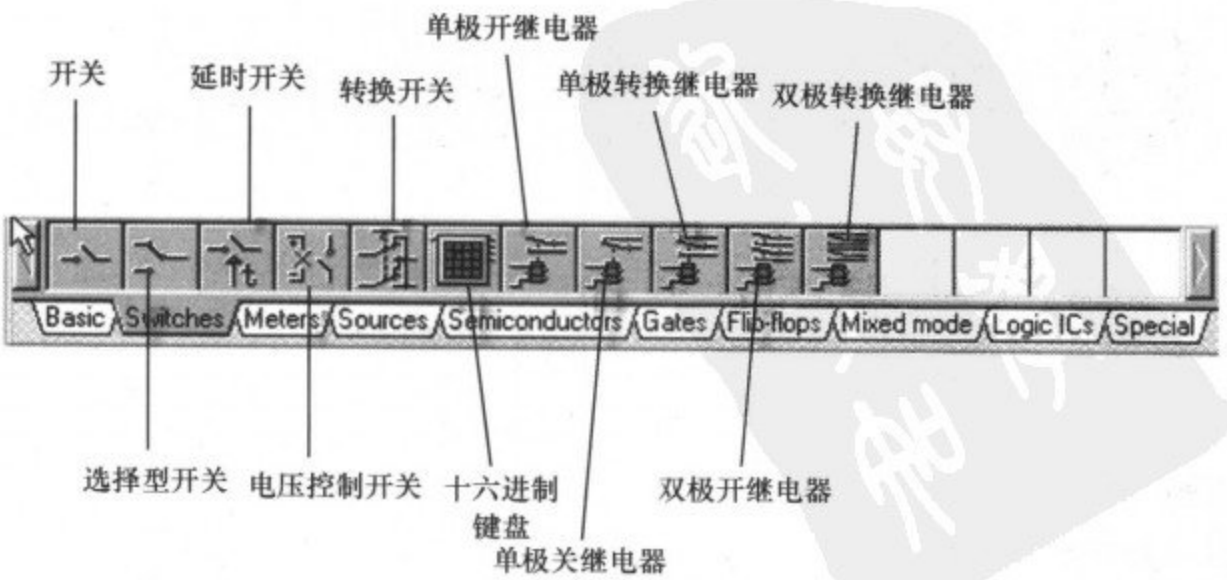


图 12-35　开关器件

(3)常用仪表如图 12-36 所示。

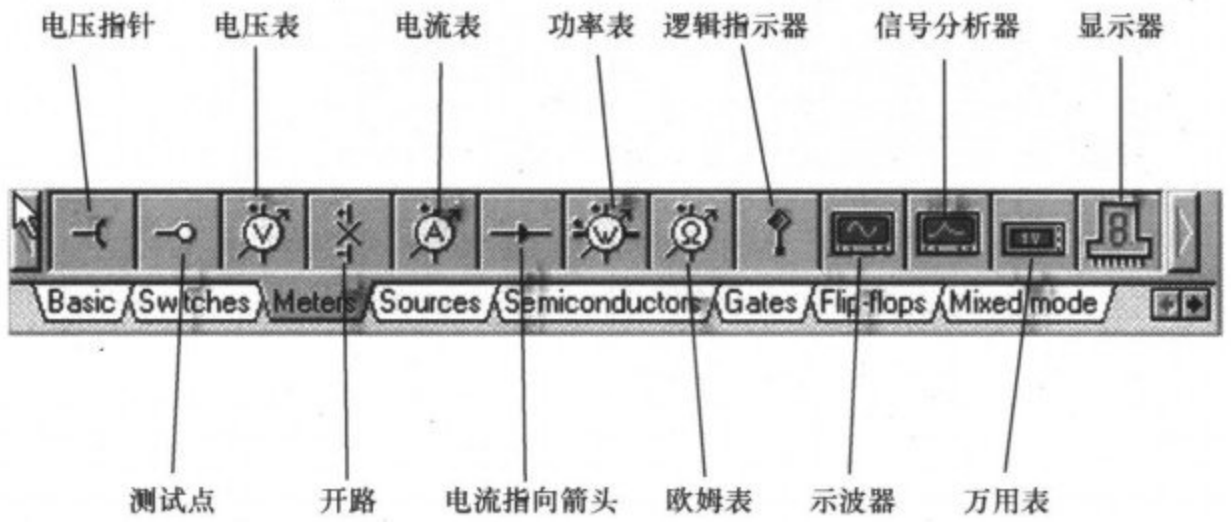


图 12-36　常用仪表

(4)信号源如图 12-37 所示。

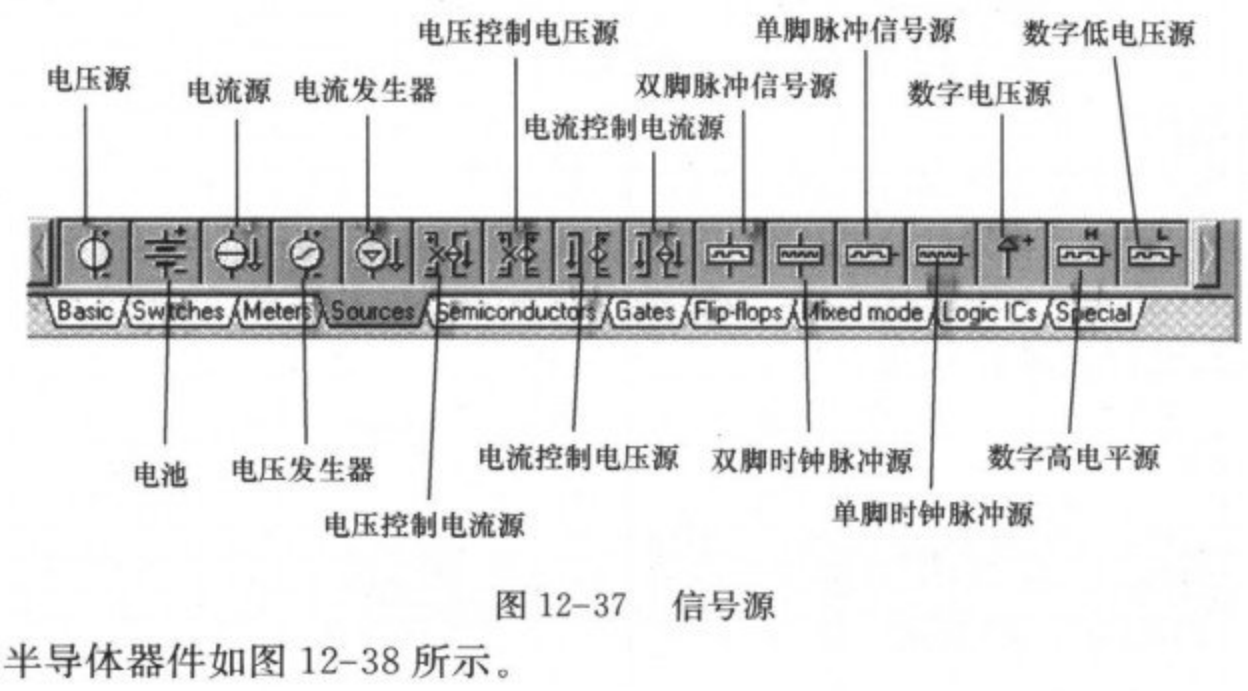


图 12-37　信号源

(5)半导体器件如图 12-38 所示。

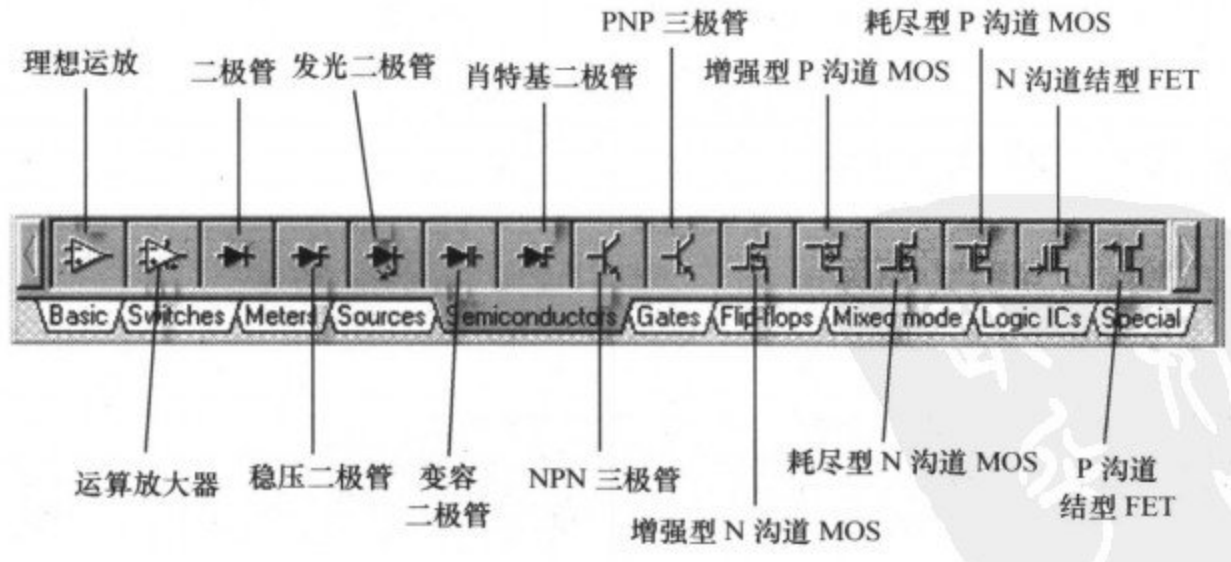


图 12-38　半导体器件

(6)逻辑门如图 12-39 所示。

(7)触发器如图 12-40 所示。

(8)混合器件如图 12-41 所示。

(9)逻辑 IC 只列出了几个典型集成电路,如图 12-42 所示。

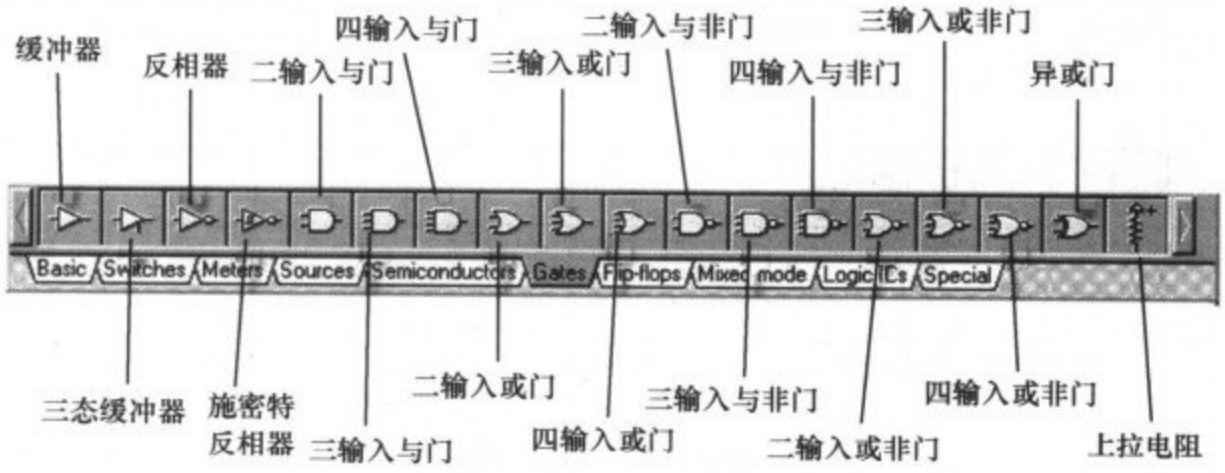


图 12-39　逻辑门

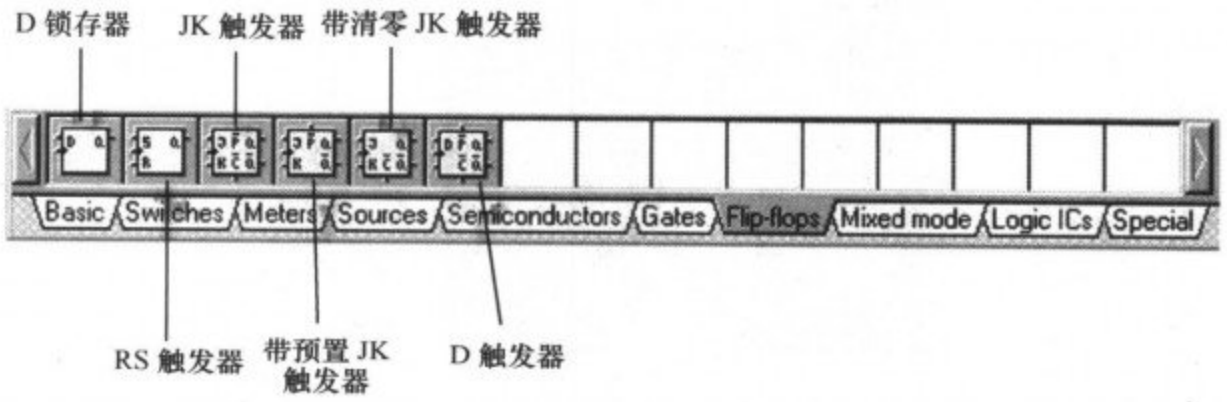


图 12-40　触发器

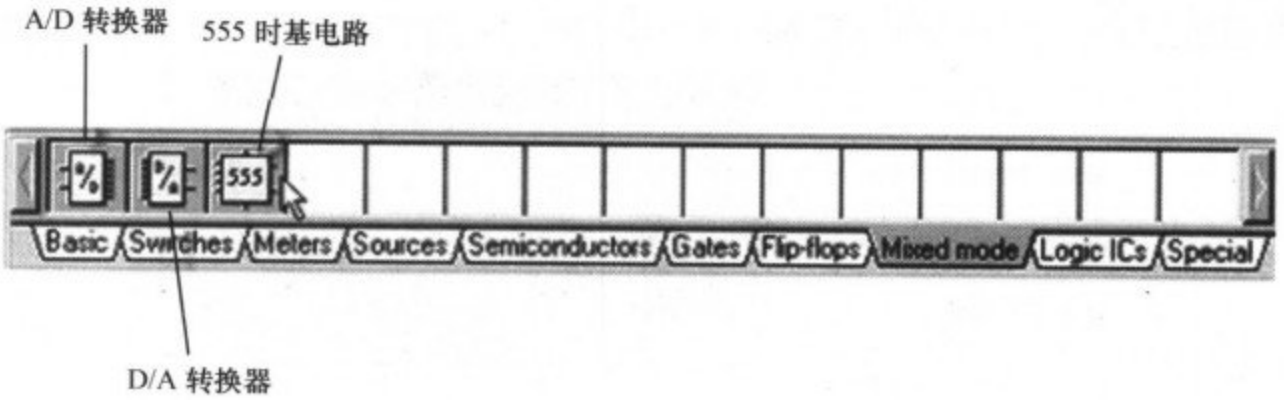


图 12-41　混合器件

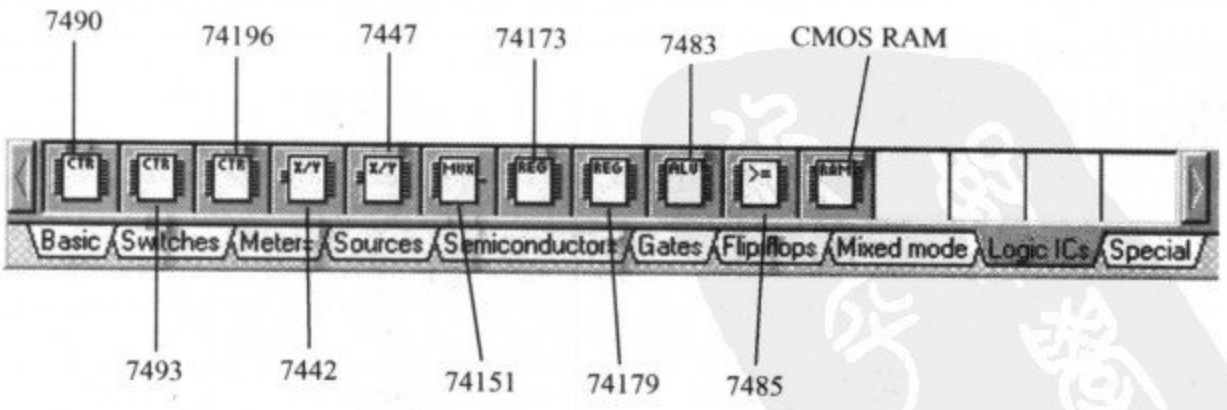


图 12-42　逻辑 IC

(10)特殊器件如图 12-43 所示。

2. 交互式模式

点击工具栏 按钮右边的箭头，即可弹出如图 12-44 所示的下拉菜单。

DC 用于直流分析；AC 用于交流分析；Transient 用于瞬时分析；Transient Single

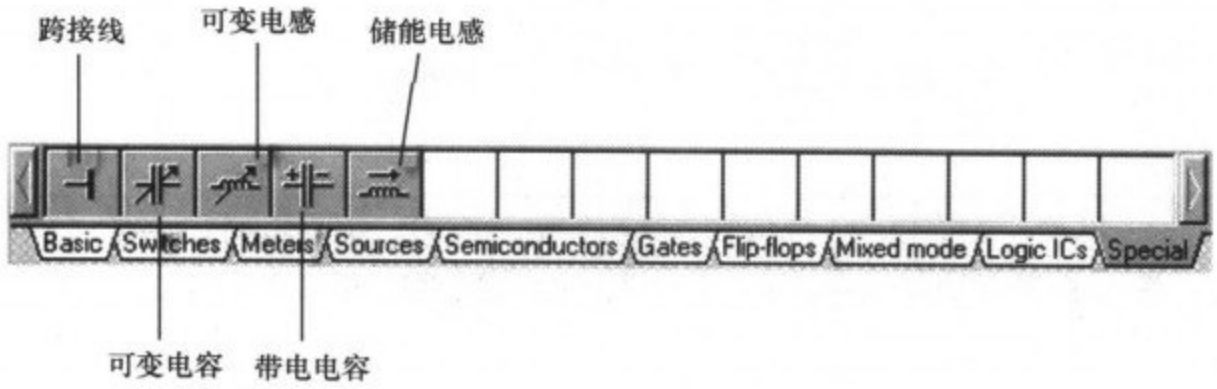


图 12-43　特殊器件

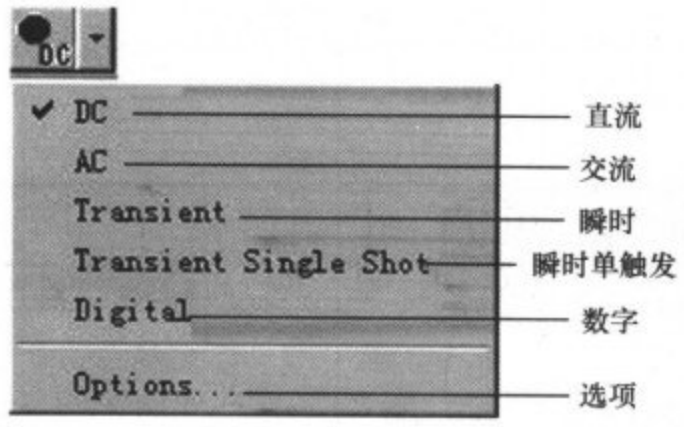


图 12-44　交互式下拉菜单

Shot 用于瞬时单触发分析；Digital 用于数字分析；OPtions 为设置交互式模拟的选项，点击后，出现如图 12-45 所示的选项对话框，可对仿真时间单位和动画时间单位进行设置。

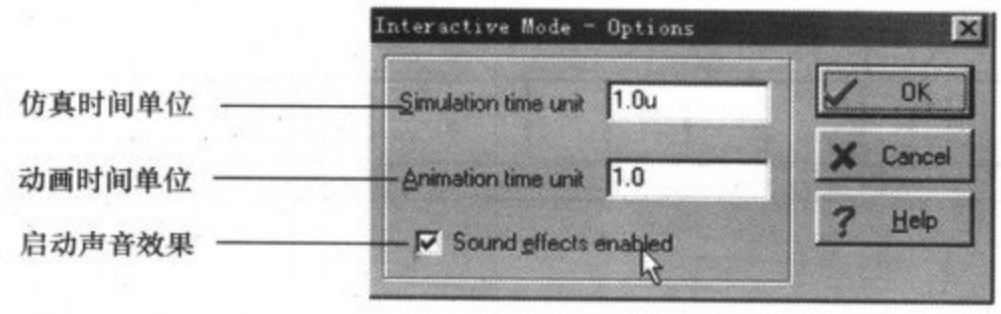


图 12-45　选项对话框

3. 常用数字信号源介绍

1）双脚脉冲信号源

双脚脉冲信号源有两只引脚，其中一只接地。双击该信号源图标，即出现其属性对话框，如图 12-46 所示。

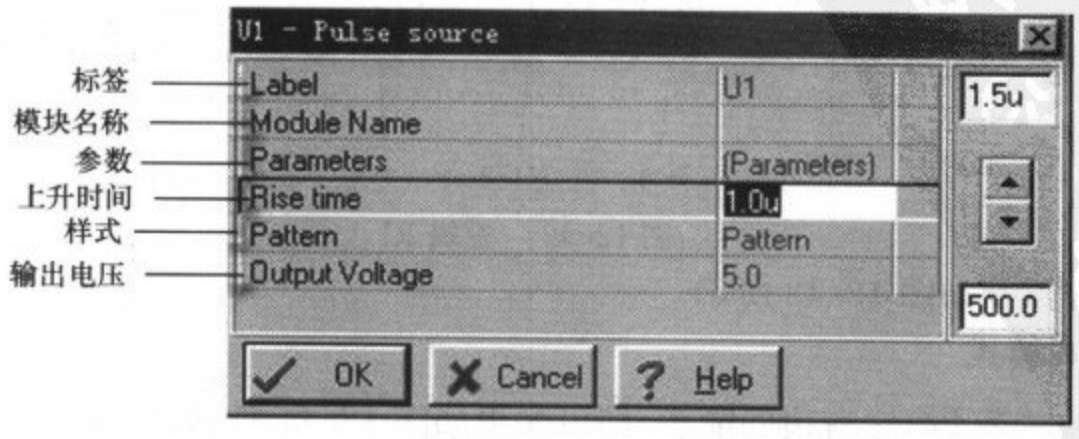


图 12-46　双脚脉冲信号源属性对话框

脉冲波信号源属性对话框主要有以下几项。

(1) Lable(标签):用来设置脉冲波信号源在电路图上所显示的名称。

(2) Module Name(模块名称):用来设置该脉冲波信号源的元器件外形名称,主要是作为设计电路板的界面。

(3) Rise Name(上升时间):用来设置该脉冲信号的上升时间(即 Rise time)或下降时间(即 Fall time)。

(4) Pattern(样式):用来定义脉冲波的内容,点击本栏后,再点击…按钮,即可进入自定义脉冲波的内容,如图 12-47 所示。

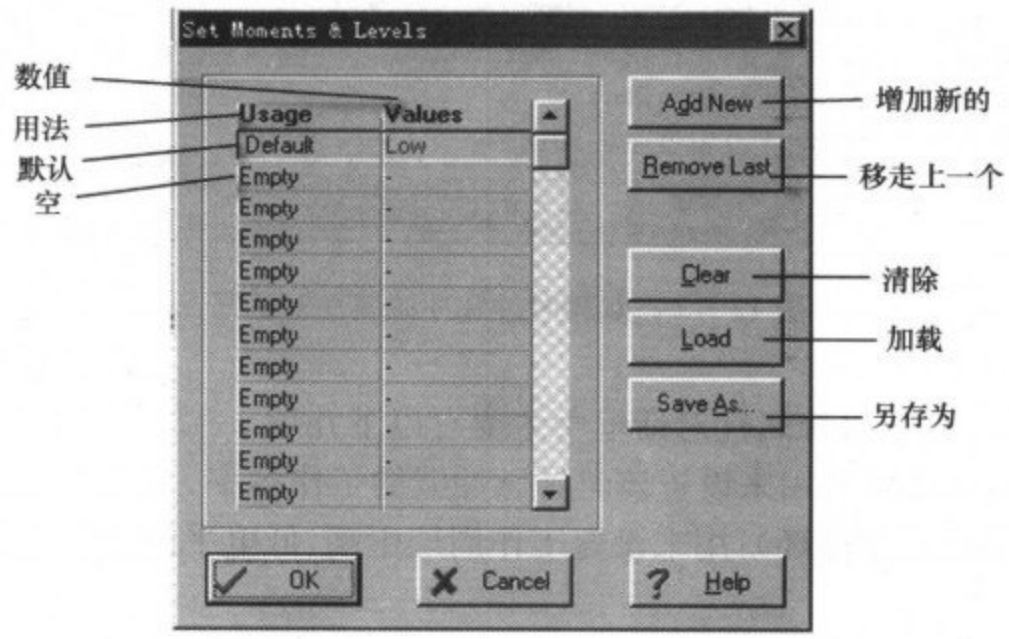


图 12-47　定义脉冲波对话框

第一个栏上为信号预置状态,只要将光标移到其右边栏上点击左键,再点击出现的▼按钮,即可弹出下拉菜单,其中包括低、高、无关和高阻 4 个选项,如图 12-48 所示。

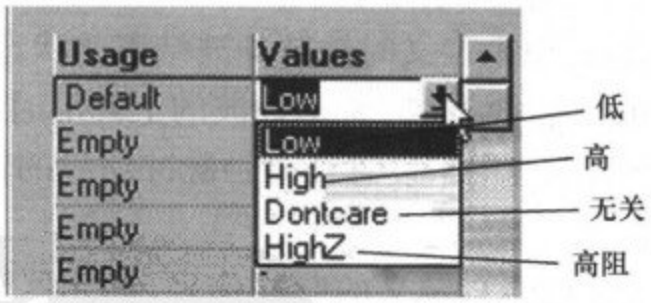


图 12-48　预置状态

“低”为低电平;“高”为高电平;“无关”为不输出信号,为低电平;“高阻”为高阻态,输出电压为总电压的 1/2。

图 12-47 中右边的 5 个按钮可用来编辑想要的脉冲信号。

Add New 按钮的功能是新增一个状态,每点击按钮一次,就新增一组 Moment(时刻)和 Level(幅度)。例如,原本没有任何状态,点击 Add New 按钮后,则新增一个 Moment #1(时刻 #1)和一个 Level #1(幅度 #1),在 Moment #1 栏上填入要持续的时间,而在 Level #1 栏上选择幅度,在该栏中有低、高、无关、高阻 4 个选项可供选择。

Remove Last 按钮的功能是删除前一组 Moment(时刻)和 Level(幅度)。

Clear 按钮的功能是清除所有 Moment(时刻)和 Level(幅度)。

Load 按钮的功能是导入脉冲波产生设置文件。

Save As... 按钮的功能是将本对话框里的资料存为脉冲波产生文件。

2)双脚时钟脉冲源

双脚时钟脉冲源可以提供使用者自定义频率的时钟脉冲信号(Clock)。双击双脚脉冲信号源,可打开其属性对话框,如图 12-49 所示。

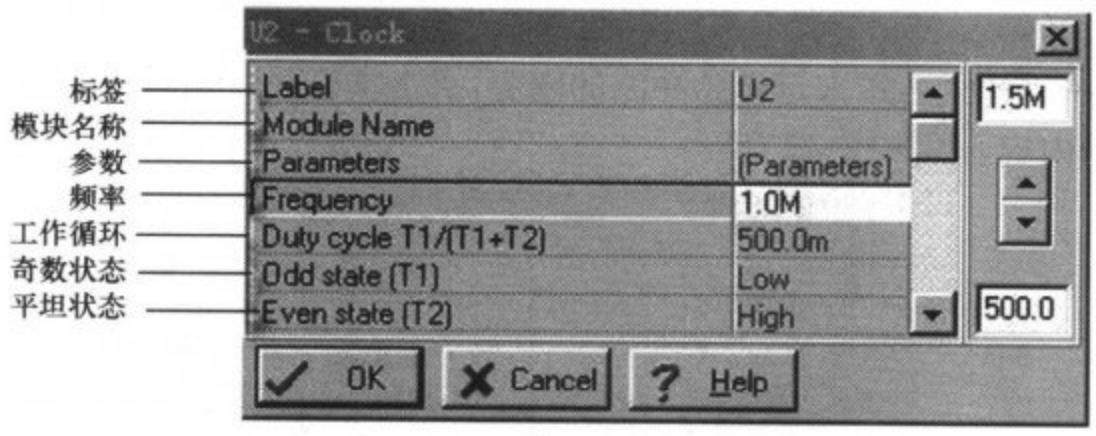


图 12-49　双脚时钟脉冲源属性对话框

双脚时钟脉冲波信号源属性对话框中主要有以下几项。

(1)Frequency(频率):用来设置该时钟脉冲波的工作频率。

(2)Duty cycle(工作循环):用来设置工作周期中高、低电平的比例,在图 12-49 中,工作周期为 0.5s。

(3)Odd State(奇数状态):用来定义时钟脉冲波第一个电平状态。

(4)Even State(平坦状态):用来定义时钟脉冲波第二个电平状态。

(5)Start time(开始时间):用来定义时钟脉冲波的开始时间。

(6)Stop time(停止时间):用来定义时钟脉冲波的停止时间。

(7)Start State(开始状态):用来定义时钟脉冲波开始的状态(电平)。

(8)Stop State(停止状态):用来定义时钟脉冲波结束的状态(电平)。

(9)Rise time(上升时间):用来设置时钟脉冲波的上升沿时间。

(10)Out Voltage(输出电压):用来设置该时钟脉冲信号的输出电压的大小。

3)单脚脉冲信号源

单脚脉冲信号源可提供使用者自定义的脉冲信号,此元器件有一只引脚。它与两只脚的脉冲波信号源的属性设置几乎完全一样,只是此脉冲波信号源多出一个 Ground(接地)栏,除非要把本脉冲波信号源的接地端接到其他端点,否则这个栏上都保持空白,代表接到 0V。

4)单脚时钟脉冲源

单脚时钟脉冲源可提供使用者自定义频率的时钟脉冲信号,此时钟脉冲源只有一只引脚。它与两只脚的脉冲波信号源的属性设置几乎完全一样,设置方法也类似,只是此脉冲波信号源多出一个 Ground(接地)栏。除非要把本脉冲波信号源的接地端接到其他端点,否则这个栏上都保持空白,代表接到 0V。

5)数字电压源

数字电压源可提供使用者自定义电压大小的电压源,本元器件有一只引脚。

6)数字高电平信号源

数字高电平信号源可提供高电平的信号,本元器件有一只引脚。

7)数字低电平信号源

数字低电平信号源可提供低电平的信号,本元器件有一只引脚。

4. 基本操作

1)元件的放置

用鼠标点击需要放置的元件,此时,元件会跟随小手形状的光标一起运动,将元件移到需要放置的位置后,再单击鼠标即可。

2)元件的旋转

选中元件后,点击工具栏上的按钮可向左旋转 90°,点击工具栏上的按钮可向右旋转 90°,点击工具栏上的按钮可进行镜向旋转。也可通过 Edit(编辑)菜单或快捷菜单,找到 Rotate Left(向左旋转)、Rotate Right(向右旋转)、Mirror(镜向旋转)等选项进行操作。

3)元件的连接

将鼠标指向需要连接的元件的一端,此时,鼠标变为笔状,然后拖动鼠标左键至需要连接的另一个元件的一端,连接好后松开鼠标即可。

4)元件的设置

右击元件打开快捷菜单,选中 Properties(属性)命令,即打开该元件的属性对话框,在此框中设置元件的各参数。

(1)元件参数的设置。元件分无源元件和半导体器件两大类。无源元件包括电阻、电容、电感、电位器、开关、灯泡及电动机等。在“特殊器件”栏中有带电电容、能量存储电感等特殊元件。电阻、电容和电感等元件有较多的参数选项。除了元件量值外,还有环境温度和温度系数等参数。电容器可设置并联漏电阻,而电感器可设置串联损耗电阻。所有的元件都可以设置它们的“错误状态”,供学习电路原理使用。

在 Edison4.0 的电路图编辑器中,有较多的半导体器件。在器件属性对话框中点击按钮,可在打开的目录编辑器更改器件的型号,甚至修改器件的模型参数。

(2)信号源参数的设置。“信号源”栏中有 16 种应用于模拟和数字电路的电源和信号源。“电压源”需要设置的参数是电压、IO 状态和内部阻抗。在某些分析中必须将电源的 IO 状态设为“输入”。“电压发生器”必须设置它的信号类型,如脉冲、单步、正弦曲线、余弦曲线、方波、三角波、梯形波和用户自定义等。

(3)仪表参数的设置。在仪表栏中有各种电气仪表或显示器件 13 种。使用最方便的是电压指针和电流指向箭头。电压指针在电路中指示节点电位,电流箭头指示支路电流。电压表、功率表、欧姆表和阻抗表测出电路中相应的电学参量。如果是交流电路,这些仪表还能指示相关的交流参数,如相位、无功功率等。

在此栏中有示波器、信号分析仪和万用表等 3 种仪器图标。仪器图标适合放在电路图中,以表示仪器和电路的连线关系。要使仪器图标正确显示图线,先要设置仪器参数。右击仪器图标,选择 Properties(属性)命令。在打开的属性框中设置仪器的显示相关参数。点击 交互式模式中的瞬时单触发按钮,仿真图线即显示在仪器图标上。要详细研究图线,则选中仪器图标快捷菜单的 Diagram(图表)命令。在打开的图表窗口中可对

图线进行各种设置和分析。如果想测出某电压指针处的波形，应将此电压指针的 IO 状态设为输出。

5)输入端和输出端

输入端和输出端在很多分析中是必需的。要插入一个输入端或输出端，应将光标移动到工具栏的 +I（输入）或 +O（输出）图标上，单击并释放。然后拖动输入端或输出端到电路一个节点上，单击并按住鼠标左键向另一个节点拖动。当输入或输出端已经延伸到第二节点时，释放鼠标。

(1)输入端。对于瞬态分析或 AC 传输特性分析，此命令定义了输入激励将施加到哪两个节点上。一般是将电源的 IO 状态设为“输入”。一个电路在任何时候只能有一个输入端。如果要计算 DC 传输特性，输入函数必须定义为一个信号发生器或一个电阻。信号发生器可以是电压或电流发生器。定义一个电阻器作为输入时，程序对电阻值扫描，程序将按照传输特性设置对话框中的阻值范围步进地改变电阻值。

(2)输出端。其作用是定义电路的输出节点。输出端与输入端的颜色不同。输出端的两个端点必须是不同的网络节点。双击输出端，可在打开的对话框中设置输出端标签。可以选择电压、电流、功率等作为输出量，此时应定义仪表的 IO 状态为“输出”。某些分析类型(DC 传输特性、波特图、瞬时分析)必须有至少一个输出端。

第二节　用Edison 仿真软件做数字电子技术实验

前面对 Edison4.0 的各类元件和仪器的放置、连线、修复等操作进行了说明。下面通过几个具体的实例，简要分析 Edison4.0 在数字电子技术中的应用。通过这些例子，可以看到，Edison4.0 在数字电子技术实验中具有广阔的应用前景，其栩栩如生的 3D 组件、虚拟的测量技术、丰富的元器件模型库及方程编辑器、电路分析器，使我们可以很好地了解各种电路的性质。它不失为一种很好的理论联系实际的方法，也是一种对使用者实际能力培养的有效工具。

一、三极管开关电路实验

三极管开关电路如图 12-50 所示。

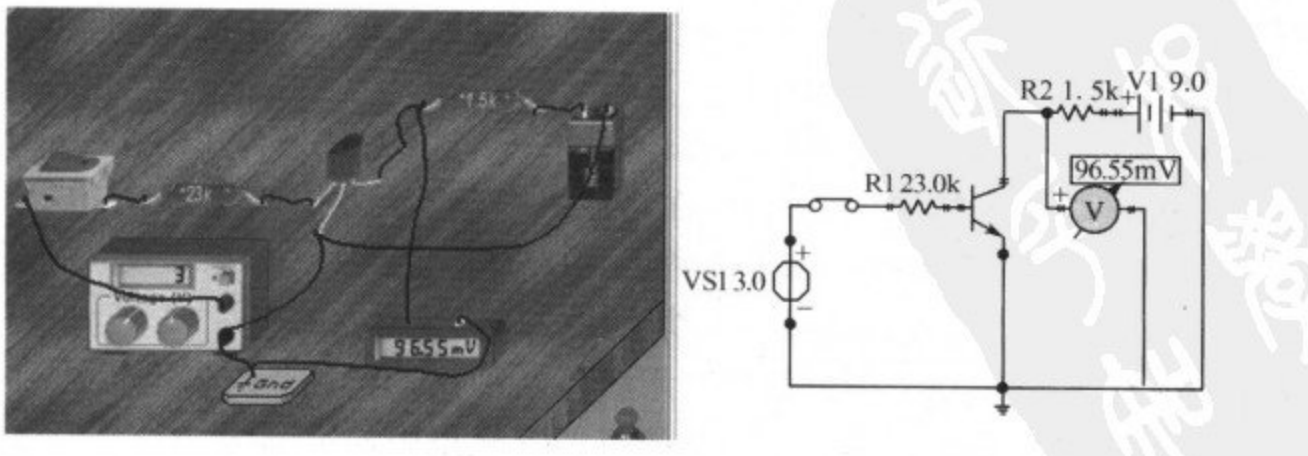


图 12-50　三极管开关电路

按图 12-50 连接好电路，选取的晶体三极管为 NPN 型，电流放大倍数 β 为 100，集电极负载电阻阻值 $R2$ 为 1.5kΩ，基极限流电阻阻值 $R1$ 为 23kΩ。

连接完电路图后即可进行实验。先断开开关，此时伏特表指示为 9V；再接通开关，调整稳压电源输出为 3V，此时伏特表指示为 96.55mV，说明三极管处于饱和导通状态。

下面用理论进行验证。

当输入电压为低电平 $U_L=0V$ 时，三极管 VT 发射结处于反向偏置，VT 为截止状态，$I_b\approx 0A$、$I_C\approx 0A$，所以输出电压 $u_o\approx V_{CC}=9V$。

当输入电压为高电平 $U_H=3V$ 时，三极管是导通的，基极电流：

$$I_B=\frac{U_H-U_{BE}}{R1}=\frac{3-0.7}{23}=0.1(mA)$$

三极管临界饱和时的基极电流：

$$I_{BS}=\frac{I_{CS}}{\beta}=\frac{V_{CC}-U_{CES}}{\beta R2}\approx\frac{V_{CC}}{\beta R2}=\frac{9}{100\times 1.5}=0.06(mA)$$

式中：I_{CS}是三极管 VT 饱和导通时的集电极电流；U_{CES}是 VT 饱和导通时集电极到发射极的电压降，对于开关管，$U_{CES}\leqslant 0.3V$。

由估算结果知，I_B远大于 I_{BS}，所以 VT 深度饱和，此时 $u_o=U_{CES}\leqslant 0.3V$。可见，实验结果与理论计算基本一致。

重点提示：如果将三极管的 β 值改为 40，稳压输入电压为 3V，接通开关，观察实验现象，会发现伏特表指示为 2.95V。这个结果与理论计算是否相符呢？我们再用理论验证一下。

当输入电压为高电平 $U_H=3V$ 时，三极管是导通的，基极电流：

$$I_B=\frac{U_H-U_{BE}}{R1}=\frac{3-0.7}{23}=0.1(mA)$$

三极管临界饱和时的基极电流：

$$I_{BS}=\frac{I_{CS}}{\beta}=\frac{V_{CC}-U_{CES}}{\beta R2}\approx\frac{V_{CC}}{\beta R2}=\frac{9}{40\times 1.5}=0.15(mA)$$

由估算结果知，I_B小于 I_{BS}，所以 VT 不能处于饱和状态，而是处于放大状态。此时，集电极电流 $I_C=\beta I_B=40\times 0.1=4mA$。

所以，三极管集电极电压为

$$U_C=9-1.5\times 10^3\times 4\times 10^{-3}=3(V)$$

可见，实验结果与理论计算基本一致。

二、逻辑门电路实验

逻辑门电路主要有与门、或门、非门、与非门、或非门、异或门等。下面以与门和或门电路为例进行实验。

与门实验电路如图 12-51 所示。

按图 12-51 连接好电路，选取与门电路，限流电阻 $R1$ 为 220Ω，先将两个稳压电源调整为 5V，此时发光二极管点亮，若其中一个稳压输入为 0V，一个为 5V 时，或两个稳压电源都为低电平 0V 时，则发光管不亮。可见，实验现象与理论一致。

或门实验电路如图 12-52 所示。

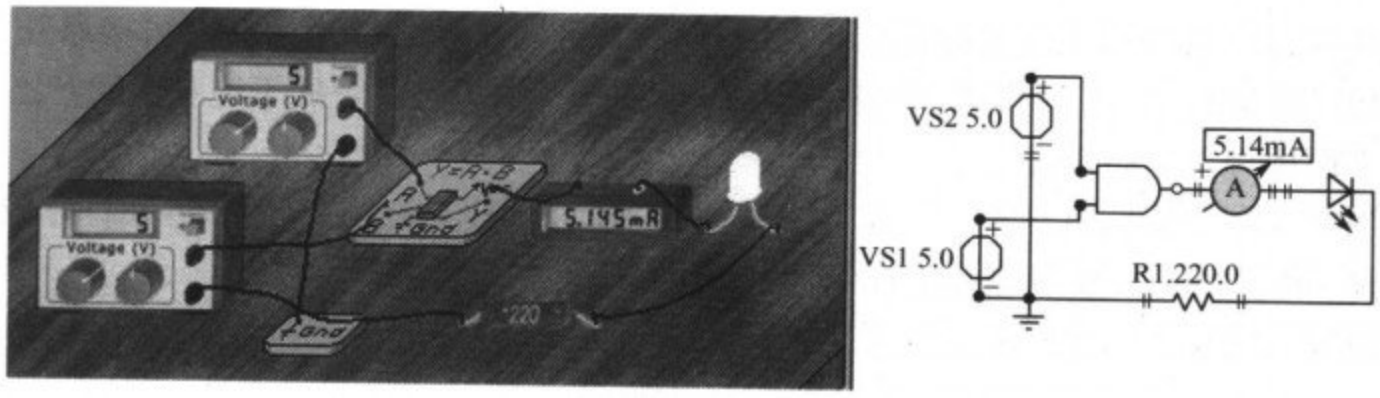


图 12-51　与门电路实验

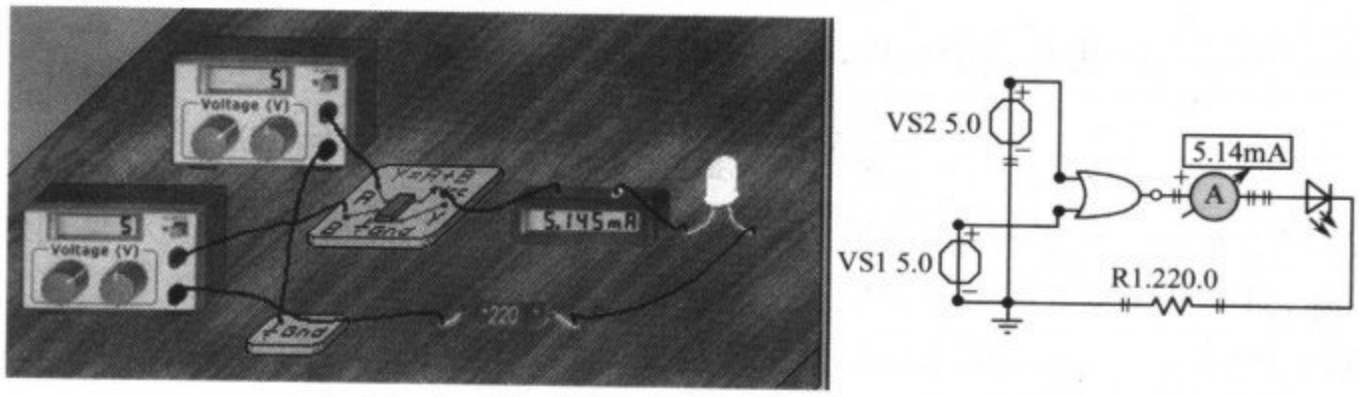


图 12-52　或门实验电路

按图 12-52 连接好电路，选取或门电路，先将两个稳压电源调整为 0V，此时发光二极管不亮，若其中一个稳压输入为 0V，一个为 5V 时，或两个稳压电源都为高电平 5V 时，则发光管都将点亮。可见，实验现象与理论一致。

三、译码电路实验

在 Edison4.0 的电路图编辑器中，提供了译码集成电路 7447，其管脚功能如图 12-53 所示。

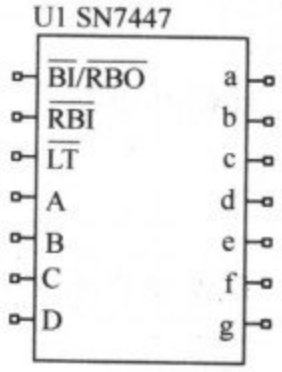


图 12-53　译码集成电路 7447 管脚功能

7447 的 a～g 为反码输出，且输出端为集电极开路型，可以直接驱动共阳数字显示器，其真值表见表 12-1。

表 12-1　7447 的真值表

十进制数	输入						BI/RBO	输出							显示
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
	0	×	×	×	×	×	1	0	0	0	0	0	0	0	8
	1	0	0	0	0	0	×	1	1	1	1	1	1	1	灭
	×	×	×	×	×	×	0	1	11	1	1	1	1	1	灭
0	1	1	0	0	0	0	1	0	0	0	0	0	0	1	0
1	1	×	0	0	0	1	1	1	0	0	1	1	1	1	1
2	1	×	0	0	1	0	1	0	0	1	0	0	1	0	2
3	1	×	0	0	1	1	1	0	0	0	0	1	1	0	3
4	1	×	0	1	0	0	1	1	0	0	1	1	0	0	4
5	1	×	0	1	0	1	1	0	1	0	0	1	0	0	5
6	1	×	0	1	1	0	1	1	1	0	0	0	0	0	6
7	1	×	0	1	1	1	1	0	0	0	1	1	1	1	7
8	1	×	1	0	0	0	1	0	0	0	0	0	0	0	8
9	1	×	1	0	0	1	1	0	0	0	0	1	0	0	9

7447 的详细使用方法介绍见第三章有关内容。

打开电路图编辑器，放入译码器 7447，十六进制键盘，7 段数码显示器，2 个数字高电平源，并按图 12-54 所示连接好电路。

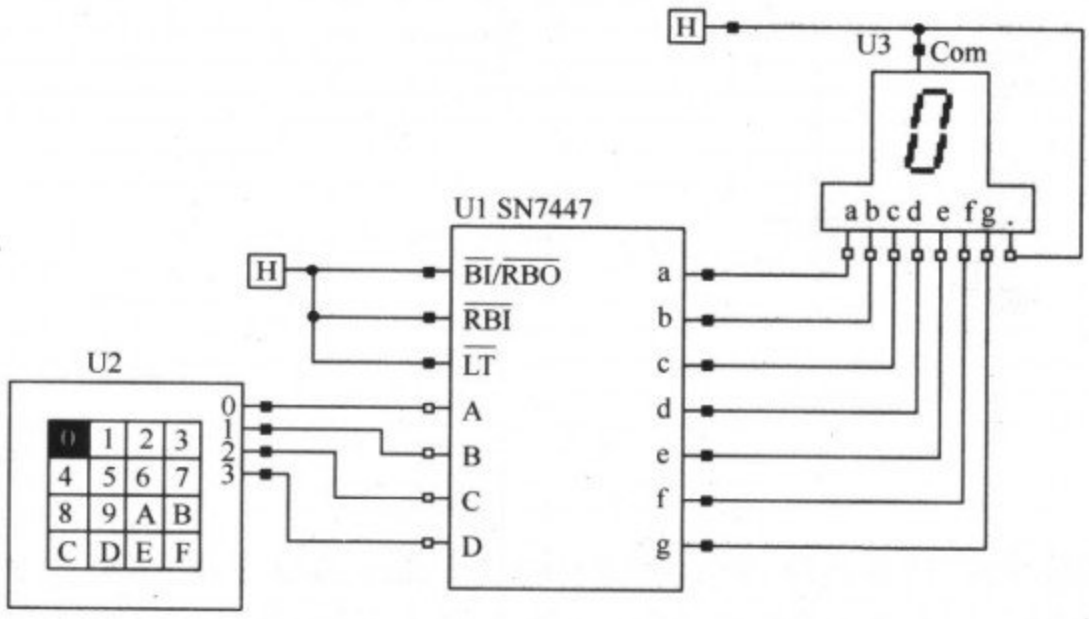


图 12-54　7447 译码电路

进行模拟时，要选用数字分析方法进行分析，方法是：在电路图编辑器工具栏中，点击按钮，从弹出的下拉菜单中选中 Ditital(数字)，再点击工具栏中的按钮进行模拟。此时，将鼠标移到十六进制键盘上，点击相应的数字，在显示器中即可显示出来。

重点提示：根据 7447 的真值表，可以分析出 7447 的$\overline{LT}$、$\overline{RBI}$和$\overline{BI/RBO}$具有以下功能。

$\overline{LT}$为测试端。当该端为低电平，$\overline{BI}$/$\overline{RBO}$端为高电平时，a～g 的 7 个输出端全为低电平，这种情况下可用于使 7 段显示器显示“8”字形，此功能用于测试器件。

$\overline{RBI}$是灭零输入端。当该端为低电平，$\overline{LT}$为高电平时，若输入 ABCD＝0000，则输出 a～g 全为高电平，此时可使共阴 7 段显示器熄灭；但当输入 A、B、C、D 不全为零时，仍能正常译码输出，使显示器正常显示。在显示数不只 1 位的情况下，灭零功能是必要的。例如，有一级两位的显示器，当十位数为 0 时，按传统习惯应当不予显示，此时就要用到“灭零”功能，只需将该位的$\overline{RBI}$端接地即可。

$\overline{BI/RBO}$一方面可作为消隐输入端($\overline{BI}$)。作为输入控制端时，具有最高级别的控制权，当该端为低电平时，不管其他输入端是何状态，输出端 a～g 均为高电平，这可用于使 7 段显示器熄灭。另一方面，该脚还有第二功能，称为灭零信号输出端($\overline{RBO}$)，它的作用是用来控制与之相连的下一位显示器是否需要灭零功能。当该位输入的 BCD 码为 0 且具有“灭零”功能(即$\overline{RBI}$＝0)时，$\overline{RBO}$输出低电平，并将此信号接向下一位译码器的$\overline{RBI}$端，即可控制下一位译码器也具有灭零功能；但若本位输入的 BCD 码不为零，则$\overline{RBO}$输出高电平，这使下一位的$\overline{RBI}$端为高电平，不具有灭零功能。

四、加法器实验

1. 半加器实验

启动电路图编辑器，从元件库中调出 1 个或门 U3，2 个与门 U4 和 U6，1 个非门 U5，

2 个脉冲信号源 U1 和 U2，4 个电压指针，1 个逻辑指示器 U7，并按图 12-55 所示连接好。

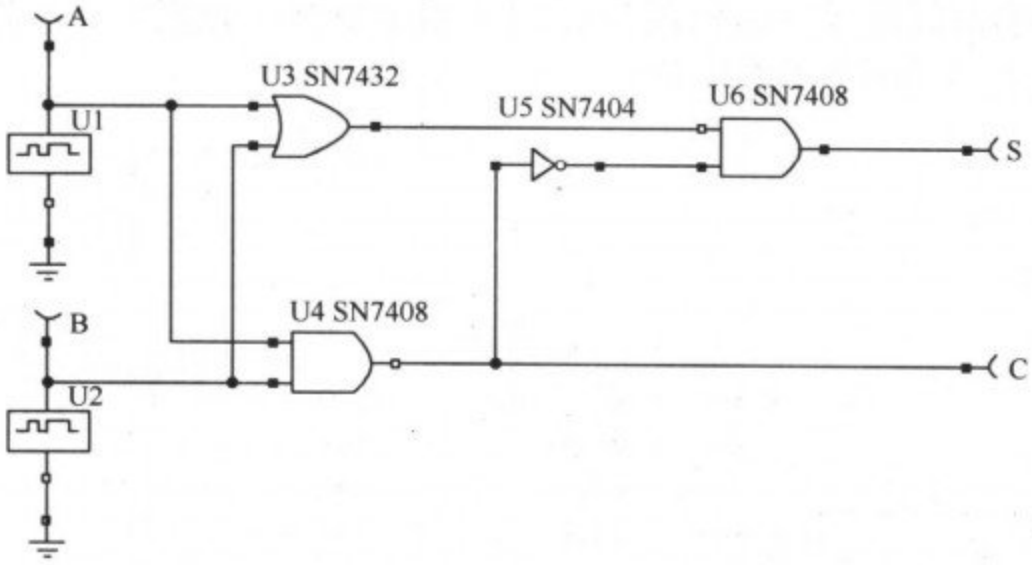


图 12-55　半加器实验电路

打开电压指针属性对话框，将 2 个输入的电压指针名改为 A、B，将 2 个输出的电压指针改为 S(和)和 C(进位)。逻辑指示器 U7 的作用是用作进位指示，当进位 C 端为高电平时，逻辑指示器变为红色。

打开脉冲信号源 U1 属性对话框，将起始电平设为高电平、300.0u 时设为低电平，600.0u 时设为高电平，900.0u 时设为低电平，如图 12-56 所示。

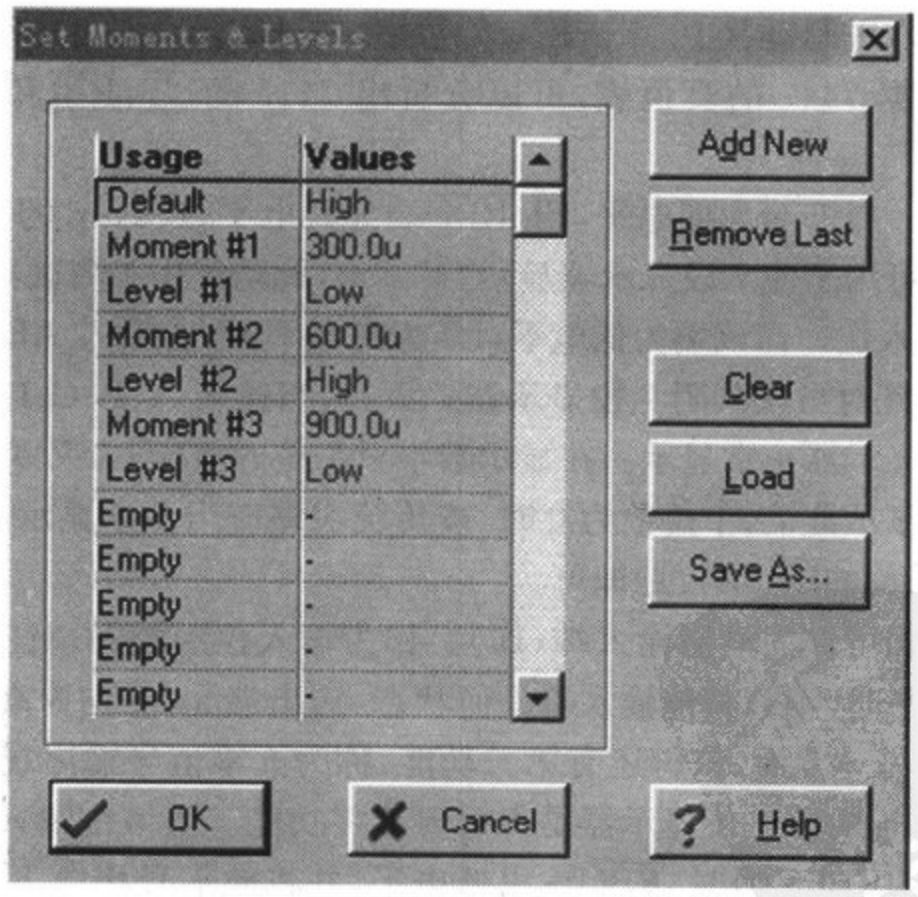


图 12-56　脉冲信号源 U1 设置对话框

打开信号源 U2 属性对话框，将起始电平设为低电平、300.0u 时设为高电平，900.0u 时设为低电平。

点击 Analysis(分析)菜单下的 Digital Timing Analysis(数字计时分析)，如图 12-57 所示。

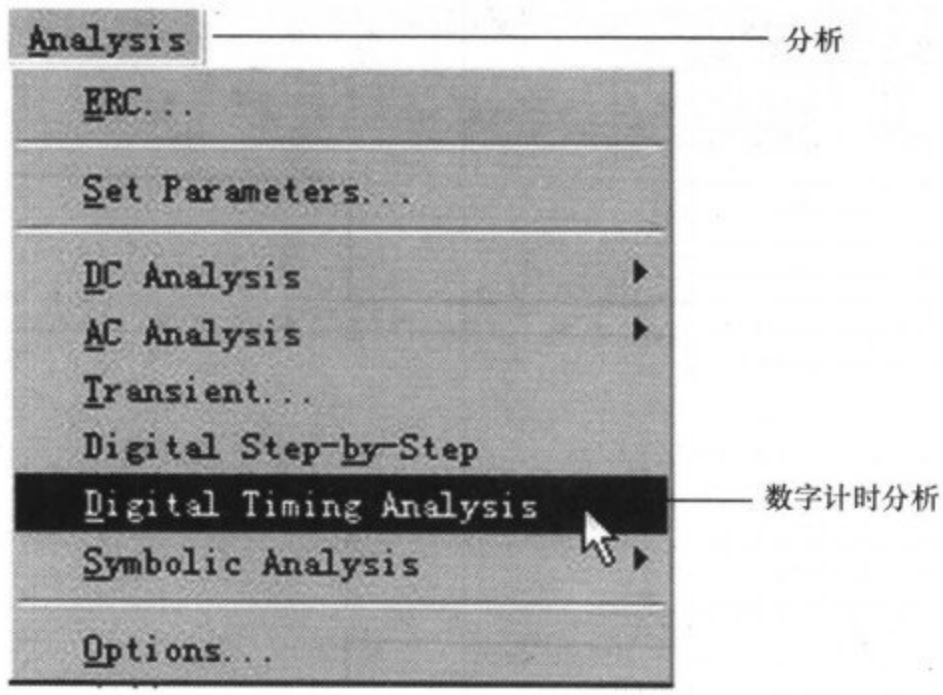


图 12-57　点击计时分析菜单选项

点击后，弹出如图 12-58 所示的数字计时分析对话框，在对话框的结束时间内填入 900.0u，即 900μs，如图 12-58 所示。

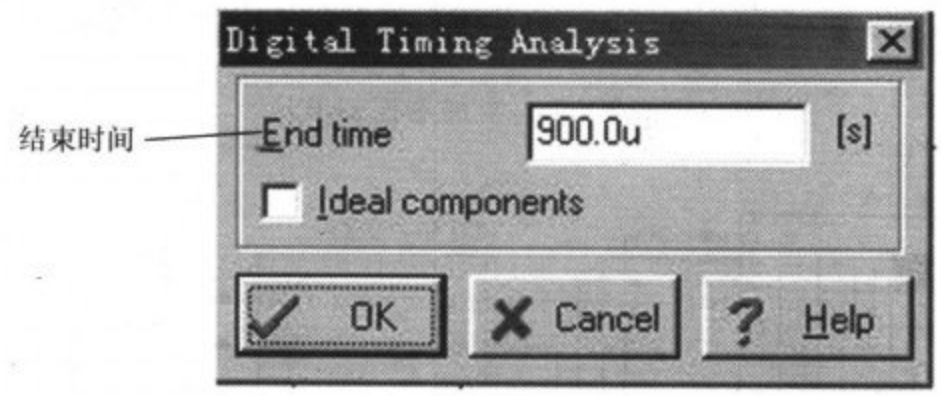


图 12-58　数字计时分析对话框

点击对话框中的 OK 按钮，程序开始进行模拟，并出现如图 12-59 所示的半加器模拟波形。

从波形图中可以看出，在 300.0u 内，被加数和加数 A＝1，B＝0，和数 S 为 1，进位端 C 为 0；在 300.0u～600.0u 内，被加数和加数 A＝0，B＝1，和数 S 为 1，进位端 C 为 0；在 600.0u～900.0u 内，被加数和加数 A＝1，B＝1，和数 S 为 0，进位端 C 为 1，同时逻辑指示器变为红色。可见，以上电路符合半加器运算规律。

2. 全加器实验

启动电路图编辑器，从元件库中调出 1 个全加器 7483，4 个逻辑指示器 S1～S4，2 个十六进制键盘，1 个数字低电平源，并按图 12-60 所示连接好。

在电路图编辑器工具栏中，点击按钮，从弹出的下拉菜单中选中 Ditital(数字)，再点击工具栏中的按钮进行模拟。此时，将鼠标分别移到 2 个十六进制键盘上，点击相应的数字，在接在 7483 的输出端 S1～S4 和进位端 C 的逻辑指示器即可指示出相应的十六进制数(按 S4S3S2S1 排列)。例如，点击 2 个键盘的 1 和 2，则 S4S3S2S1 外接的逻辑指示出显示情况为 0011(亮为 1，灭为 0)，进位端 C 为 0(C 端的逻辑指示器不亮)，如图 12-61 所示。

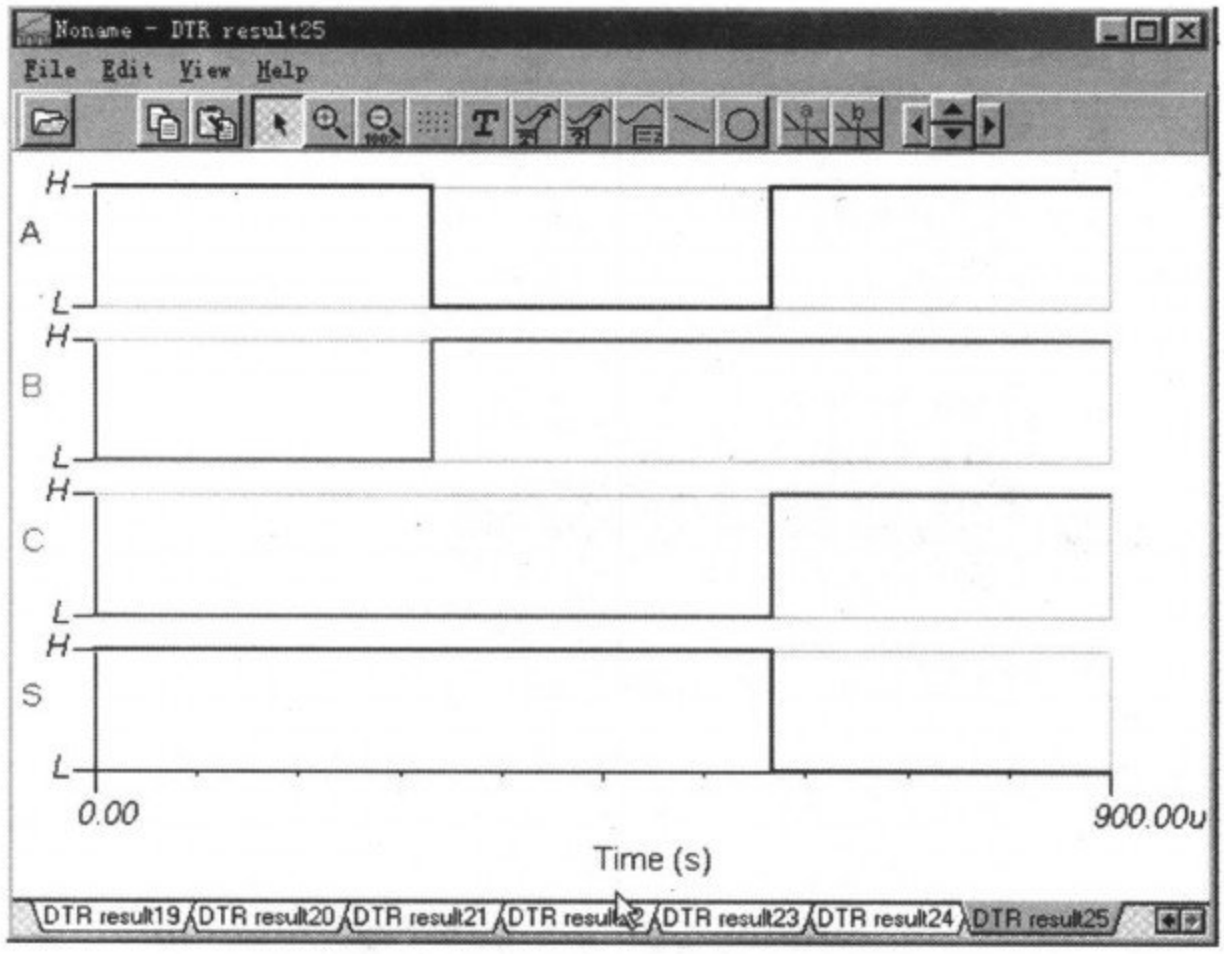


图 12-59　半加器模拟波形

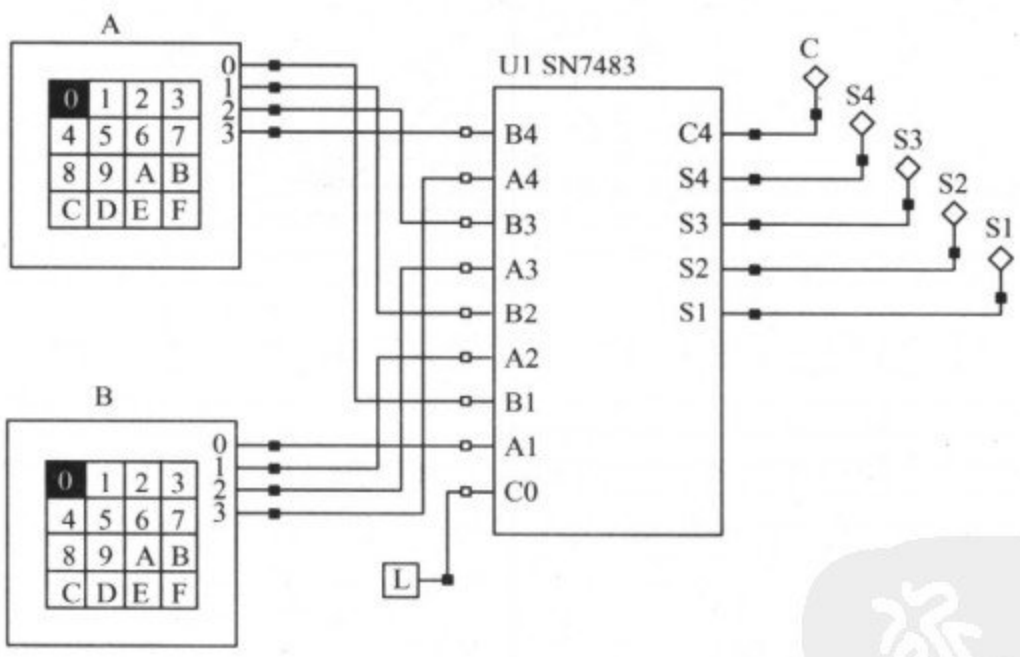


图 12-60　全加器实验电路

点击 2 个键盘的 8 和 8，则 S4S3S2S1 外接的逻辑指示出显示情况为 0000(S1～S4 外接的逻辑指示器全灭)，进位端 C 为 1(C 端的逻辑指示器亮)，如图 12-62 所示。

五、触发器电路实验

1. D 锁存器实验

D 锁存器的符号如图 12-63 所示。

图 12-63 中，E 是输出允许端，高电平有效，即当 E 为低电平时，输出端锁存，保持原数据不变；当 E 为高电平时，输出端随输入端变化。

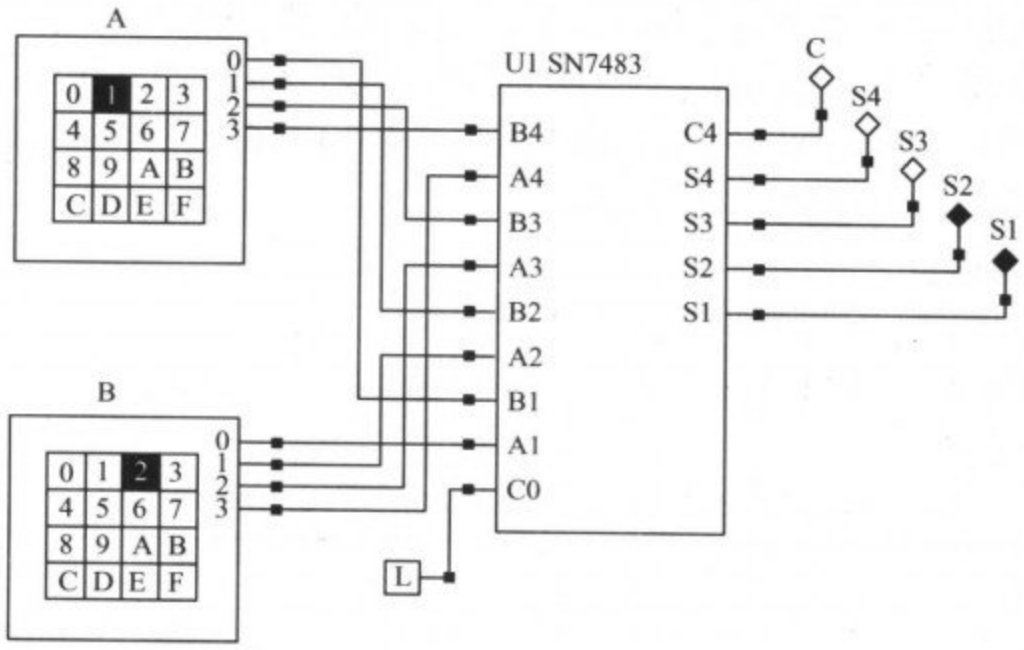


图 12-61　1 加 2 的显示情况

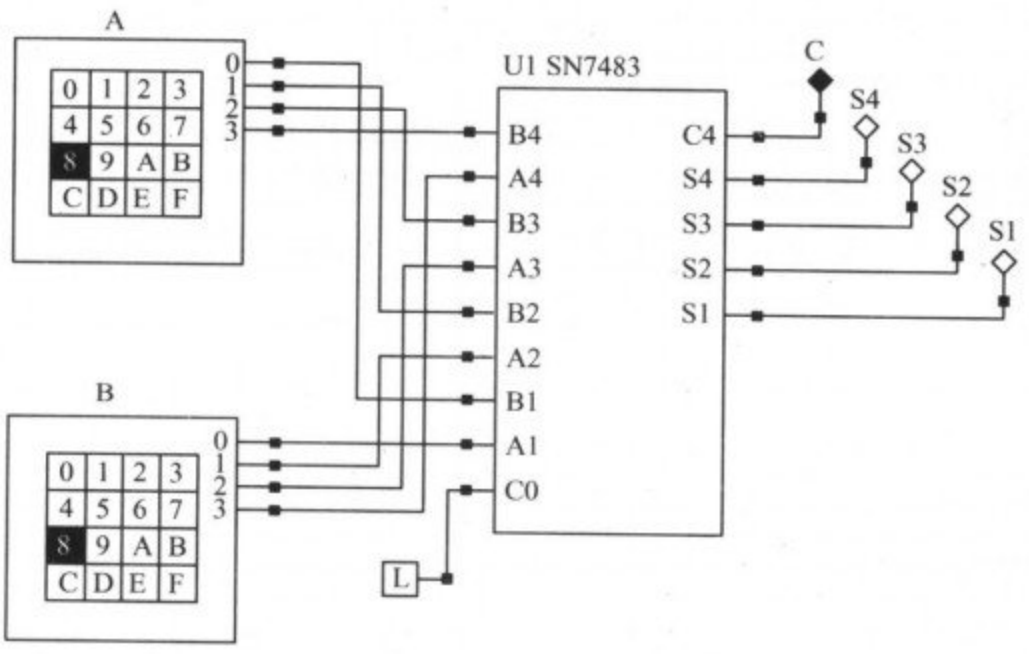


图 12-62　8 加 8 的显示情况

D 锁存器实验电路如图 12-64 所示。

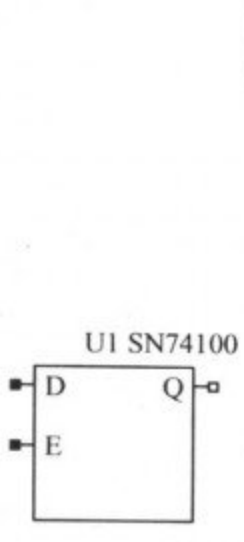


图 12-63　D 锁存器的符号

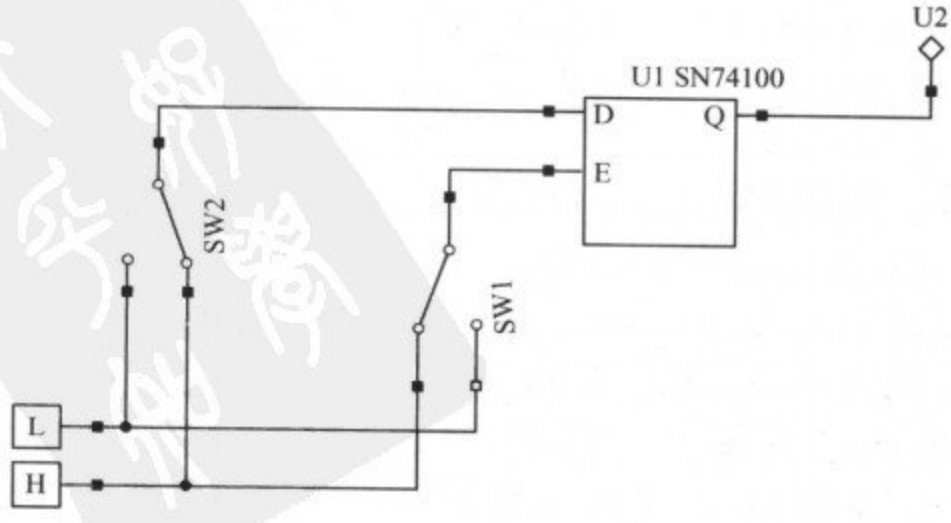


图 12-64　D 锁存器实验电路

按上图连接好电路，点击▓进行直流分析。先将锁存器的 E 端接高电平，再点击开关 SW2，改变 D 锁存器输入端的状态。实验时会发现，当 D 输入端接高电平时，Q 输出端外接的逻辑指示器亮(输出 1)；当 D 输入端接低电平时，Q 输出端外接的逻辑指示器不亮(输出 0)。可见，实验结果与理论一致。

2. D 触发器实验

D 触发器 7474 的符号如图 12-65 所示。

D 触发器 7474 为 CP 上升沿触发的边沿 D 触发器，$\overline{P}$ 为预置端，$\overline{C}$ 为复位端，低电平有效，真值表见表 12-2。

表 12-2　D 触发器 7474 的真值表

输入				输出	说明
CP	D	$\overline{C}$	$\overline{P}$	Q^{n+1}	
×	×	0	1	0	异步置 0
×	×	1	0	1	异步置 1
×	×	0	0	不用	不允许
×	×	1	1	Q^n	保持
↑	0	1	1	0	同步置 0
↑	1	1	1	1	同步置 1

启动电路图编辑器，从元件库中调出 1 个 D 触发器 7474，4 个电压指针，2 个高电平信号源，1 个单脚脉冲信号源，1 个单脚时钟信号源，并按图 12-66 所示连接好。

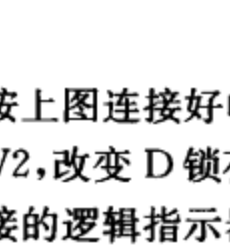


图 12-65　D 触发器的符号

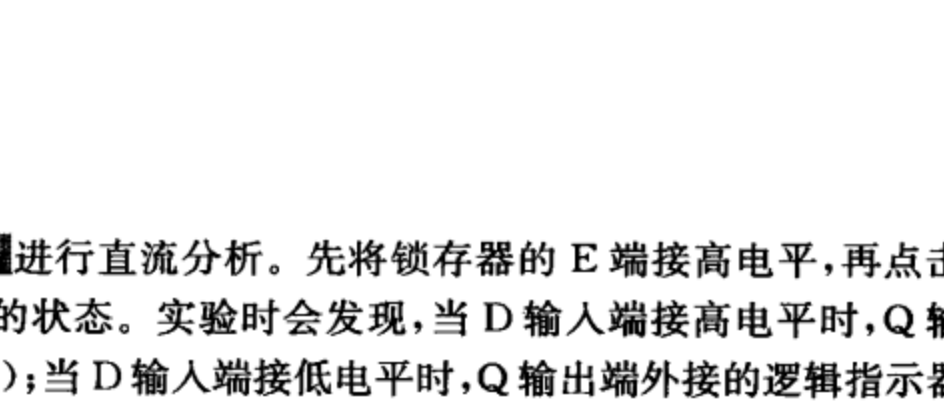


图 12-66　D 触发器实验电路

打开电压指针属性对话框，将 4 个电压指针分别命名为 D、CP、Q 和－Q。

打开单脚脉冲信号源属性对话框，将起始电平设为低电平、200.00u 时设为高电平，400.00u 时设为低电平，600.00u 时设为高电平，800.00u 时设为低电平，1000.00u 时设为高电平。

打开单脚时钟信号源属性对话框，将其频率设置为 5kHz。

点击 Analysis(分析)菜单下的 Digital Timing Analysis(数字计时分析)，在弹出对话框的结束时间内填入 1000.00u。也可点击 Analysis(分析)菜单下的 Transient(瞬时分析)，在弹出的对话框中“开始时间”栏填 0，在“结束时间”栏填 1000.00u。设置好后点击对话框中的 OK 按钮，即出现如图 12-67 所示的波形图。

从波形图中可以看出，在输入时钟 CP 的上升沿，输入端 D 为 1 时，输出端 Q 为 1；输入端 D 为 0 时，输出端 Q 也为 0。符合 D 触发器的真值表。

读者可以根据真值表，更改预置端 $\overline{P}$ 和复位端 $\overline{C}$ 电平，来实验 D 触发器的置 1 和清 0

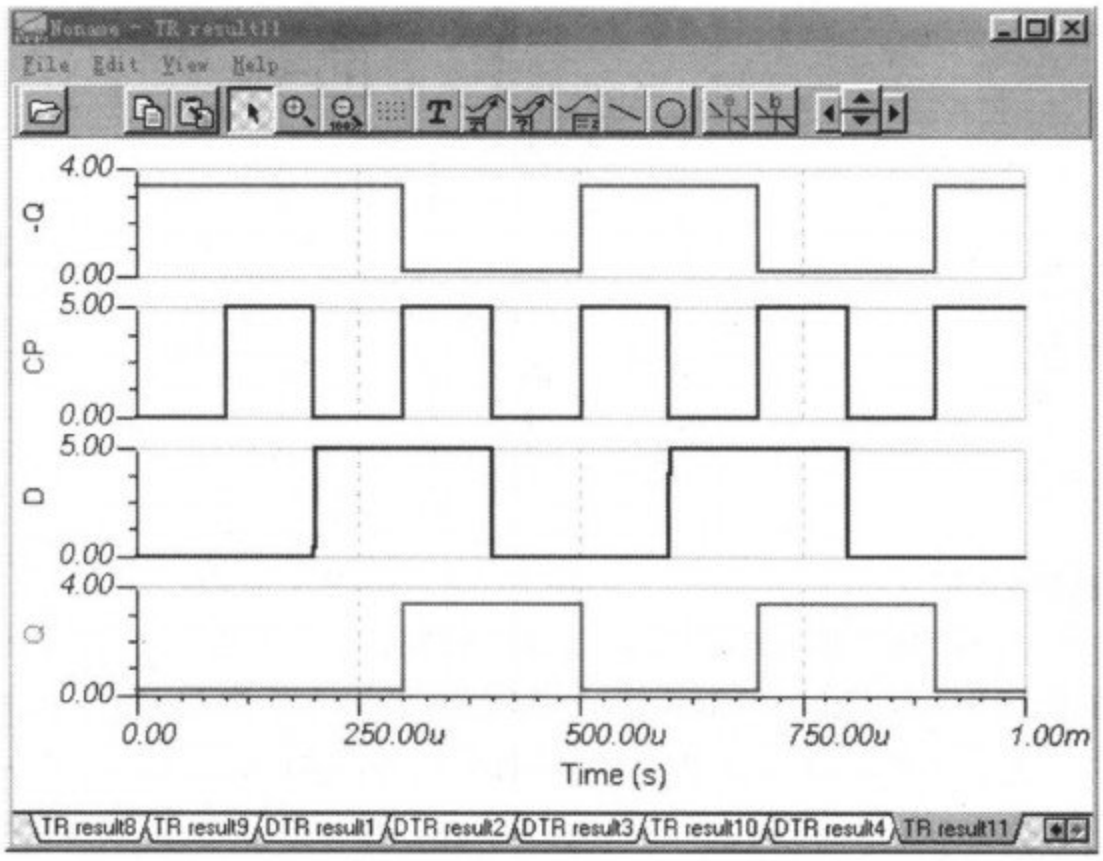


图 12-67　D触发器输入输出波形图

功能。

3. JK 触发器实验

JK 触发器 74LS112 的符号如图 12-68 所示。

74LS112 是 CP 下降沿触发的边沿 JK 触发器。图中，$\overline{P}$ 为预置端，$\overline{C}$ 为复位端，低电平有效。真值表见表 12-3。

表 12-3　JK 触发器 74LS112 的真值表

J	K	Q^n	$\overline{C}$	$\overline{P}$	CP	Q^{n+1}	说明
×	×	×	0	1	×	1	异步置 0
×	×	×	1	0	×	0	异步置 1
×	×	×	0	0	×	不用	不允许
×	×	0	1	1	↑	0	不变
×	×	1	1	1	↑	1	
0	0	0	1	1	↓	0	保持
0	0	1	1	1	↓	1	
0	1	0	1	1	↓	0	同步置 0
0	1	1	1	1	↓	0	
1	0	0	1	1	↓	1	同步置 1
1	0	1	1	1	↓	1	
1	1	0	1	1	↓	1	翻转
1	1	1	1	1	↓	0	

由真值表可知，当$\overline{CP}$=11 时，电路在 CP 下降沿瞬间，将按照特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ 的规定，由现态转换到次态；当异步输入端工作时，J、K、Q^n 和 CP 均无效，若 $\overline{CP}$=01，则触发器置 0；若 $\overline{CP}$=10，则触发器置 1，$\overline{CP}$=00 是不允许的取值情况。

启动电路图编辑器，从元件库中调出 1 个 JK 触发器 74LS112，5 个电压指针，2 个高电平信号源，2 个单脚脉冲信号源，1 个单脚时钟信号源，并按图 12-69 所示连接好。

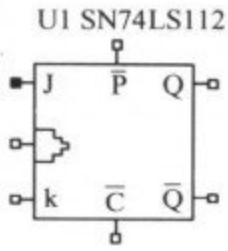


图 12-68　JK 触发器的符号

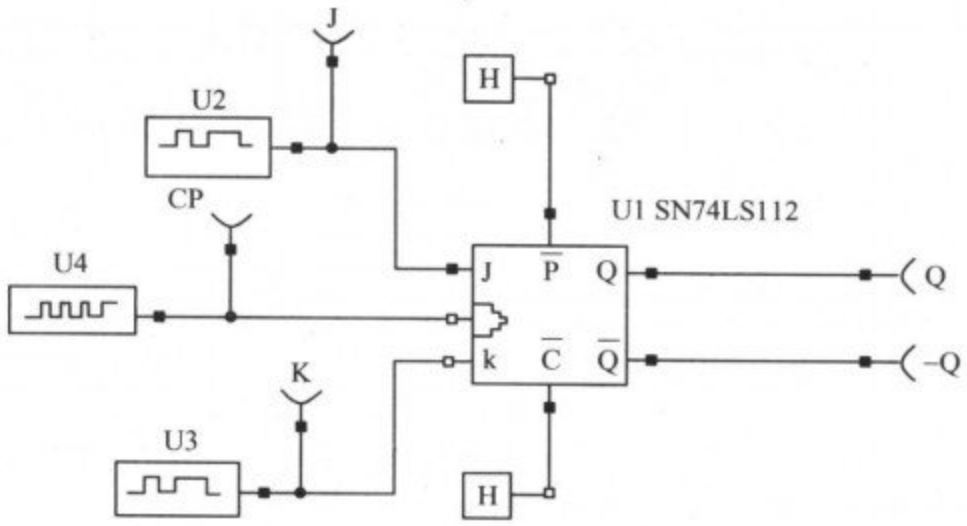


图 12-69　JK 触发器实验电路

打开电压指针属性对话框，将 5 个电压指针分别命名为 J、K、CP、Q 和－Q。

打开单脚脉冲信号源 U2 属性对话框，将起始电平设为低电平、200.00u 时设为高电平，400.00u 时设为低电平，600.00u 时设为高电平，800.00u 时设为低电平，1000.00u 时设为高电平。

打开单脚脉冲信号源 U3 属性对话框，将起始电平设为高电平、200.00u 时设为低电平，400.00u 时设为高电平，600.00u 时设为低电平，800.00u 时设为高电平，1000.00u 时设为低电平。

打开单脚时钟信号源 U4 属性对话框，将其频率设置为 5kHz。

点击 Analysis(分析)菜单下的 Digital Timing Analysis(数字计时分析)，在弹出对话框的结束时间内填入 1000.00u。设置好后点击对话框中的 OK 按钮，即出现如图 12-70 所示的波形图。

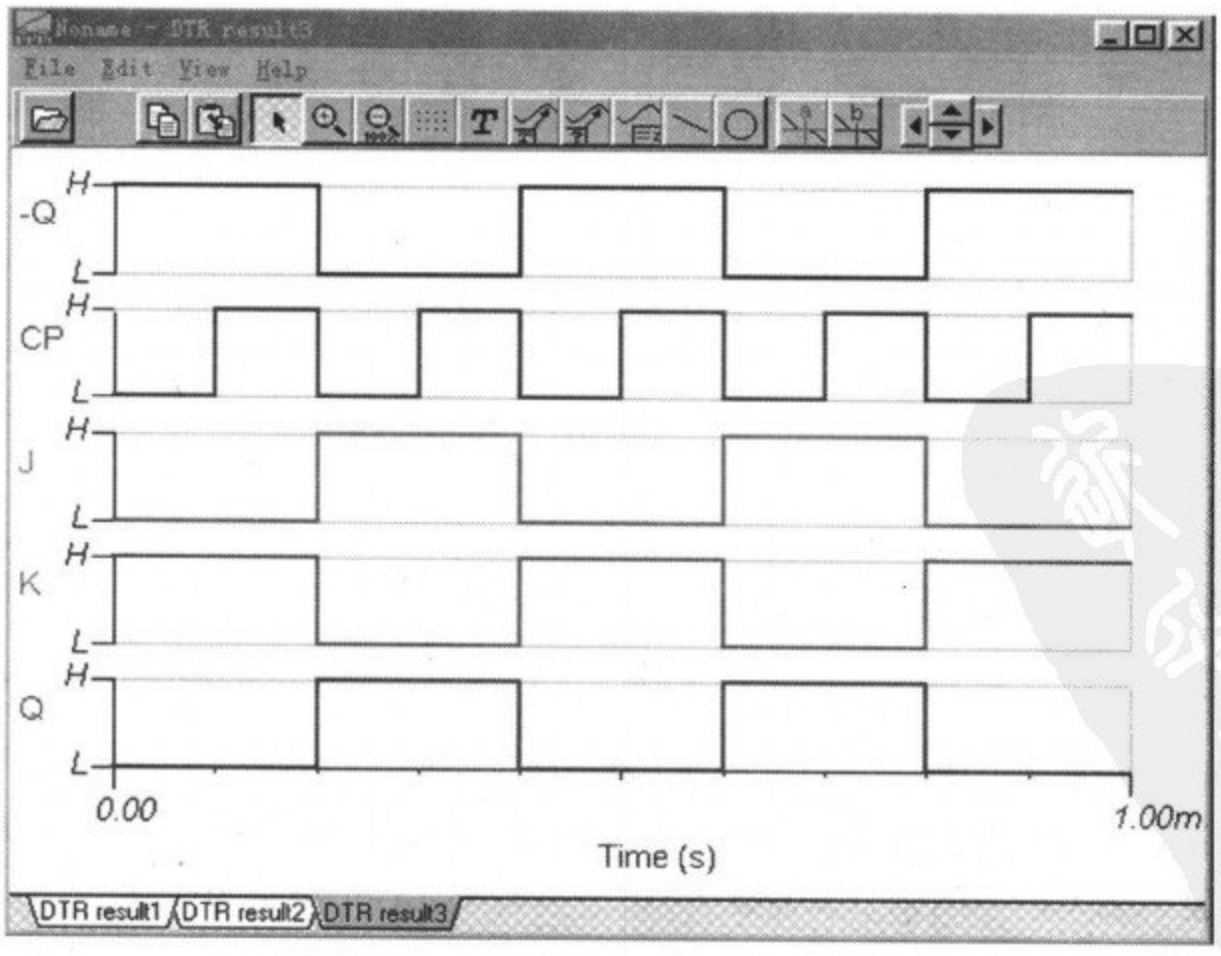


图 12-70　JK 触发器输入输出波形图

从波形图中可以看出，在输入时钟 CP 的下降沿，输入端 J、K 与输出端 Q(相当于真值表中的 Q^{n+1})的波形符合 JK 触发器真值表。

六、计数器实验

1. 十进制计数器 7490 实验

7490 是一种十进制异步计数器，其电路符号如图 12-71 所示。

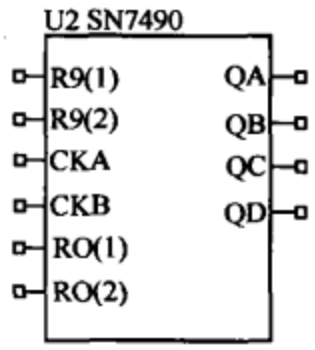


图 12-71　7490 电路符号

7490 是由一个二进制计数器和一个五进制计数器组成，若把二进制计数器的输出 QA 连至五进制计数器的时钟输入端 CKB，则可构成一个十进制计数器。CKA、CKB 分别是二进制计数器和五进制计数器的时钟输入端，下跳沿有效；R9(1)、R9(2)为预置端，R0(1)、R0(2)为复位端，7490 的状态表见表 12-4。

表 12-4　7490 的状态表

输　入				输出	说明
R0(1)·R0(2)	R9(1)·R9(2)	CKA	CKB	QD QC QB QA	
1	0	×	×	0000	清零
0	1	×	×	1001	置 9
0	0	↓	×	二进制	计数
		×	↓	五进制	
		↓	QA	8421BCD 码	

74290 具有下列功能。

(1)清零功能。若 R9(1)×R9(2)＝0，R0(1)×R0(2)＝1，则计数器清零，与计数脉冲 CK 无关，这说明清零是异步的；若 R9(1)×R9(2)＝1，R0(1)×R0(2)＝0，则计数器置 9，即被置成 1001 状态。不难看出，这种置 9 也是通过触发器异步输入端进行的，与计数脉冲 CK 无关。

(2)计数功能。该功能可分为以下几种情况。①若把输入计数脉冲 CK 加在 CKA 端，即 CKA＝CK，且把 QA 与 CKB 从外部连接起来，即令 CKB＝QA，则电路将对 CK 按照 8421 BCD 码进行异步加法计数；②若仅将 CK 接在 CKA 端，而 CKB 与 Q0 不连接起来，那么计数器内的 FF0 触发器工作，构成 1 位二进制计数器(M1＝2)，也称为二分频，因 QA 变化的频率是 CK 频率的 1/2FF1、FF2、FF3 不工作；③若只把 CK 接在 CKB 端，即 CKB＝CK，显然 FF0 不会工作，FF1、FF2、FF3 工作，且构成五进制异步计数器，也称为模 5(M2＝5)计数器或 5 分频电路。

启动电路图编辑器，从元件库中调出计数器 7490，5 个电压指针，1 个单脚时钟信号源，并按图 12-72 所示连接好。不难看出，这是一个 8421BCD 加法计数器

打开电压指针属性对话框，将 5 个电压指针分别命名为 CK、QA、QB、QC 和 QD。

打开单脚时钟信号源 U1 属性对话框，将其频率设置为 50Hz。

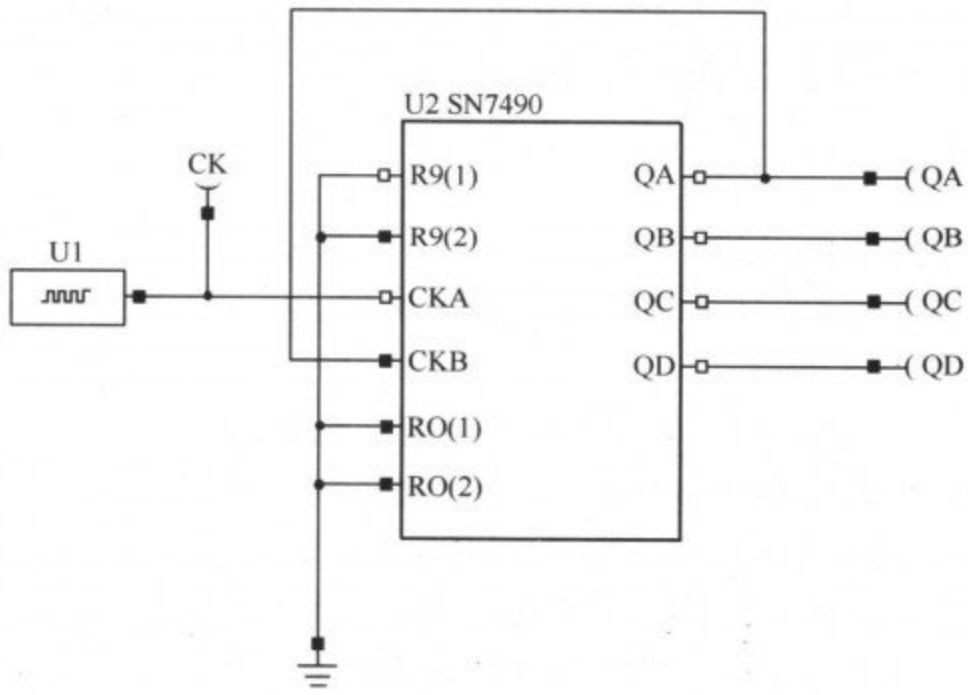


图 12-72　8421BCD 加法计数器

点击 Analysis(分析)菜单下的 Digital Timing Analysis(数字计时分析),在弹出对话框的结束时间内填入 300.00m。设置好后点击对话框中的 OK 按钮,即出现如图 12-73 所示的波形图。

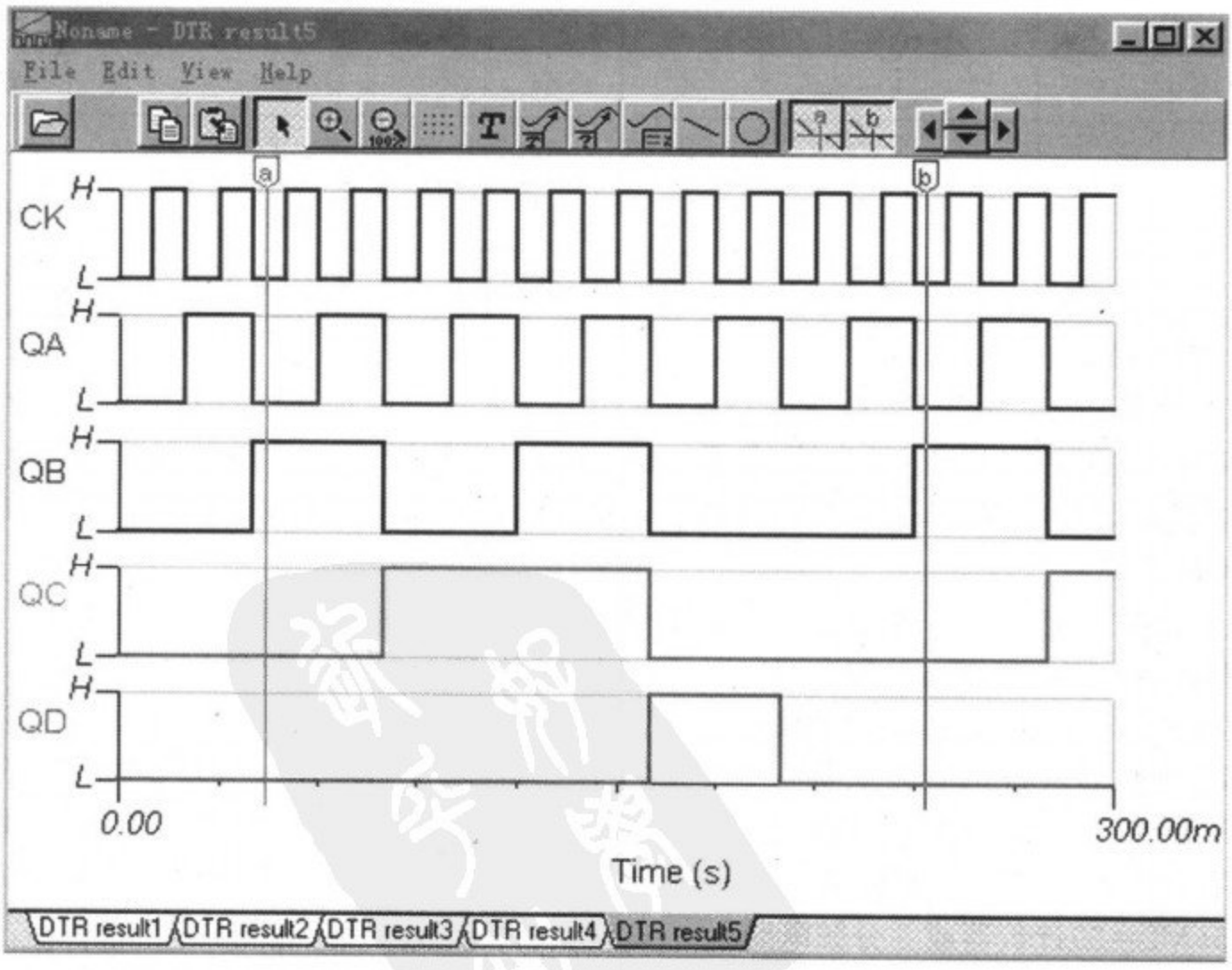


图 12-73　7490 计数器输入输出波形图

从波形图中可以看出,在输入时钟 CP 的下降沿,每输入 1 个时钟脉冲,输出端 QD、QB、QC、QA 将按 8421 BCD 码进行输出。例如,第 2 个时钟脉冲过后,QD、QB、QC、QA

的状态变为 0010，即十进制数 2，第 12 个脉冲过后，QD、QB、QC、QA 的状态也为 0010，即十进制数 2。可见，这是一个 8421BCD 码加法计数器。

2. 可预置数十进制计数器 74196 实验

74196 是一种可预置数十进制异步计数器，其电路符号如图 12-74 所示。

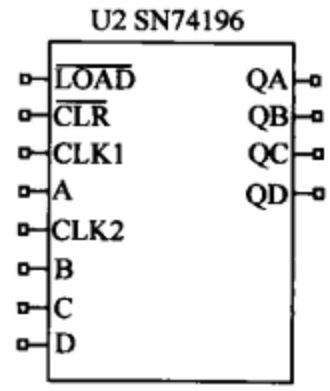


图 12-74　74196 电路符号

电路中，$\overline{\text{LOAD}}$为计数/置数控制端，$\overline{\text{CLR}}$为清零端，74196 内部也由一个二进制计数器和一个五进制计数器组成，其功能和 74190 基本一致。74196 的状态表见表 12-5。

表 12-5　74196 的状态表

输　入							输出
$\overline{CR}$	$\overline{LD}$	CLK	D	C	B	A	QD QC QB QA
0	×	×	×	×	×	×	0000(清零)
1	0	×	D	C	B	A	DCBA(置数)
1	1	↓	×	×	×	×	计数
1	1	↑	×	×	×	×	保持

图 12-75 所示是 74196 置数功能实验。

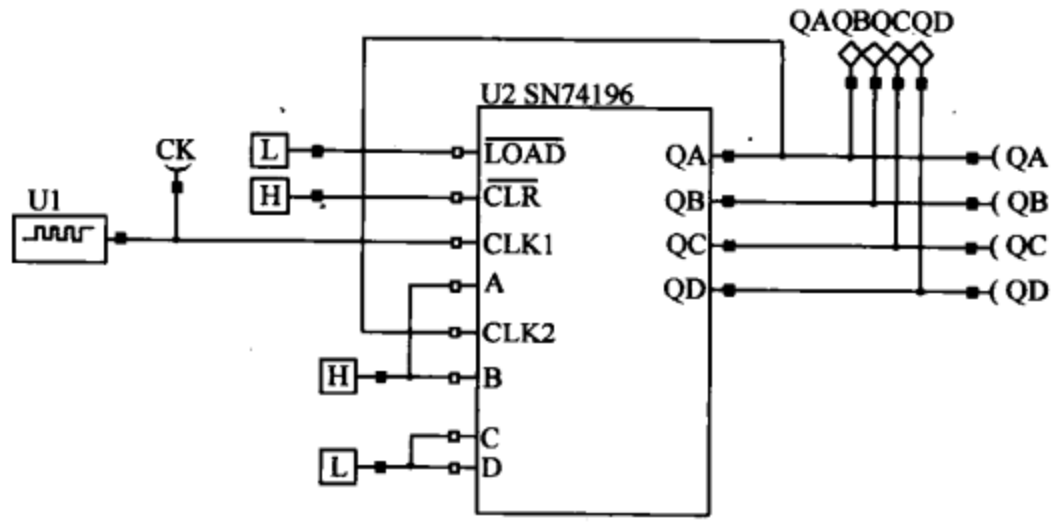


图 12-75　74196 置数功能实验

按图 12-75 所示电路连接好，在电路图编辑器工具栏中，点击▓按钮，从弹出的下拉菜单中选中 Ditital(数字)，再点击工具栏中的▓按钮进行模拟。此时，74196 的 QA、QB 外接的逻辑指示器将点亮，QC、QD 外接的逻辑指示器不亮，即 QA、QB、QC、QD 和输入状态 A、B、C、D 一致。

图 12-76 所示是 74196 计数实验电路图。

打开单脚时钟信号源 U1 属性对话框，将其频率设置为 50Hz。

打开电压指针属性对话框，将 5 个电压指针分别命名为 CK、QA、QB、QC 和 QD。

点击 Analysis(分析)菜单下的 Digital Timing Analysis(数字计时分析)，在弹出对话框的结束时间内填入 300.0m。设置好后点击对话框中的 OK 按钮，即出现如图 12-77 所示的波形图。

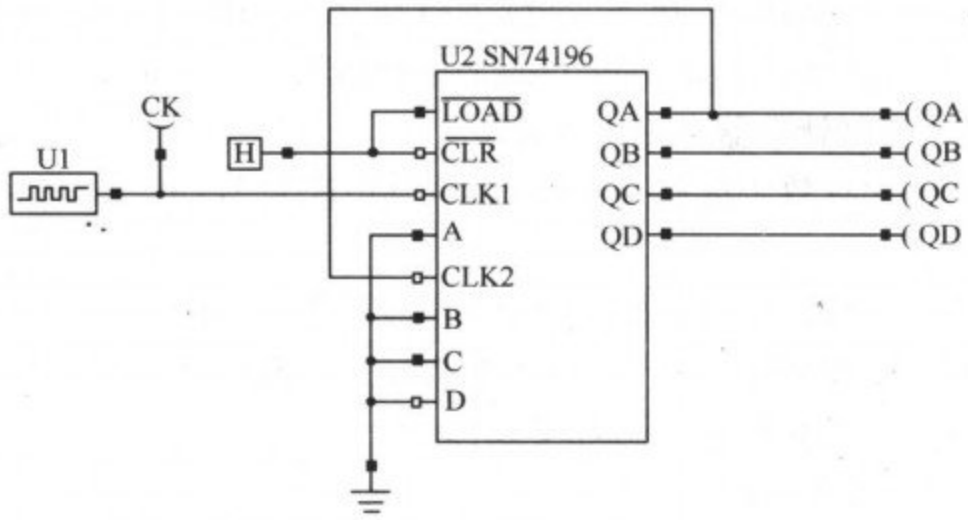


图 12-76　74196 计数器实验电路

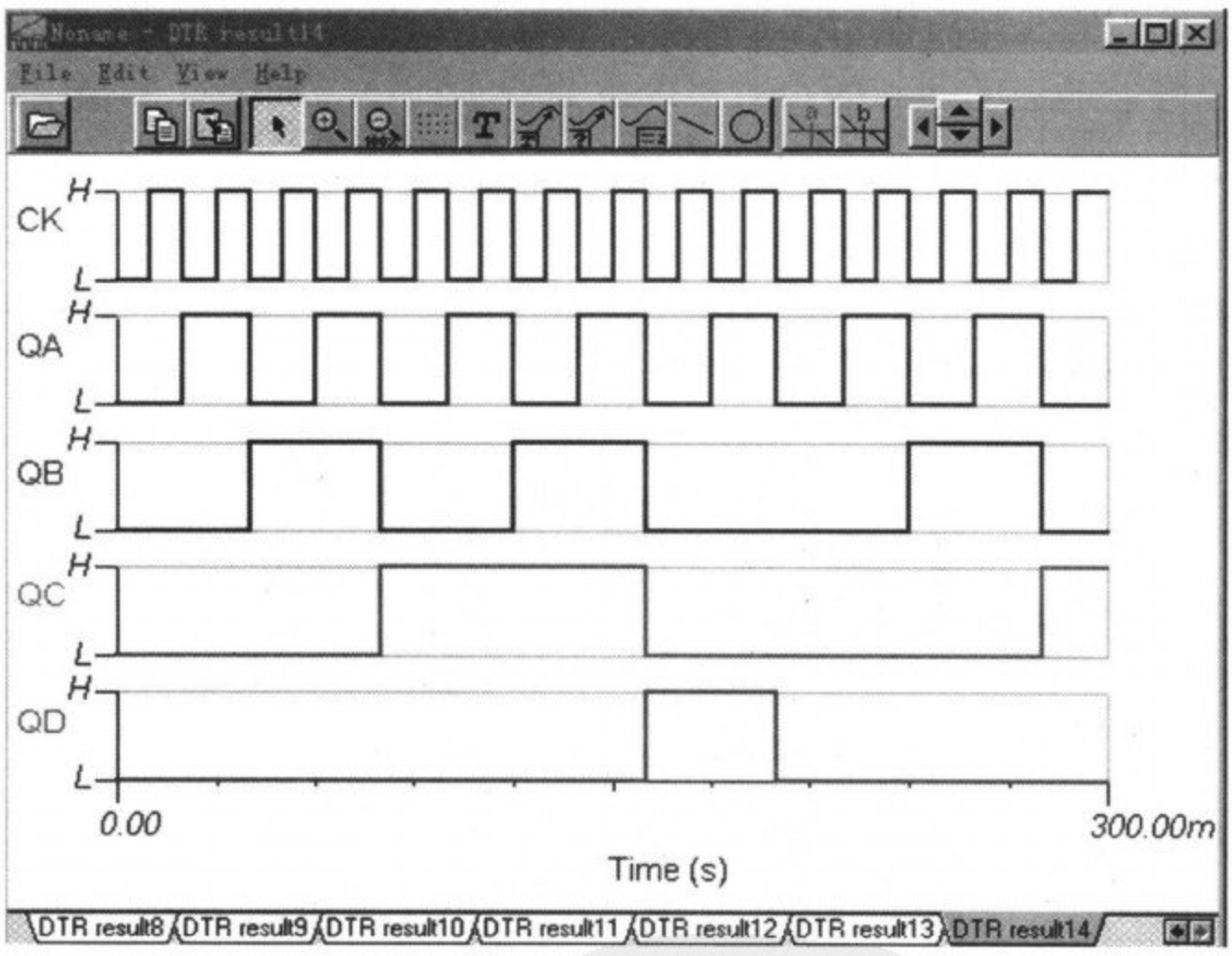


图 12-77　74196 计数器输入输出波形图

七、多谐振荡器实验

多谐振荡器实验电路如图 12-78 所示。

启动 Edison4.0，选取 2 只 NPN 三极管，2 只 47μF 的电容，2 只 470Ω 的电阻，2 只 5.5kΩ 的电阻，2 只发光二极管，并按图 12-78 所示电路连接好。必要时，需要按 Ctrl 键对元件进行旋转和调整。

打开三极管属性对话框，将其中一只三极管的电流放大倍数 β 调整为 100，另一只调整为 99，使 2 只三极管的特性稍有差别，以便产生振荡。

连接完电路图后可进行实验，点击控制面板上 按钮，将分析方式切换为连续瞬时方式，将分析时间设置为 2s，再点击控制面板右侧的 按钮，启动多谐振荡电路。此时

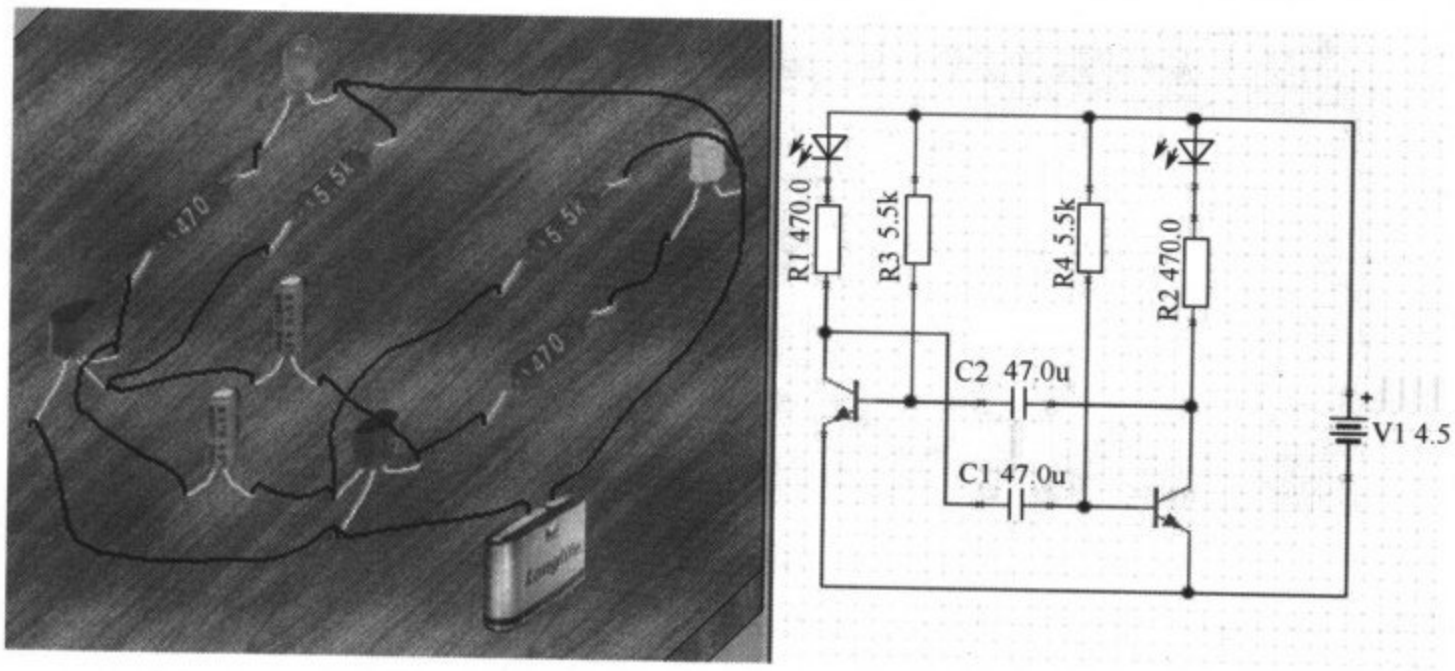


图 12-78　多谐振荡器实验电路

可以看到实物工作平台上的 2 只发光二极管在交替发光，电路绘制区内的 2 只发光二极管也是如此。

为了比较 2 只三极管的工作情况，在电路中再放入一台双踪示波器，分别将 2 只三极管的集电极连接至示波器的 A 通道和 B 通道的“＋”极，示波器的“－”极接至电源的负极，如图 12-79 所示。

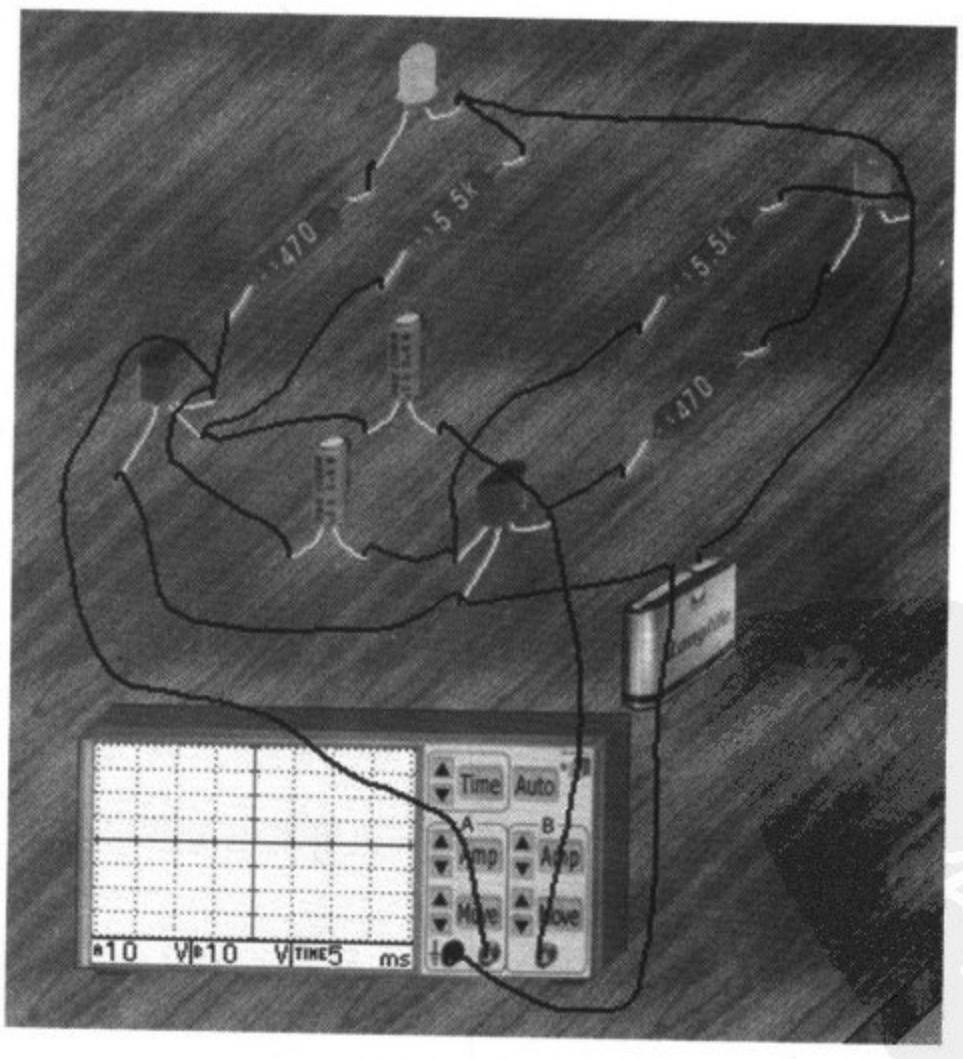


图 12-79　接上示波器

在示波器的面板中，点击 Time 按钮，将扫描时间设为 2s，如图 12-80 所示。

再点击控制面板上的按钮，将分析方式切换为单瞬时方式，将分析时间设置为 2s，再点击按钮，多谐振荡器开始工作，在电路在工作的同时，示波器器上也同步出现

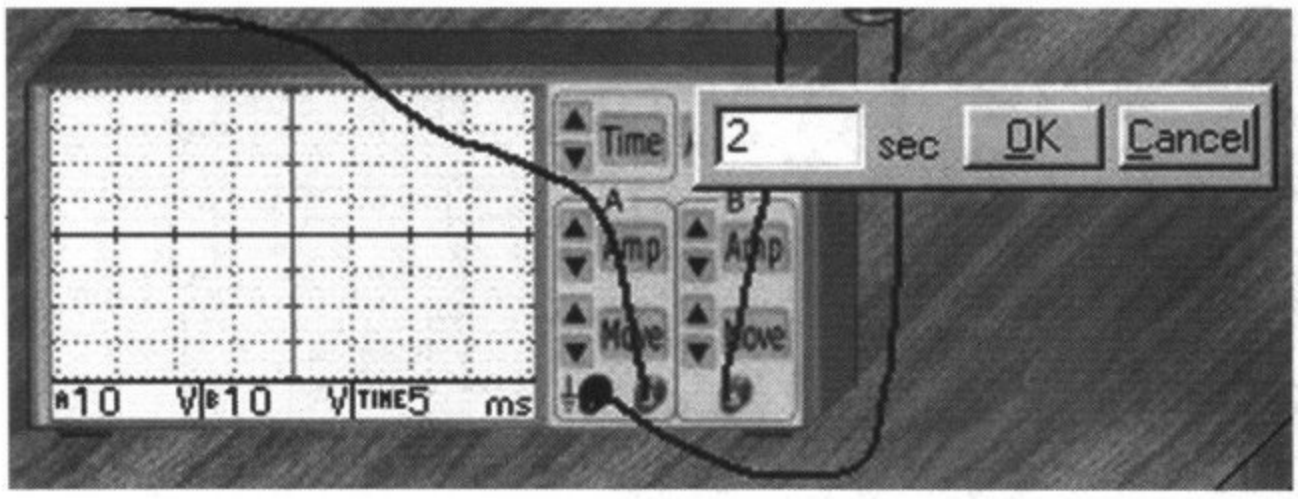


图 12-80　将示波器时间设置为 2s

了两路信号的波形。待 2s 时间到，多谐振荡器停止工作，将鼠标光标移至示波器上，当光标旁出现一个“?”号时，单击鼠标右键，在其下拉菜单中选择 Diadram(图表)并单击，出现如图 12-81 所示的波形图。

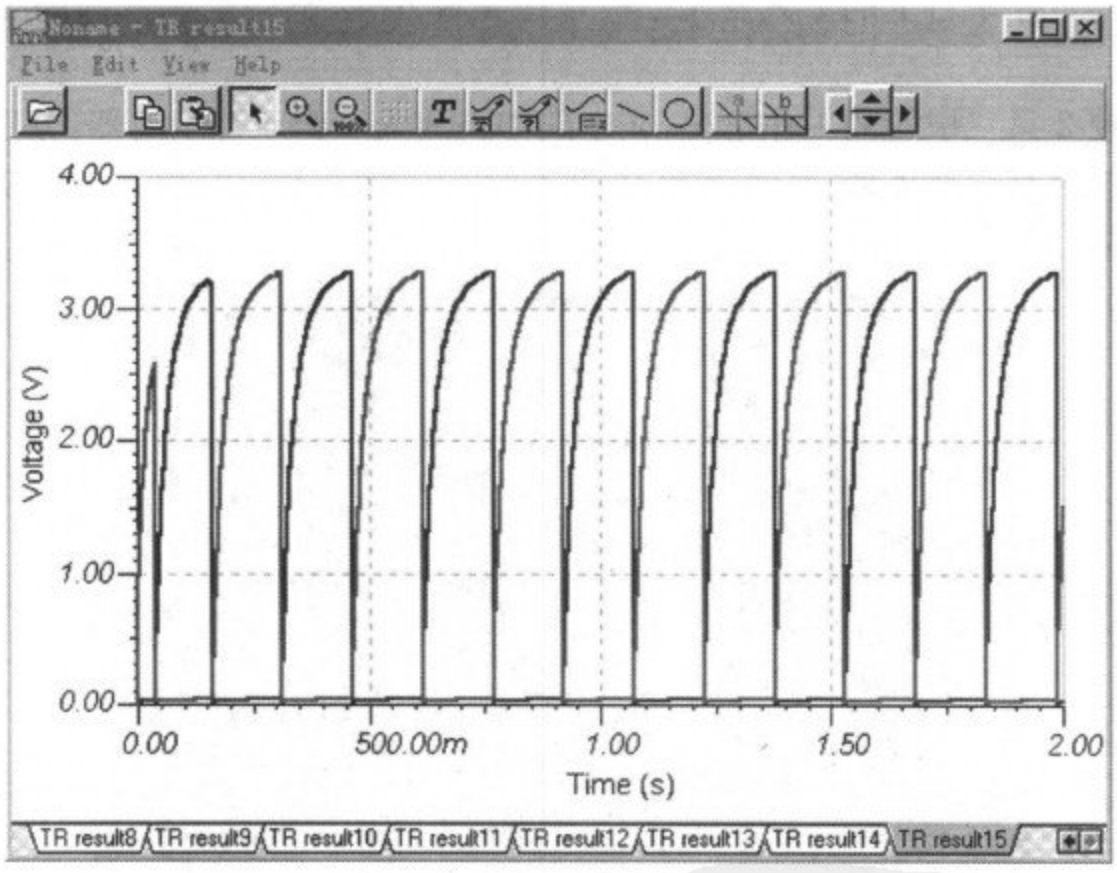


图 12-81　两只三极管集电极信号波形图

为便于分析，在图表窗口中点击 View(视图)→Separate curves(分离曲线)，两个波形便分离开，如图 12-82 所示。

从分离后的波形图中可以清楚地看出，2 只三极管集电极波形均接近方波，且相位相反，也就是说，2 只三极管是交替导通和截止的。

八、555 电路实验

集成电路 555 定时器是将模拟电路和数字电路集成于一体的电子器件，该电路使用灵活、方便，只需外接少量的阻容元件就可以构成单稳、多谐和施密特触发器。下面以 555 组成的多谐振荡器为例进行实验。

实验电路如图 12-83 所示。

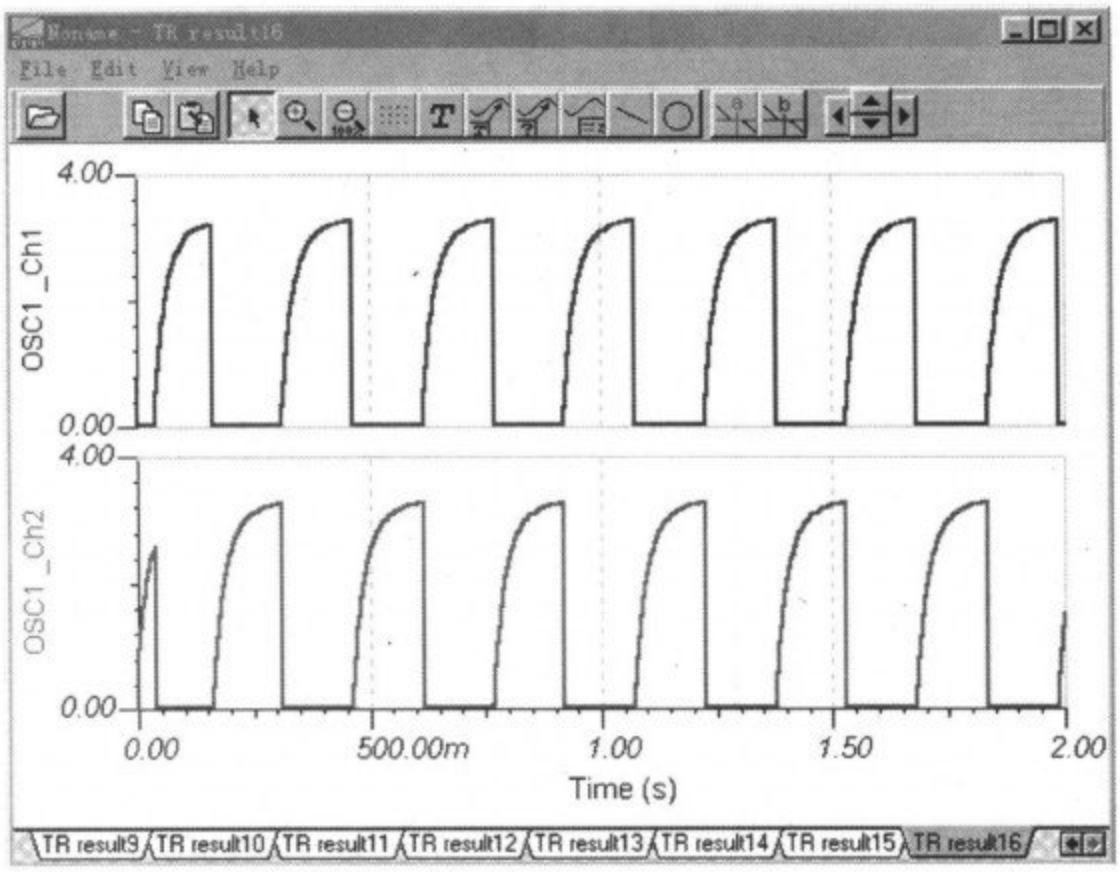


图 12-82　分离后的两个波形

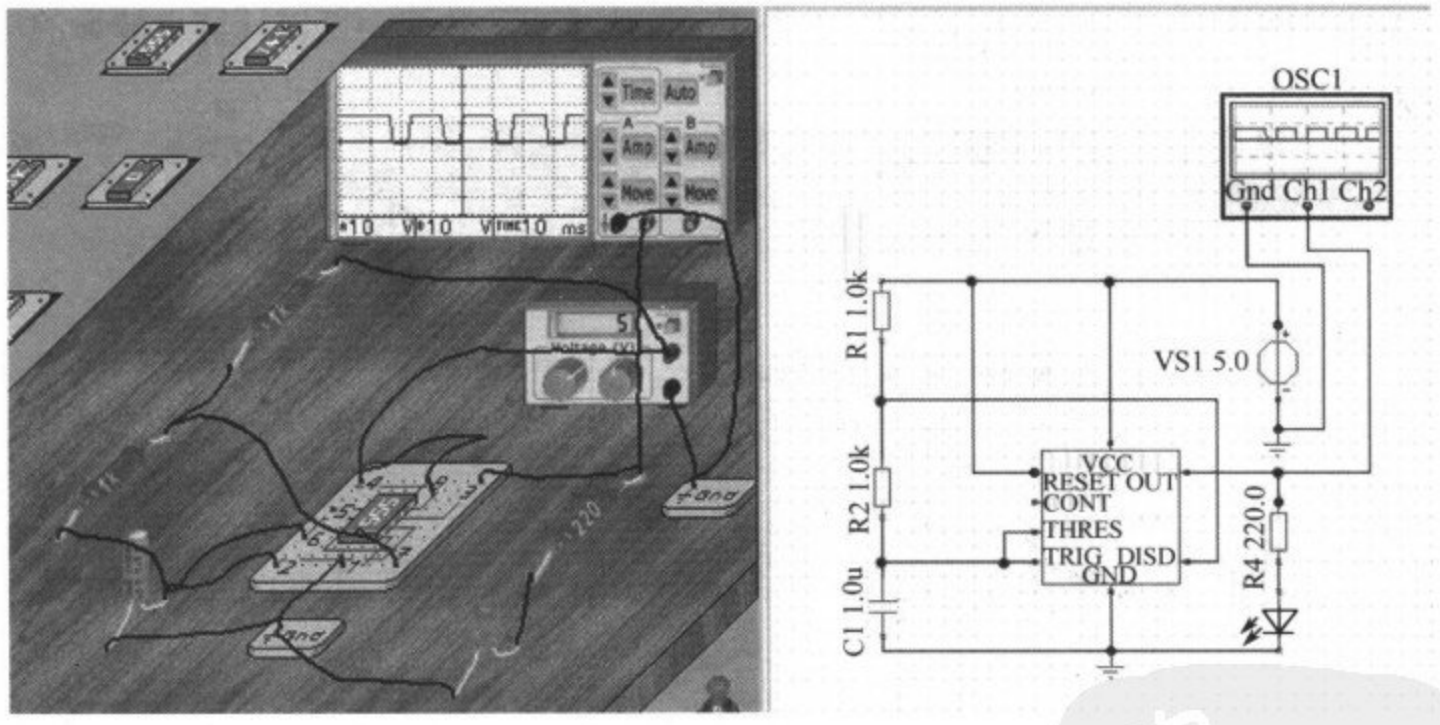


图 12-83　555 多谐振荡器实验电路

启动 Edison4.0，选取 1 只 555 集成电路，4 只电阻，1 只开关，1 只电容，1 只发光二极管，1 只稳压电源，按图 12-83 所示连接好电路，打开各元件属性对话框，将其调整至图中所示的值，最后在 555 输出端接入示波器。

在示波器的面板中，点击 Time 按钮，将扫描时间设为 10ms。点击控制面板上的 按钮，将分析方式切换为单瞬时方式，将分析时间设置为 10ms，再点击 按钮，多谐振荡器开始工作，发光二极管闪亮，在电路在工作的同时，示波器器上出现了输出信号的波形。待 10ms 时间到，多谐振荡器停止工作，将鼠标光标移至示波器上，当光标旁出现一个“?”号时，单击鼠标右键，在其下拉菜单中选择 Diadram(图表)并单击，出现如图 12-84 所示的波形图。

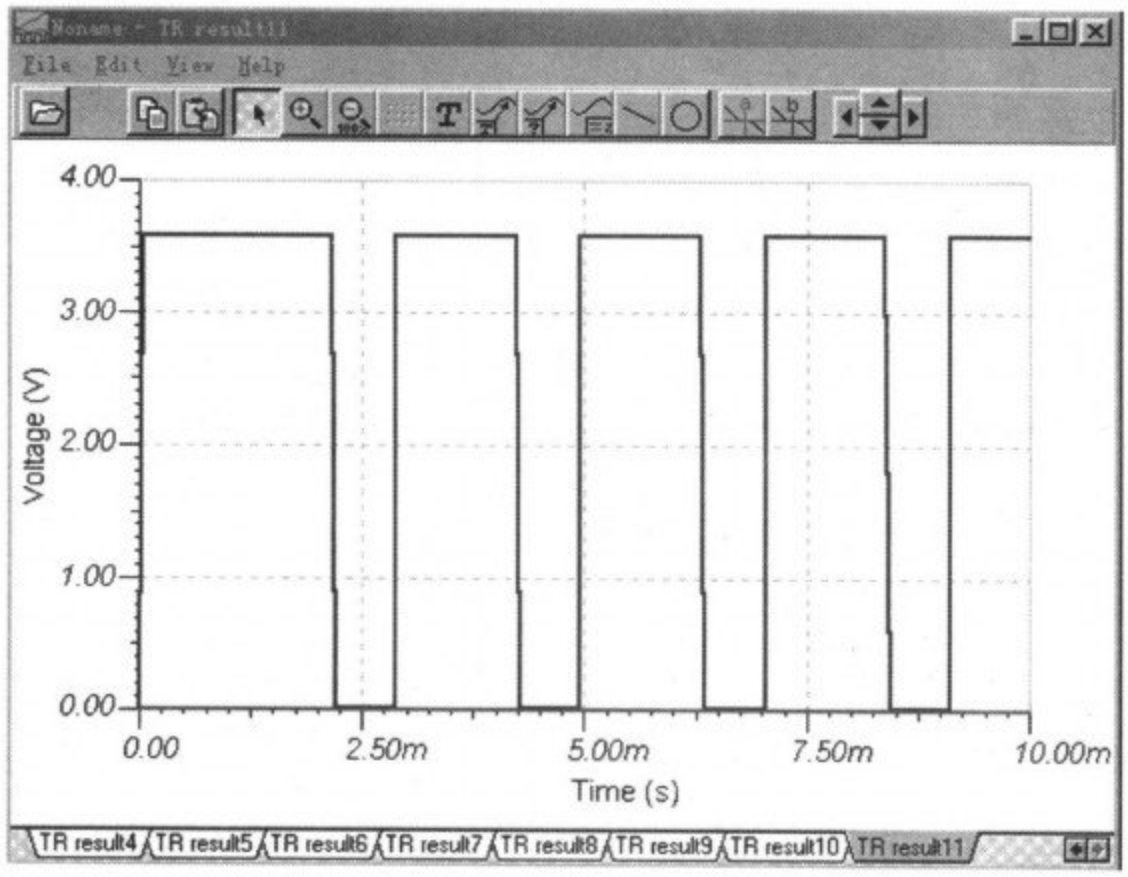


图 12-84　555 多谐振荡器输出的波形

在波形图中放置两个游标，如图 12-85 所示，从显示的数据中可以计算出波形的周期约为 7.07－4.94＝2.1(ms)。

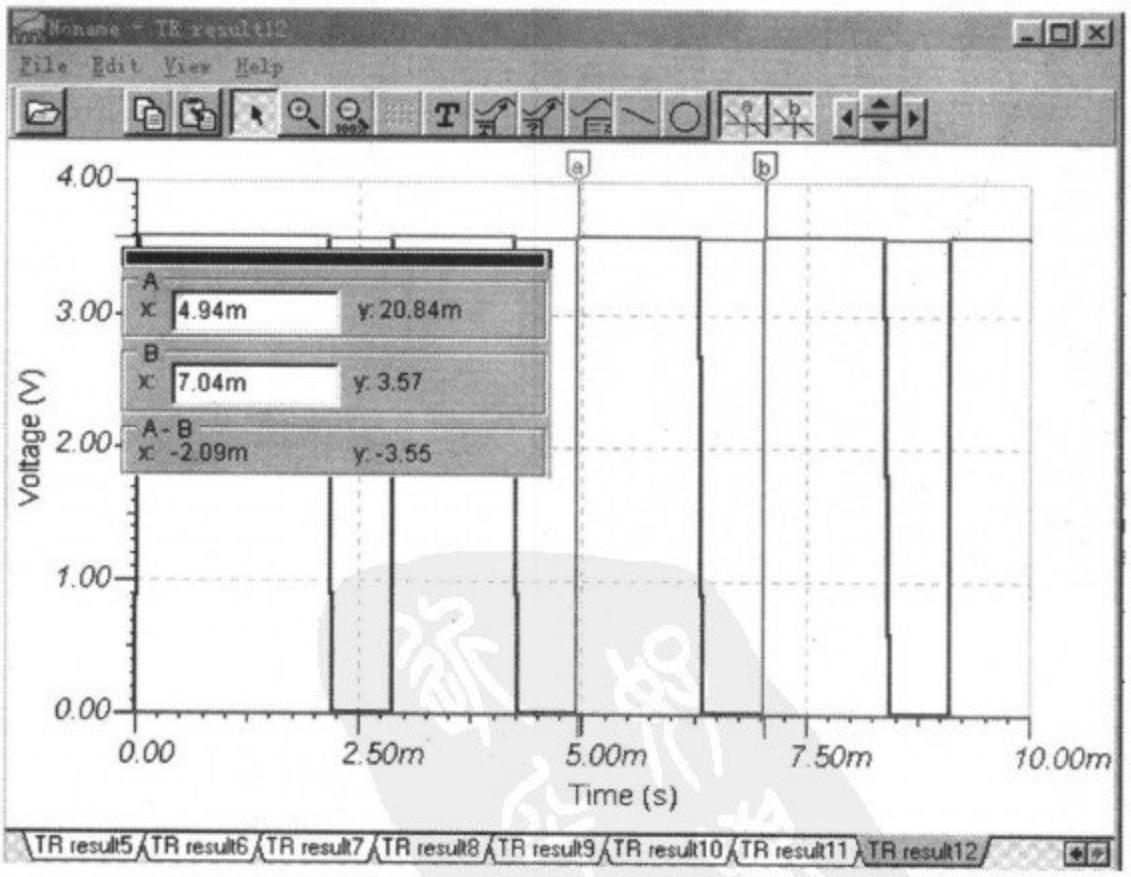


图 12-85　放置游标后的波形

下面通过理论进行验证。对于 555 电路组成的多谐振荡器，脉冲周期由充电时间 t_{p1} 和放电时间 t_{p2} 低决定，经推算，充电时间为 $t_{p1}=0.7(R1+R2)C$，放电时间为 $t_{p2}=0.7R2C$，振荡周期为 $T=t_{p1}+t_{p2}=0.7(R1+2R2)C=0.7(1+2\times1)\times10^{3}\times1\times10^{-6}=2.1(\text{ms})$。可见，理论计算与实验基本一致。

参考文献

[1] 余孟尝. 数字电子技术基础简明教程. 北京：高等教育出版社，2002.

[2] 何书森，何华斌. 实用数字电路原理与设计速成. 福州：福建科学技术出版社，2000.

[3] 肖景和. 数字集成电路应用精粹. 北京：人民邮电出版社，2002.

[4] 黄继昌，郭继忠，张海贵，等. 数字集成电路应用 300 例. 北京：人民邮电出版社，2002.

[5] 王惟言，莫志衡. Edison 立体声光实验室. 北京：人民邮电出版社，2002.

[6] 陈有卿. 实用新颖电子器具制作精选. 北京：人民邮电出版社，2002.

[7] 黄继昌，张海贵，郭继忠，等. 实用单元电路及其应用. 北京：人民邮电出版社，2002.

[8] 杨颂华，冯毛官，孙万蓉，等. 数字电子技术基础. 西安：西安电子科技大学出版社，2000.

[9] 胡斌. 怎样看家用电器数字电路图. 北京：人民邮电出版社，2000.

[10] 宋东生. 无线电爱好者读本. 北京：人民邮电出版社，2000.

[11] 任德齐，李怀甫，蒲启彬. 电子产品维修技术基础. 重庆：重庆大学出版社，2000.

[12] 武绪廉. 实用无线电维修技术基础. 北京：机械工业出版社，2000.

[13] 杨宝清，宋文贵. 实用电路手册. 北京：机械工业出版社，2002.

●丛书介绍●

从零开始学电子技术丛书

书　　名	版次	印次	定价册/元	出版时间	书　　号
从零开始学单片机技术(附光盘)	1	1	39.00	2006.08	7-118-04599-3/TP·1058
从零开始学单片机C语言(附光盘)	1	1	34.00	2006.08	7-118-04643-4/TP·1066
从零开始学电子测量技术(附光盘)	1	1	25.00	2006.08	7-118-04651-5/TN·717
从零开始学电路仿真Multisim和电路设计Protel技术(附光盘)	1	1	29.00	2006.08	7-118-04576-4/TN·728
从零开始学电气控制与PLC技术(无光盘)	1	1	28.00	2006.08	7-118-04621-3/TN·738
从零开始学CPLD和Verilog HDL编程(附光盘)	1	1	30.00	2006.08	7-118-04609-4/TN·734
从零开始学电路基础(附光盘)	1	1	32.00	2007.01	7-118-04786-4/TN·763
从零开始学模拟电子技术(附光盘)	1	1	40.00	2007.01	7-118-04811-9/TN·768
从零开始学数字电子技术(附光盘)	1	1	42.00	2007.01	7-118-04876-3/TN·593
从零开始学电子元器件识别与检测技术(无光盘)	1	1	32.00	2007.01	7-118-04765-1/TN·761
从零开始学电动机控制及维修技术(无光盘)	1	1	25.00	2007.01	7-118-04812-7/TM·96

三检